



19 BUNDESREPUBLIK

## DEUTSCHLAND

## ⑫ Offenlegungsschrift

⑩ DE 44 32 217 A 1

⑤1 Int. Cl.<sup>6</sup>:  
**G 11 C 7/00**

**DEUTSCHES  
PATENTAMT**

(21) Aktenzeichen: P 44 32 217.8  
(22) Anmeldetag: 9. 9. 94  
(43) Offenlegungstag: 16. 3. 95

⑩ Unionspriorität: ⑪ ⑫ ⑬ ⑭  
13.09.93 JP 5-227166 30.11.93 JP 5-299968

⑦1 Anmelder:

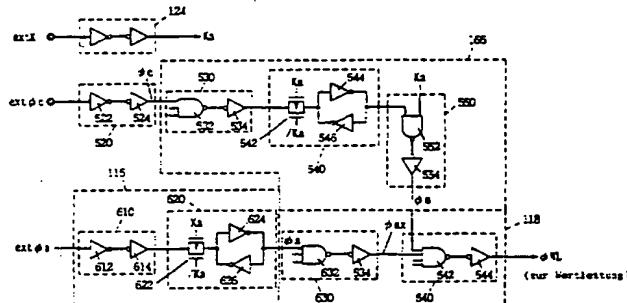
74 Vertreter:  
Prüfer, L., Dipl.-Phys.; Materne, J., Dipl.-Phys.  
Dr.rer.nat.habil., Pat.-Anwälte, 81545 München

(72) Erfinder: Ohtani, Jun, Itami, Hyogo, JP; Yamazaki, Akira, Itami, Hyogo, JP; Dosaka, Katsumi, Itami, Hyogo, JP

Prüfungsantrag gem. § 44 PatG ist gestellt

## 54 Taktsynchrone Halbleiterspeichereinrichtung

57 Ein Signaleingangspuffer (116; 206, 210; 108) erreicht einen Durchgangszustand, wenn ein externes Taktsignal  $K_A$  in einem inaktiven Zustand ist, und erzeugt ein internes Signal in Reaktion auf ein externes Signal, und er erreicht einen Verriegelungszustand, wenn das externe Taktsignal in einem inaktiven Zustand ist. Eine Datenübertragung aus einem Master-Datenregister (MDTBR), das die Daten in einer DRAM-Anordnung (102) mittels eines Slave-Datenregisters (SDTBR) speichert, wird in Reaktion auf eine Ermittlung einer Verwendung des Slave-Datenregisters ausgeführt. Das Slave-Datenregister speichert die in einer SRAM-Anordnung (104) zu übertragenden Daten oder jene Daten, auf welche extern zuzugreifen ist. Somit wird eine synchrone Halbleiterspeichereinrichtung vorgesehen, auf welche mit hoher Geschwindigkeit und ohne Warten zugegriffen werden kann. Ferner ist das interne Taktsignal für eine vorbestimmte Zeit in Reaktion auf eine Aktivierung eines externen Taktsignals aktiviert, um ein genaues internes Operations-Timing zu sichern.



DE 44 32 217 A 1

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

BUNDESDRUCKEREI 01. 95 408 081/622

## Beschreibung

Die vorliegende Erfindung betrifft im allgemeinen HalbleiterSpeichereinrichtungen und insbesondere in Synchronisation mit einem extern angelegten Takt signal betriebene taktsynchrone HalbleiterSpeichereinrichtungen. Insbesondere betrifft die vorliegende Erfindung einen Cache-DRAM, welcher einen DRAM (einen dynamischen Speicher mit wahlfreiem Zugriff) mit dynamischen Speicherzellen und einen SRAM (einen statischen Speicher mit wahlfreiem Zugriff) mit statischen Speicherzellen umfaßt.

In den letzten Jahren wurden Mikroprozessoreinheiten (MPU) mit sehr hoher Geschwindigkeit bei einer Betriebstaktfrequenz von 25 MHz oder größer betrieben. In einem Datenverarbeitungssystem wird ein herkömmlicher DRAM oftmals als Hauptspeicher mit einer großen Speicherkapazität wegen seines niedrigen Preises pro Bit verwendet. Obwohl der herkömmliche DRAM eine verringerte Zugriffszeit aufweist, kann er mit der Entwicklung der MPU hinsichtlich eines Hochgeschwindigkeitsbetriebs nicht Schritt halten. Ein den herkömmlichen DRAM als Hauptspeicher verwendendes Datenverarbeitungssystem steht einem Nachteil gegenüber, wie beispielsweise einer Zunahme des Wartezustandes. Der Unterschied zwischen der Betriebsgeschwindigkeit einer MPU und derjenigen eines herkömmlichen DRAMs liegt den folgenden Merkmalen des herkömmlichen DRAMs zugrunde.

(i) Ein Zeilenadressensignal und ein Spaltenadressensignal werden zeitgeteilt gemultiplext, so daß sie an einen gemeinsamen Adressen-Pinanschluß gelegt werden. Das Zeilenadressensignal wird bei einer abnehmenden Flanke eines Zeilenadressen-Strobesignals /RAS in die Einrichtung aufgenommen. Das Spaltenadressensignal wird bei einer abnehmenden Flanke eines Spaltenadressen-Strobesignals /CAS in die Einrichtung aufgenommen.

Das Zeilenadressen-Strobesignal /RAS legt den Start eines Speicherzyklus fest und aktiviert eine Zeilenauswahl-Schaltungseinrichtung. Das Spaltenadressen-Strobesignals /CAS aktiviert eine Spaltenauswahl-Schaltungseinrichtung. Ein "RAS-CAS-Verzögerungszeit (tRCD)" genannter vorgeschriebener Zeitabschnitt ist zwischen einer Aktivierung des Signals /RAS und einer Aktivierung des Signals /CAS notwendig. Dieses Multiplexen der Adresse beschränkt eine Verkleinerung der Zugriffszeit.

(ii) Wenn das Zeilenadressen-Strobesignals /RAS einmal zugenommen hat, so daß ein DRAM in einen Bereitschaftszustand versetzt ist, dann kann das Zeilenadressen-Strobesignals /RAS nicht noch einmal in einen aktiven Zustand oder auf "L" herabgezogen werden, bis eine RAS-Vorladezeit (tRP) genannte Zeit vergangen ist. Die RAS-Vorladezeit tRP ist zum sicheren Vorladen verschiedener Signalleitungen des DRAMs auf vorgeschriebene Potentiale notwendig. Das Vorhandensein der RAS-Vorladezeit tRP verhindert, daß die Zykluszeit des DRAMs verkleinert wird. Das Verkleinern der Zykluszeit des DRAMs vergrößert die Anzahl von Ladungen/Entladungen der Signalleitungen im DRAM, was eine Zunahme des Stromverbrauchs ergibt.

(iii) Die Operationsgeschwindigkeit der DRAMs

kann mittels einer Verbesserung der Schaltungstechniken und der Prozeßtechniken, wie beispielsweise sowohl mittels einer Hochdichteintegration der Schaltungen und einer Verbesserung der Layouts als auch mittels Verbesserungen im Hinblick auf Anwendungen, wie beispielsweise einer Verbesserung der Treibverfahren, verbessert werden. Die Entwicklung der Operationsgeschwindigkeit der MPU schreitet jedoch viel mehr als diejenige der DRAMs fort. Die Operationsgeschwindigkeit eines HalbleiterSpeichers ist hierarchisch, derart daß es Bipolartransistoren verwendende Hochgeschwindigkeits-Bipolar-RAMs, wie ECLRAMs (emittergekoppelte RAMs) und statische RAMs, und MOS-Transistoren (Isoliergate-Feldeffekttransistoren) verwendende DRAMs mit relativ niedriger Geschwindigkeit gibt. Eine Geschwindigkeit (Zykluszeit) in der Größenordnung von einigen zehn ns (Nanosekunden) würde bei einem herkömmlichen DRAM mit einem MOS-Transistor als Komponente nicht zu erwarten sein.

Eine Methode zum Lösen der vorstehenden Probleme und zum Realisieren eines relativ kostengünstigen und klein ausgeführten Systems besteht darin, einen Hochgeschwindigkeits-Cache-Speicher (SRAM) in einen DRAM einzubauen. Insbesondere kann ein Einchip-Speicher mit einem hierarchischen Aufbau betrachtet werden, welcher einen DRAM als Hauptspeicher und einen SRAM als Cache-Speicher enthält. Ein derartiger hierarchischer Einchip-Speicher wird als Cache-DRAM (CDRAM) bezeichnet.

In einem CDRAM sind ein DRAM und ein SRAM auf einem einzelnen Chip integriert. Auf den SRAM wird bei einer Cache-Verwendung zugegriffen, und auf den DRAM wird bei einer Cache-Nichtverwendung zugegriffen. Insbesondere wird der mit einer hohen Geschwindigkeit betriebene SRAM als Cachespeicher verwendet, wogegen der DRAM mit einer großen Speicherkapazität als Hauptspeicher verwendet wird.

Eine sogenannte Blockgröße des Cache kann als die Anzahl von Bits betrachtet werden, deren Inhalt durch eine Datenübertragung in einem SRAM umgeschrieben wird. Die Cache-Verwendungsrate nimmt im allgemeinen als Funktion der Größe von einem Block zu. Bei derselben Cache-Speicher-Größe nimmt jedoch umgekehrt die Verwendungsrate ab, da die Anzahl von Sätzen im inversen Verhältnis zur Blockgröße abnimmt. Bei einer Cache-Größe von 4 Kbit ist beispielsweise bei einer Blockgröße von 1024 Bits die Anzahl von Sätzen gleich 4, wogegen bei einer Blockgröße von 32 Bits die Anzahl von Sätzen gleich 128 ist. Folglich muß die Blockgröße geeignet festgelegt sein.

Ein CDRAM mit einer geeigneten Blockgröße wird zum Beispiel in der offengelegten Japanischen Patentschrift Nr. 1-146187 durch Fujishima et al. dargestellt.

Beim Stand der Technik ist eine DRAM-Anordnung in Gruppen aus einer Mehrzahl von Spalten unterteilt. Ein Datenregister ist für jede Spalte vorgesehen. Das Datenregister ist ähnlich wie bei der DRAM-Anordnung auch in Gruppen unterteilt. Bei einer Cache-Verwendung wird auf das Datenregister zugegriffen. Bei einer Cache-Nichtverwendung werden nur Daten in einer Spaltengruppe in der Anordnung des DRAMs in das Datenregister gemäß einer Blockadresse übertragen. Die Daten werden parallel zur Datenübertragung aus dem Datenregister ausgelesen.

Bei dem vorstehend beschriebenen herkömmlichen

CDRAM werden die Daten aus der DRAM-Anordnung in das Datenregister zur Zeit der Cache-Nichtverwendung übertragen. Zur Zeit der Übertragung kann auf den CDRAM nicht zugegriffen werden. Die externe Verarbeitungseinrichtung muß solange warten, bis die Übertragung der gültigen Daten in das Datenregister abgeschlossen ist. Das verringert die Leistungsfähigkeit des Systems.

Ein CDRAM mit einer auf einem einzelnen Chip integrierten DRAM-Anordnung und SRAM-Anordnung und mit einem Zwei-Richtungs-Transfergate zwischen der DRAM-Anordnung und der SRAM-Anordnung ist vorgeschlagen worden. Die DRAM-Anordnung und die SRAM-Anordnung können unabhängig adressiert werden. Das Zwei-Richtungs-Transfergate enthält ein Datenregister, auf welches extern zugreifbar ist. Somit ist ein hochfunktionaler CDRAM realisiert, der auch bei einer Graphikverarbeitung verwendbar ist. Bei einem derartigen CDRAM wird jedoch ein Zugriff auf das Datenregister verhindert, wenn Daten aus der DRAM-Anordnung zu dem Zwei-Richtungs-Transfergate übertragen werden. Daher gibt es noch Möglichkeiten zur Verbesserung in einem derartigen hochfunktionalen CDRAM.

Um eine Halbleiterspeichereinrichtung mit einer hohen Geschwindigkeit zu betreiben, wird die Halbleiterspeichereinrichtung in Synchronisation mit einem extern angelegten Taktsignal, wie beispielsweise mit einem Systemtaktsignal, betrieben (siehe beispielsweise das US-Patent Nr. 5,083,296 für Hara). Der Stand der Technik sieht zur Lösung eine Änderung des Timings vor, welche durch eine Verzerrung externer Steuersignale, wie der Signale /RAS und /CAS, verursacht wird. Eine derartige taktsynchrone Halbleiterspeichereinrichtung legt den Ausgang eines Eingangspuffers fest, welcher ein externes Signal empfängt, wenn das externe Taktsignal aktiviert ist.

Da ein internes Signal festgelegt wird, nachdem ein externes Taktsignal aktiviert wurde, und dann eine interne Operation ausgeführt wird, ist daher ein Timing zum Starten der internen Operation verzögert. Insbesondere wird der Vorteil der Hochgeschwindigkeitsoperation mit einem externen Taktsignal eingeschränkt.

Es ist daher eine Aufgabe der vorliegenden Erfindung, eine Halbleiterspeichereinrichtung vorzusehen, welche mit einer hohen Geschwindigkeit betrieben wird.

Eine andere Aufgabe der vorliegenden Erfindung ist es, eine Halbleiterspeichereinrichtung vorzusehen, welche es ermöglicht, ein Hochgeschwindigkeits-Datenverarbeitungssystem aufzubauen.

Eine andere Aufgabe der Erfindung ist es, eine synchrone Halbleiterspeichereinrichtung vorzusehen, welche dazu in der Lage ist, ein internes Taktsignal bei einem Timing so früh wie möglich in Synchronisation mit einem externen Taktsignal festzulegen.

Eine spezielle Aufgabe der Erfindung besteht darin, eine taktsynchrone Halbleiterspeichereinrichtung mit eingebautem Cache vorzusehen, welche ein Hochgeschwindigkeits-Zugreifen ohne Warten erlaubt.

Eine Halbleiterspeichereinrichtung gemäß der Erfindung umfaßt eine Speicherzellanordnung mit einer Mehrzahl von Speicherzellen, ein erstes Datenregister zum zeitweiligen Halten von Daten aus einer Mehrzahl von in der Speicherzellanordnung gleichzeitig gewählten Speicherzellen, ein zweites Datenregister, welches die durch das erste Datenregister gehaltenen Daten zur Speicherung empfängt, und eine auf das Fehlen eines

Zugriffs auf das zweite Datenregister und eine Datenübertragungsanweisung reagierende Übertragungseinrichtung zum Ausführen einer Datenübertragung aus dem ersten Datenregister in das zweite Datenregister.

Bei der Halbleiterspeichereinrichtung gemäß der vorliegenden Erfindung werden die Daten aus dem ersten Datenregister in das zweite Datenregister übertragen, wenn die Daten im zweiten Datenregister nicht verwendet werden. Daher beeinflußt die Datenübertragungs-Operation das Zugreifen auf die Halbleiterspeichereinrichtung nicht nachteilig, und eine Hochgeschwindigkeits-Operation wird realisiert.

Die externe Verarbeitungseinrichtung nimmt einen Wartezustand aufgrund der Datenübertragung in der Halbleiterspeichereinrichtung nicht ein, mit anderen Worten, die Einrichtung kann in einem "Nichtwartezustand" betrieben werden, und daher kann ein Hochgeschwindigkeits-Datenverarbeitungssystem aufgebaut werden.

Die vorstehenden und andere Aufgaben, Merkmale, Aspekte und Vorteile der vorliegenden Erfindung werden aus der folgenden detaillierten Beschreibung der vorliegenden Erfindung augenscheinlicher werden, wenn diese in Verbindung mit den beigefügten Zeichnungen zur Kenntnis genommen wird.

Von den Figuren zeigen:

Fig. 1 ein Blockschaltbild, welches den Gesamtaufbau eines CDRAMs gemäß der einen Ausführungsform der Erfindung zeigt;

Fig. 2 eine Darstellung, welche den Aufbau eines CDRAMs gemäß der einen Ausführungsform der Erfindung funktionell zeigt;

Fig. 3 eine Tabelle, welche Operationsmodi und entsprechende Zustände von Steuersignalen eines CDRAMs gemäß der einen Ausführungsform der Erfindung zeigt;

Fig. 4 eine Tabelle, welche Operationsmodi und entsprechende Zustände von Steuersignalen eines CDRAMs gemäß der einen Ausführungsform der Erfindung zeigt;

Fig. 5 eine Darstellung, welche den Aufbau der in Fig. 1 dargestellten DRAM-Steuerschaltung schematisch zeigt;

Fig. 6 eine Darstellung, welche den Aufbau der in Fig. 1 dargestellten SRAM-Steuerschaltung schematisch zeigt;

Fig. 7 eine Darstellung, welche ein Beispiel eines Eingangspuffer-Aufbaus zeigt;

Fig. 8 eine Signalwellenform-Darstellung, welche den Betrieb des in Fig. 7 dargestellten Eingangspuffers zeigt;

Fig. 9 ein Schaltbild, welches den Grundaufbau eines gemäß der vorliegenden Erfindung gebildeten Eingangspuffers zeigt;

Fig. 10 eine Signalwellenform-Darstellung, welche den Betrieb des in Fig. 9 dargestellten Eingangspuffers zeigt;

Fig. 11 ein Schaltbild, welches ein Beispiel einer gemäß der vorliegenden Erfindung gebildeten Schaltungeinrichtung zum Auswählen einer SRAM-Wortleitung zeigt;

Fig. 12 eine Signalwellenform-Darstellung, welche den Betrieb der in Fig. 11 dargestellten Schaltung zeigt;

Fig. 13 eine Darstellung, welche eine Änderung der in Fig. 11 dargestellten Schaltung zeigt;

Fig. 14 eine Signalwellenform-Darstellung, welche den Betrieb der in Fig. 13 dargestellten Schaltung zeigt;

Fig. 15 ein Schaltbild, welches ein Beispiel einer ge-

mäß der vorliegenden Erfindung gebildeten Schaltungeinrichtung zum Treiben einer DRAM-Wortleitung zeigt;

Fig. 16A und 16B Signalwellenform-Darstellungen, welche den Betrieb der in Fig. 15 dargestellten Schaltung zeigen;

Fig. 17 ein Schaltbild, welches den Aufbau der DRAM-Anordnung bei dem in Fig. 1 dargestellten CDRAM zeigt;

Fig. 18 ein Schaltbild, welches den besonderen Aufbau der SRAM-Anordnung in Fig. 1 zeigt;

Fig. 19 ein Funktionsblockschaltbild, welches den Aufbau des Spaltendecodierers und des in Fig. 1 dargestellten Abtastverstärker-Abschnitts zeigt;

Fig. 20 eine Timing-Darstellung, welche den Betrieb des in Fig. 1 dargestellten CDRAMs zeigt;

Fig. 21 ein Schaltbild, welches den besonderen Aufbau der in den Fig. 1 und 19 dargestellten Pufferschaltung zur Lesedaten-Übertragung zeigt;

Fig. 22 eine Signalwellenform-Darstellung, welche den Betrieb der in Fig. 21 dargestellten Pufferschaltung zur Lesedaten-Übertragung zeigt;

Fig. 23 ein Blockschaltbild, welches die Schaltungeinrichtung zur Steuersignal-Erzeugung in einer Datenübertragungs-Schaltung schematisch darstellt;

Fig. 24 eine Darstellung, welche ein Beispiel des Aufbaus einer Schaltung zur Erzeugung eines Anweisungssignals zur Lesedatenübertragung in einer Pufferschaltung zur Lesedaten-Übertragung zeigt;

Fig. 25 ein vereinfachtes Blockschaltbild, welches den Aufbau eines Abschnitts der Pufferschaltung zur Lese-datenübertragung zeigt;

Fig. 26 eine Signalwellenform-Darstellung, welche den Betrieb der in den Fig. 24 und 25 dargestellten Schaltung zeigt;

Fig. 27 eine Timing-Darstellung, welche andere Operationssequenzen der in den Fig. 24 und 25 dargestellten Schaltung zeigt;

Fig. 28 ein Schaltbild, welches ein Beispiel des Aufbaus des in Fig. 24 dargestellten Latenzzählers zeigt;

Fig. 29 ein Schaltbild, welches den speziellen Aufbau des in Fig. 28 dargestellten Flipflops zeigt;

Fig. 30 eine Signalwellenform-Darstellung, welche den Betrieb des in Fig. 29 dargestellten Flipflops zeigt;

Fig. 31 eine Signalwellenform-Darstellung, welche den Betrieb des in Fig. 28 dargestellten Latenzzählers zeigt;

Fig. 32 eine Darstellung, welche ein Beispiel einer Datenlese-Operationssequenz des CDRAMs gemäß der vorliegenden Erfindung zeigt;

Fig. 33 ein Blockschaltbild, welches den Aufbau einer Schaltung zur Erzeugung eines internen Taktes gemäß der vorliegenden Erfindung schematisch zeigt;

Fig. 34 eine Signalwellenform-Darstellung, welche den Betrieb der in Fig. 33 dargestellten Schaltung zeigt;

Fig. 35 ein Blockschaltbild, welches den besonderen Aufbau einer Schaltung zur Erzeugung eines internen Taktes gemäß der vorliegenden Erfindung zeigt;

Fig. 36 ein Schaltbild, welches den besonderen Aufbau des in Fig. 35 dargestellten Taktmaskensignal-Eingangspuffers zeigt;

Fig. 37 ein Schaltbild, welches speziell den Aufbau der in Fig. 35 dargestellten Schaltung zur Erzeugung eines internen Taktsignals zur Stromverkleinerungsmodus-Bestimmung zeigt;

Fig. 38 ein Schaltbild, welches speziell den Aufbau der in Fig. 37 dargestellten NOR-Schaltung zeigt;

Fig. 39 eine Signalwellenform-Darstellung, welche

den Betrieb der in Fig. 37 dargestellten Schaltung zeigt;

Fig. 40 ein Schaltbild, welches speziell den Aufbau der in Fig. 35 dargestellten Schaltung zur Erzeugung eines Taktmasken-Verriegelungssignals zeigt;

Fig. 41 ein Schaltbild, welches speziell den Aufbau der in Fig. 35 dargestellten Schaltung zur Erzeugung eines Stromverkleinerungssignals zeigt;

Fig. 42 ein Schaltbild, welches speziell den Aufbau der in Fig. 35 dargestellten Schaltung zur Erzeugung eines SRAM-Taktsignals zeigt;

Fig. 43 eine Signalwellenform-Darstellung, welche den Betrieb der in Fig. 42 dargestellten Schaltung zur Erzeugung eines internen Taktsignals zeigt;

Fig. 44 eine Operations-Wellenform-Darstellung zur Verwendung bei einer schematischen Darstellung des Gesamtbetriebs der in Fig. 35 dargestellten Schaltung;

Fig. 45A und 45B Darstellungen, welche einen anderen Aufbau der Schaltung zur Erzeugung eines internen Taktsignals gemäß der vorliegenden Erfindung zeigen, bei welchen Fig. 45A den Aufbau und Fig. 45B die Operations-Wellenformen schematisch darstellt;

Fig. 46 ein Schaltbild, welches speziell den Aufbau der in Fig. 45 dargestellten Schaltung zur Erzeugung eines internen Taktsignals zeigt;

Fig. 47 ein Schaltbild, welches speziell den Aufbau der in Fig. 46 dargestellten Registerschaltung zeigt;

Fig. 48 eine Signalwellenform-Darstellung, welche den Betrieb der in Fig. 46 dargestellten Schaltung zur Erzeugung eines internen Taktsignals zeigt;

Fig. 49 ein Blockschaltbild, welches einen anderen Aufbau der Schaltung zur Erzeugung eines internen Taktsignals gemäß der vorliegenden Erfindung schematisch zeigt;

Fig. 50 ein Schaltbild, welches speziell den Aufbau der in Fig. 49 dargestellten Schaltung zur Erzeugung eines zweiten internen Taktsignals zeigt;

Fig. 51 ein Schaltbild, welches speziell den Aufbau der in Fig. 50 dargestellten Registerschaltung zeigt;

Fig. 52 eine Signalwellenform-Darstellung, welche den Betrieb der in Fig. 50 dargestellten Schaltung zur Erzeugung eines zweiten internen Taktsignals zeigt;

Fig. 53A und 53B den besonderen Aufbau der in Fig. 49 gezeigten Schaltung zur Erzeugung eines ersten internen Taktsignals und entsprechende Signalwellenformen, welche deren Betrieb schematisch darstellen;

Fig. 54A und 54B Darstellungen, welche speziell den Aufbau einer in Fig. 49 gezeigten dritten Schaltung zur Erzeugung eines internen Taktsignals und entsprechende Operations-Wellenformen zeigen;

Fig. 55 ein Blockschaltbild, welches eine andere Schaltung zur Erzeugung eines internen Taktsignals gemäß der vorliegenden Erfindung schematisch zeigt;

Fig. 56 ein Schaltbild, welches speziell den Aufbau der in Fig. 55 dargestellten Schaltung zur Erzeugung eines internen Taktsignals im DRAM zeigt;

Fig. 57 ein Schaltbild, welches speziell den Aufbau der in Fig. 55 dargestellten Schaltung zur Erzeugung eines DRAM-Taktmaskensignals zeigt;

Fig. 58 eine Signalwellenform-Darstellung, welche den Betrieb der in Fig. 57 dargestellten Schaltung zeigt;

Fig. 59 ein Schaltbild, welches speziell den Aufbau der in Fig. 55 dargestellten Schaltung zur Erzeugung eines ersten Timing-Signals zeigt;

Fig. 60 ein Schaltbild, welches speziell den Aufbau der in Fig. 55 dargestellten Schaltung zur Erzeugung eines zweiten Timing-Signals zeigt;

Fig. 61 ein Schaltbild, welches speziell den Aufbau der in Fig. 55 dargestellten Schaltung zur Erzeugung

eines DRAM-Stromverkleinerungssignals zeigt;

Fig. 62 ein Schaltbild, welches speziell den Aufbau der Schaltung zur Erzeugung eines SRAM-Taktmaskensignals und der Schaltung zur Erzeugung eines SRAM-Stromverkleinerungssignals zeigt, welche in Fig. 55 dargestellt sind;

Fig. 63 ein Schaltbild, welches speziell den Aufbau der in Fig. 55 dargestellten Schaltung zur Erzeugung eines internen SRAM-Taktsignals zeigt;

Fig. 64A und 64B Darstellungen, welche den schematischen Aufbau einer Schaltung zur Erzeugung eines Abtastimpulses gemäß der vorliegenden Erfindung und deren entsprechende Operations-Wellenformen zeigen;

Fig. 65 ein Blockschaltbild, welches speziell den Aufbau einer Schaltung zur Erzeugung eines Abtastimpulses gemäß der vorliegenden Erfindung zeigt;

Fig. 66 ein Schaltbild, welches speziell den Aufbau der in Fig. 65 dargestellten CS-Puffer-Schaltung zeigt;

Fig. 67 ein Schaltbild, welches speziell den Aufbau der in Fig. 65 dargestellten Eingangspuffer-Schaltung zeigt;

Fig. 68 ein Schaltbild, welches speziell den Aufbau der in Fig. 65 dargestellten Schaltung zur Erzeugung eines internen Steuersignals zeigt;

Fig. 69A und 69B Darstellungen, welche den besonderen Aufbau der in Fig. 65 dargestellten Schaltung zum Ent sperren einer Verriegelung und entsprechende Signalwellenformen zeigen, welche deren Betrieb schematisch darstellen;

Fig. 70 ein Schaltbild, welches den Aufbau der in Fig. 65 dargestellten Schaltung zur Erzeugung eines Verriegelungssignals detailliert zeigt; und

Fig. 71 eine Signalwellenform-Darstellung zur Verwendung bei der Darstellung des Betriebs der in Fig. 70 gezeigten Schaltung zur Erzeugung eines Verriegelungssignals.

### Die Gesamtanordnung

Fig. 1 ist ein Blockschaltbild, welches den Gesamtaufbau eines CDRAMs gemäß der einen Ausführungsform der Erfindung zeigt. In Fig. 1 umfaßt ein CDRAM 400 eine DRAM-Anordnung 102, welche eine Mehrzahl von dynamischen Speicherzellen enthält, die in einer Matrix aus Zeilen und Spalten angeordnet sind, eine SRAM-Anordnung 104, welche eine Mehrzahl von statischen Speicherzellen enthält, die in einer Matrix aus Zeilen und Spalten angeordnet sind, und eine Datenübertragungsschaltung 106 zur Datenübertragung zwischen der DRAM-Anordnung 102 und der SRAM-Anordnung 104.

Der CDRAM 400 weist eine Konfiguration zum Dateneingang/-ausgang auf einer 4-Bit-Basis auf, und daher enthält die DRAM-Anordnung 102 vier Speicherebenen. Die vier Speicherebenen der DRAM-Anordnung 102 umfassen jeweils eine Speicherkapazität von 4 Mbit und entsprechen zu einer Zeit einem unterschiedlichen Datenbit-Eingang und -Ausgang.

Ähnlich enthält die SRAM-Anordnung 104 vier Speicherebenen, von welchen jede eine Speicherkapazität von 4 Kbit umfaßt. Vier Datenübertragungsschaltungen 106 sind in den vier Speicherebenen vorgesehen, um die Datenübertragung in jeder Ebene der DRAM-Anordnung 102 und der SRAM-Anordnung 104 auszuführen.

Der CDRAM 400 umfaßt einen DRAM-Adressenpuffer 108, welcher eine extern angelegte DRAM-Adresse Ad0 bis Ad11 empfängt und eine interne Adresse erzeugt, einen Zeilendecodierer 110, welcher eine interne

Zeilenadresse Row0 bis Row11 aus dem DRAM-Adressenpuffer 108 empfängt und eine entsprechende Zeile in der DRAM-Anordnung 102 wählt, einen Spaltenblock-Decodierer 112, welcher vorgeschriebene Bits einer internen Spaltenadresse aus dem DRAM-Adressenpuffer 108 oder eine Spaltenblockadresse Co14 bis Co19 empfängt und welcher eine Mehrzahl von Spalten (16 Spalten in einer Speicherebene in dieser Ausführungsform) in der DRAM-Anordnung 102 zu einer Zeit wählt, Abtastverstärker zum Ermitteln und Verstärken von Daten in den Speicherzellen, die in der DRAM-Anordnung 102 gewählt sind, und eine IO-Steuerung zur Datenübertragung zwischen den in der DRAM-Anordnung 102 gewählten Speicherzellen und der Datenübertragungsschaltung 106. Es wird darauf hingewiesen, daß in Fig. 1 der Abtastverstärker und die IO-Steuerung als einzelner Block 114 dargestellt sind.

Ein Zeilenadressensignal und ein Spaltenadressensignal werden zum Anlegen an den DRAM-Adressenpuffer 108 gemultiplext. 4 Bits der Adressensignale Ad0 bis Ad3 werden als Befehle zum Setzen eines Datenübertragungsmodus und zum Setzen/Rücksetzen von Maskendaten in einer Maske in der Datenübertragungsschaltung 106 verwendet.

Der CDRAM 400 umfaßt ferner einen SRAM-Adressenpuffer 116, welcher extern angelegte SRAM-Adressensignale As0 bis As11 empfängt und interne Adressensignale erzeugt, einen Zeilendecodierer 118, welcher Adressensignale As4 bis As11 aus dem SRAM-Adressenpuffer 116 decodiert und eine entsprechende Zeile in der SRAM-Anordnung 104 auswählt, einen Spaltenblock-Decodierer 120, welcher Spaltenadressensignale As0 bis As3 aus dem SRAM-Adressenpuffer 116 decodiert oder entsprechende Spalten in der SRAM-Anordnung 104 und entsprechende Transfergates in der Datenübertragungsschaltung 106 wählt, und eine IO-Schaltung, welche die Daten in den in der SRAM-Anordnung 104 gewählten Speicherzellen ermittelt und verstärkt und eine gewählte Spalte und ein gewähltes Transfertage der SRAM-Anordnung 104 mit einem internen Datenbus 123 verbindet. Ein Abtastverstärker für den SRAM und eine IO-Schaltung sind als Block 122 dargestellt.

Die SRAM-Anordnung 104 umfaßt 16 Bits in einer Zeile. In der SRAM-Anordnung 104 erreichen die Speicherzellen in der einen gewählten Zeile oder Speicherzellen von 16 Bits einen gewählten Zustand. Die Übertragungsschaltung 106 enthält 16 Transfertages für eine Speicherebene. Somit wird die Datenübertragung zwischen den in der DRAM-Anordnung 102 gewählten Speicherzellen von 16 Bits und den in der SRAM-Anordnung 104 gewählten Speicherzellen in der einen Zeile mittels der Datenübertragungsschaltung 106 in der einen Speicherebene ausgeführt. Insbesondere werden im CDRAM 400 die den 16 Bits entsprechenden Daten in einer Speicherebene übertragen, und die 64 Bits entsprechenden Daten werden insgesamt übertragen.

Ein unabhängiges Zuführen der Adressensignale Ad0 bis Ad11 zur DRAM-Anordnung 102 und der Adressensignale As0 bis As11 zur SRAM-Anordnung 104 gestattet es, die Daten in einer Speicherzelle an einer willkürlichen Stelle in der DRAM-Anordnung 102 in die SRAM-Anordnung 104 zu übertragen, wobei ein willkürliches Abbilden (gemäß einem festgelegten assoziativen Abbildungsverfahren, einem vollständigen assoziativen Abbildungsverfahren oder einem direkten Abbildungsverfahren) in Abhängigkeit von einer Verwendung eines Cache-Speichers leicht verwirklicht werden kann.

Der CDRAM 400 umfaßt ferner eine K-Puffer-/Ti-

## Die Festlegung der externen Steuersignale

ming-Schaltung 124, welche ein externes Taktsignal K, wie beispielsweise einen Systemtakt, und ein Chip-Auswahlsignal CS# empfängt, eine Taktmaskenschaltung 126, welche ein von der K-Puffer-/Timing-Schaltung 124 erzeugtes internes Taktsignal gemäß einem extern angelegten Maskensteuersignal CMd maskiert, und eine DRAM-Steuerschaltung 128, welche extern angelegte Steuersignale RAS#, CAS# und DTD# in Synchronisation mit einem Taktsignal aus der Taktmaskenschaltung 128 zum Erzeugen notwendiger auf dem Zustand von jedem Signal basierender Steuersignale aufnimmt. Die Festlegung von jedem externen Steuersignal wird später beschrieben werden.

Der CDRAM 400 umfaßt ferner eine Maskenschaltung 130, welche ein internes Taktsignal aus der K-Puffer-/Timing-Schaltung 124 gemäß einem Steuersignal CMs# maskiert, eine SRAM-Steuerschaltung 132, welche extern angelegte Steuersignale CC0#, CC1# und WE# gemäß einem internen Taktsignal aus der Maskenschaltung 132 aufnimmt und notwendige Steuersignale erzeugt, die auf einer Kombination der Zustände der Steuersignale basieren, und eine Eingangs-/Ausgangsschaltung 135 zum Eingeben/Ausgeben von Daten in Reaktion auf Signale DQC und G#.

Die Eingangs-/Ausgangsschaltung 135 umfaßt einen Din-Puffer 434, welcher extern angelegte Daten DQ0 bis DQ3 und Maskendaten M0 bis M3 (oder Schreibdaten D0 bis D3) empfängt, eine Maskenschaltung 436, welche die aus dem Din-Puffer 434 angelegten Schreibdaten gemäß den Maskendaten M0 bis M3 maskiert, und eine Hauptverstärker-Schaltung 438 zum Ausgeben von Daten an die Anschlüsse DQ0 bis DQ3 (oder Q0 bis Q3). Die Eingangs-/Ausgangsschaltung 135 ist mit dem Block 122 durch den internen Datenbus 123 verbunden. Der Block 122 wählt ein Transfergate (für eine Speicherebene) oder eine 1-Bit-SRAM-Speicherzelle (für eine Speicherebene) aus der Übertragungsschaltung 106 oder der SRAM-Anordnung 104 aus und verbindet das gewählte Gatter oder die gewählte Zelle mit dem internen Datenbus 123. Folglich ermöglicht es der CDRAM 400, daß auf die SRAM-Anordnung 104 extern zugegriffen wird oder daß auf die Übertragungsschaltung 106 zugegriffen wird.

Die DRAM-Steuerschaltung 128 und die SRAM-Steuerschaltung 132 werden unabhängig voneinander betrieben. Folglich kann zur Zeit der Datenübertragung zwischen der DRAM-Anordnung und der Datenübertragungsschaltung 106 auf die SRAM-Anordnung 104 extern zugegriffen werden.

Beim CDRAM 400 kann geändert werden, wie die Daten eingegeben/ausgegeben werden. Mögliche Anordnungen sind eine DQ-Trennungsanordnung, bei welcher Eingangsdaten (Schreibdaten) D und Ausgangsdaten Q durch separate Pinanschlüsse übertragen werden, und ein Maskenschreibmodus, bei welchem die Schreibdaten D und die Lesedaten (Ausgangsdaten) Q durch denselben Pinanschluß übertragen werden. Die Schreibdaten können im Maskenschreibmodus, bei welchem der Dateneingang und der Datenausgang durch denselben Pinanschluß ausgeführt wird, maskiert werden. Die Pinanschlüsse, welche die Schreibdaten D0 bis D3 bei der DQ-Trennungsanordnung empfangen, werden als Pinanschluß zum Empfangen der Maskendaten M0 bis M3 im Maskenschreibmodus verwendet. Ein Setzen des Pinanschlusses wird mittels eines nicht dargestellten Befehlregisters durchgeführt.

Der CDRAM 400 nimmt Daten und externe Steuersignale auf, welche alle in Synchronisation mit dem extern angelegten Taktsignal K sind. Jedes beliebige Steuersignal wird als Impuls angelegt. Ein auszuführender Operationsmodus wird durch eine Kombination des Zustands der externen Steuersignale bei einer zunehmenden Flanke des externen Taktsignals K bestimmt. Nur das externe Taktsignal G# wird asynchron zum externen Taktsignal K eingegeben. Nun wird jedes externe Steuersignal beschrieben.

## Das externe Taktsignal K:

Das externe Taktsignal K bestimmt ein Basis-Timing für den CDRAM 400, mit anderen Worten ein Timing zum Aufnehmen eines Eingangssignals und einer Betriebstaktfrequenz. Die Timing-Parameter der externen Signale (außer dem Signal G#, welches später beschrieben wird) sind auf Grundlage einer zunehmenden Flanke oder einer abnehmenden Flanke des externen Taktsignals K festgelegt.

## Das Taktmasken-CMd für den DRAM:

Das Taktmasken-CMd für den DRAM steuert die Übertragung eines internen DRAM-Taktsignals, das von der K-Puffer-/Timing-Schaltung 124 erzeugt wird. Wenn das DRAM-Taktmasken-CMd bei einer zunehmenden Flanke des externen Taktsignals K in einem aktiven Zustand ist, dann wird die Erzeugung des internen Taktsignals für den DRAM im darauffolgenden Taktzyklus gestoppt. In diesem Zustand wird eine Operation zum Aufnehmen eines Steuersignals in dem DRAM-Abschnitt im darauffolgenden Zyklus nicht ausgeführt. Das verkleinert den Stromverbrauch im DRAM-Abschnitt.

## Das Zeilenadressen-Strobesignal RAS#:

Das Zeilenadressen-Strobesignal RAS# wird gemeinsam mit dem externen Taktsignal K (in Abhängigkeit von den Zuständen der anderen Signale CMd, CAS# und DTD# zu der Zeit) verwendet, und es aktiviert den DRAM-Abschnitt. Insbesondere wird das Zeilenadressen-Strobesignal RAS# zum Verriegeln der DRAM-Zeilenaressensignale Ad0 bis Ad11, zur Auswahl einer Zeile in der DRAM-Anordnung 102, zur Einleitung eines Vorladezyklus, um den DRAM-Abschnitt auf einen Anfangszustand zu setzen, zur Datenübertragung zwischen der DRAM-Anordnung 102 und der Datenübertragungsschaltung 106, zur Einleitung eines Selbstauffrischzyklus, zur Erzeugung eines DRAM-NOP-Zyklus und zur Stromverkleinerung des DRAM-Abschnitts verwendet. Das Zeilenadressen-Strobesignal RAS# bestimmt daher einen Basisoperationszyklus im DRAM-Abschnitt.

## Das Spaltenadressen-Strobesignal CAS#:

Das Spaltenadressen-Strobesignal CAS# wird zusammen mit dem externen Taktsignal K zum Verriegeln eines DRAM-Spaltenadressensignals verwendet. Wenn das Zeilenadressen-Strobesignal RAS# in einem DRAM-Zugriffszyklus vorher verwendet wurde, dann wird die Datenübertragung aus der Datenübertragungsschaltung 106 in die DRAM-Anordnung 102 oder die Datenübertragung aus der DRAM-Anordnung 102 in die Datenübertragungsschaltung 106 mit dem Spaltenadressen-Strobesignal CAS# ausgeführt, welches anschließend verwendet wird, wobei durch das Steuersignal DTD# bestimmt wird, in welcher Richtung die Datenübertragung durchgeführt wird.

Das Signal zur Anweisung einer Datenübertragung DTD#:

Das Signal zur Anweisung einer Datenübertragung DTD # bestimmt die Datenübertragung und deren Umadressierung zwischen der DRAM-Anordnung 102 und der Datenübertragungsschaltung 106. Wenn das Zeilenadressen-Strobesignal RAS # in dem vorhergehenden Zyklus auf einem Tiefpegel war und wenn das Spaltenadressen-Strobesignal CAS # und das Signal zur Anweisung einer Datenübertragung DTD # beide bei einer zunehmenden Flanke des externen Taktsignals K auf einem Tiefpegel sind, dann wird ein DRAM-Schreibübertragungszyklus zur Datenübertragung aus der Datenübertragungsschaltung 106 in die DRAM-Anordnung 102 ausgeführt.

Wenn das Signal zur Anweisung einer Datenübertragung DTD # auf einem Hochpegel ist, dann wird ein DRAM-Leseübertragungszyklus zur Datenübertragung aus der DRAM-Anordnung in die Datenübertragungsschaltung 106 ausgeführt. Wenn das Signal zur Anweisung einer Datenübertragung DTD # in Synchronisation mit dem Zeilenadressen-Strobesignal RAS # auf einen Tiefpegel gezogen wird, dann nimmt der DRAM-Abschnitt einen Vorladezyklus ein. Eine beliebige Zugriffsoperation auf den DRAM-Abschnitt wird so lange verhindert, bis der Vorladezyklus abgeschlossen ist.

Die Adressensignale für den DRAM Ad0 bis Ad11:

Die DRAM-Anordnung 102 enthält vier Speicherebenen, von denen jede eine Speicherkapazität von 4 Mbit umfaßt. Eine DRAM-Speicherebene weist eine Anordnung von 4 K Zeilen  $\times$  64 Spalten  $\times$  16 Blöcke auf. Ein Block umfaßt 64 Spalten. Die DRAM-Adressensignale Ad0 bis Ad11, die DRAM-Zeilenadressensignale und die DRAM-Spaltenadressensignale werden bei der Verwendung gemultiplext. Wenn bei einer zunehmenden Flanke des externen Taktsignals K das Zeilenadressen-Strobesignal RAS # auf einem Tiefpegel und das Signal zur Anweisung einer Datenübertragung DTD # auf einem Hochpegel ist, dann werden die DRAM-Adressensignale Ad0 bis Ad11 als Zeilenadressensignal aufgenommen und interne Zeilenadressensignale erzeugt, welche eine entsprechende Zeile in der DRAM-Anordnung 102 bestimmen.

Wenn bei einer zunehmenden Flanke des externen Taktsignals K das Spaltenadressen-Strobesignal CAS # auf einem Tiefpegel ist, dann werden die DRAM-Adressensignale Ad0 bis Ad9 als Blockadresse zum Bestimmen jener Speicherzellen in der DRAM-Anordnung 102 verwendet, welche 16 Bits (1 Bit von jedem der 16 Blöcke; in Fig. 1: Speicherzellen 0 bis 15) entsprechen.

Das SRAM-Taktmaskensignal CMs:

Das SRAM-Taktmaskensignal CMs steuert eine Übertragung des internen SRAM-Taktsignals (welches von der K-Puffer-/Timing-Schaltung 124 erzeugt wird). Wenn das SRAM-Taktmaskensignal CMs bei einer zunehmenden Flanke des externen Taktsignals K in einem aktiven Zustand ist, dann wird die Erzeugung eines internen SRAM-Taktsignals im darauffolgenden Zyklus gestoppt, und der SRAM-Abschnitt behält den Zustand im vorhergehenden Zyklus bei. Das SRAM-Taktmaskensignal CMs wird ferner zum kontinuierlichen Beibehalten derselben Eingangs-/Ausgangsdaten über eine Mehrzahl von Taktzyklen verwendet.

Das Chip-Auswahlsignal CS #:

Das Chip-Auswahlsignal CS # steuert die Aktivierung/Deaktivierung der DRAM-Steuerschaltung 128 und der SRAM-Steuerschaltung 132. Insbesondere werden die externen Steuersignale RAS #, CAS #, DTD #, CC0 #, CC1 # und WE # alle in Reaktion auf das exter-

ne Taktsignal K und das Chip-Auswahlsignal CS # aufgenommen. Wenn das Chip-Auswahlsignal CS # auf einem Hochpegel ist, was einem inaktiven Zustand entspricht, dann ist der CDRAM in einem nicht gewählten Zustand und wird eine interne Operation nicht ausgeführt.

Das Schreib-Entsperrsignal WE #:

Das Schreib-Entsperrsignal WE # steuert die Schreib-/Leseoperation von Daten in den/aus dem SRAM-Abschnitt und in die/aus der Datenübertragungsschaltung 106. Wenn das Chip-Auswahlsignal CS # bei einer zunehmenden Flanke des externen Taktsignals K in einem aktiven Zustand tiefen Pegels ist, dann wird ein Datenlesen aus der Datenübertragungsschaltung 106, ein Datenlesen aus der SRAM-Anordnung 104 oder eine Datenübertragung aus der Datenübertragungsschaltung 106 in die SRAM-Anordnung 104 durchgeführt, wobei das Schreib-Entsperrsignal WE # (in Abhängigkeit von den Zuständen der nachstehend beschriebenen Steuersignale CC0 # und CC1 #) auf einem Hochpegel ist.

Wenn das Schreib-Entsperrsignal WE # auf einem Tiefpegel ist, dann wird (in Abhängigkeit von den Steuersignalen CC0 # und CC1 #) ein Datenschreiben in die Datenübertragungsschaltung 106, ein Datenschreiben in eine gewählte Speicherzelle in der SRAM-Anordnung 104 oder eine Datenübertragung aus der SRAM-Anordnung 104 in die Datenübertragungsschaltung 106 ausgeführt.

Die Steuertaktsignale CC0 #, CC1 #:

Diese Steuertaktsignale CC0 # und CC1 # steuern den Zugriff auf den SRAM-Abschnitt und die Datenübertragungsschaltung 106. Wenn das Chip-Auswahlsignal CS # bei einer zunehmenden Flanke des externen Taktsignals K in einem aktiven Zustand mit tiefem Pegel ist, dann wird ein auszuführender Operationsmodus in Abhängigkeit von den Zuständen der Steuertaktsignale CC0 # und CC1 # bestimmt.

Die SRAM-Adressensignale As0 bis As11:

Die SRAM-Anordnung 104 weist vier Speicherebenen auf, von denen jede Speicherzellen umfaßt, die in 256 Zeilen und 16 Spalten angeordnet sind. Wenn die SRAM-Anordnung 104 als Cache-Speicher verwendet wird, dann ist die Blockgröße des Caches 16  $\times$  4 (die IO entspricht 4 Bits). Die SRAM-Adressensignale As0 bis As3 werden als Blockadresse zum Auswählen von 1 Bit in einem Cache-Block (einer Zeile) verwendet, wogegen die SRAM-Adressensignale As4 bis As11 als Zeilenadressensignale zum Auswählen einer Zeile in der SRAM-Anordnung 104 verwendet werden.

Das Ausgabe-Entsperrsignal G #:

Das Ausgabe-Entsperrsignal G # steuert die Datenausgabe. Das Ausgabe-Entsperrsignal G # wird asynchron zum externen Taktsignal K angelegt. Wenn das Ausgabe-Entsperrsignal G # entweder in der DQ-getrennten Pinanordnung oder der gemeinsamen DQ-Pinanordnung auf einem Hochpegel ist, dann erreicht der Ausgang einen Hochimpedanz-Zustand. Die Daten können ausgegeben werden, wenn das Ausgabe-Entsperrsignal G # auf einem Tiefpegel ist.

Die Eingänge/Ausgänge DQ0 bis DQ3:

Die Eingänge/Ausgänge DQ0 bis DQ3 werden zu Daten für den CDRAM, wenn ein Modus mit gemeinsamem DQ (ein maskierter Schreibmodus) gewählt ist. Der Zustand eines Datenbits zur externen Ausgabe wird mit dem Ausgabe-Entsperrsignal G # gesteuert. Die Daten werden entweder in einem transparenten Modus, einem Verriegelungsmodus oder einem regi-

strierten Modus ausgegeben. Im transparenten Ausgabemodus werden die Daten im internen Datenbus 123 direkt in den Hauptverstärker 438 übertragen. Wenn das Chip-Auswahlsignal CS# bei einer zunehmenden Flanke des externen Taktsignals K auf einem Hochpegel ist, dann wird ein Nicht-Auswahlmodus erreicht, was die Ausgabe eines Hochimpedanz-Zustandes ergibt. Wenn das Ausgabe-Entsperrsignal G# auf einem Hochpegel ist, dann wird ebenso die Ausgabe eines Hochimpedanz-Zustandes erreicht. Wenn Daten ausgegeben werden können, dann wird in Reaktion auf ein Zunehmen des externen Taktsignals K ein Datenlesen in dem Zyklus ausgeführt.

Im registrierten Ausgabemodus sind die Daten um 1 Zyklus zur Ausgabe verzögert. In diesem Modus ist ein Ausgaberegister zwischen dem internen Datenbus 123 und dem Hauptverstärker 438 vorgesehen. Im Verriegelungs-Ausgabemodus ist eine Schaltung zur Ausgabeverriegelung zwischen dem internen Datenbus 123 und dem Hauptverstärker 438 vorgesehen. In dieser Anordnung werden die Lesedaten in der Verriegelungsschaltung verriegelt und durch den Hauptverstärker 438 ausgegeben. Selbst während eines Zeitabschnitts, in welchem ungültige Daten im internen Datenbus 123 erscheinen, werden gültige Daten extern ausgegeben. Folglich kann ein ausreichender Zeitabschnitt für eine externe Verarbeitungseinrichtung, wie beispielsweise eine CPU, gesichert werden, um die Ausgabedaten aufzunehmen.

Die vorstehend beschriebenen Ausgabemodi werden durch Setzen von Befehlsdaten in einem Befehlsregister (nicht dargestellt) realisiert.

#### Die Eingänge D0 bis D3:

Die Eingänge D0 bis D3 zeigen Eingabedaten an, wenn der DQ-Trennungsmodus bestimmt ist. Beim Datenschreiben, wie beispielsweise in einem Schreibpufferzyklus zum Schreiben von Daten in die Datenübertragungsschaltung 106 oder in einem Schreib-SRAM-Modus zum Schreiben von Daten in die SRAM-Anordnung 104, werden die Eingabedaten D0 bis D3 bei einer zunehmenden Flanke des externen Taktsignals K verriegelt.

#### Die Maskierungs-Entsperrsignale M0 bis M3:

Die Maskierungs-Entsperrsignale M0 bis M3 sind entsperrt, wenn der Modus mit gemeinsamem DQ bestimmt ist. Die Maskierungs-Entsperrsignale M0 bis M3 entsprechen den Eingabe-/Ausgabedaten DQ0 bis DQ3, und es wird bestimmt, ob ein entsprechendes DQ-Bit zu maskieren ist oder nicht. Die Festlegungen für die Maskendaten werden auf Grundlage der Zustände der Maskierungs-Entsperrsignale M0 bis M3 bei einer zunehmenden Flanke des externen Taktsignals K bestimmt. Mit den Maskierungs-Entsperrsignalen M0 bis M3 können gewünschte Eingabedaten in einem Zyklus zum Schreiben von Daten in die SRAM-Anordnung oder die Übertragungsschaltung maskiert werden.

Wie aus der vorstehenden Beschreibung der Steuersignale deutlich zu erkennen ist, werden in dem CDRAM 400 die auf den DRAM-Abschnitt bezogenen Operationen und die auf den SRAM-Abschnitt bezogenen Operationen separat durchgeführt. Die Daten können direkt in die/aus der Datenübertragungsschaltung 106 geschrieben/gelesen werden. Somit erleichtert das unabhängige Treiben des DRAM-Abschnitts und des SRAM-Abschnitts eine Steuerung, so daß eine Datenübertragung unter Verwendung eines Hochgeschwindigkeits-Modus, wie beispielsweise eines DRAM-Seiten-Modus, realisiert werden kann, wobei die Zugriffs-

zeit zur Zeit einer Cache-Nichtverwendung verkleinert und ein Burst-Modus realisiert werden kann.

Da auf die Datenübertragungsschaltung 106 extern und direkt zugegriffen werden kann, werden die in der DRAM-Anordnung 104 gespeicherten Daten bei einem derartigen externen direkten Zugriff auf die Datenübertragungsschaltung 106 nicht nachteilig beeinflußt, wobei Graphikdaten und Cache-Daten (Daten, die durch die externe Verarbeitungseinheit, die CPU, verwendet werden) beide in der DRAM-Anordnung 102 gespeichert werden können.

Es wird darauf hingewiesen, daß in Fig. 1 die Datenübertragungsschaltung 106 16 Transfergates enthält. Jedes Transfergate enthält einen Lese-Übertragungspuffer 140 zum Übertragen von Daten aus der DRAM-Anordnung 102 in die SRAM-Anordnung 104 oder eine Eingangs-/Ausgangsschaltung 135, ein Zwischenregister 142 zum Speichern von Schreibdaten für den SRAM 104 oder über den internen Datenbus 123, einen Schreib-Übertragungspuffer 144 zum Übertragen der im Zwischenregister 142 gespeicherten Daten in die DRAM-Anordnung 102 und ein Maskenregister 146 zum Maskieren der Datenübertragung aus dem Schreib-Übertragungspuffer 144 in die DRAM-Anordnung 102. Ein Lese-Übertragungspuffer 140, dessen Aufbau später detailliert beschrieben wird, enthält einen Master-Übertragungspuffer und einen Slave-Übertragungspuffer.

Fig. 2 ist eine Darstellung, welche den funktionellen Aufbau des in Fig. 1 dargestellten CDRAMs zeigt. In Fig. 2 enthält die DRAM-Anordnung 102 eine Anordnung von 4 K Zeilen  $\times$  64 Spalten  $\times$  16 Blöcke  $\times$  4 (IO). Die DRAM-Bitleitungspaare der 64 Spalten sind in einem Block angeordnet, aus welchem eine Spalte ausgewählt wird.

Die SRAM-Anordnung 104 weist eine Anordnung von 256 Zeilen  $\times$  16 Spalten  $\times$  4 (IO) Bits auf. Eine Zeile in der SRAM-Anordnung 104 (4 Zeilen insgesamt) wird ausgewählt, wobei die Datenübertragung zwischen den 16-Bit-Speicherzellen in der gewählten einen Zeile und den in der DRAM-Anordnung 102 gewählten 16 Bits (ein Bit von jedem Block) zu einer Zeit durchgeführt werden kann.

Die Datenübertragungsschaltung 106 enthält einen Lesedaten-Übertragungspuffer DTBR (16 Bits  $\times$  4 (IO)) zum Empfangen von Daten aus der DRAM-Anordnung 102 und zum Übertragen der Daten in die SRAM-Anordnung 104 oder die IO-Schaltung (Eingangs-/Ausgangsschaltung) 135 und einen Schreibdaten-Übertragungspuffer DTBW (16 Bits  $\times$  4 (IO)) zum Empfangen von Daten aus der DRAM-Anordnung 104 oder der Eingangs-/Ausgangsschaltung 135 und zum Übertragen der empfangenen Daten in die DRAM-Anordnung 102. Die speziellen Konfigurationen des Schreibdaten-Übertragungspuffers DTBW und des Lesedaten-Übertragungspuffers DTBR werden später detailliert beschrieben werden.

In Fig. 2 sind Daten dargestellt, welche aus dem Lesedaten-Übertragungspuffer DTBR in den Schreibdaten-Übertragungspuffer DTBW durch den Spaltendecodierer 120 zu übertragen sind. Dies entspricht einem Operationsmodus zum direkten Übertragen von 16  $\times$  4 Bit im Lesedaten-Übertragungspuffer DTBR gespeicherten Daten in den Schreibdaten-Übertragungspuffer DTBW, wie es später beschrieben wird.

Der Spaltendecodierer 120 wählt 4 Bits (1 Bit pro 16 Bits) aus dem Lesedaten-Übertragungspuffer DTBR (16 Bits  $\times$  4 (IO)) und überträgt die gewählten 4 bit

Daten an die Dateneingangs-/Datenausgangs-Pins DQ durch die Eingangs-/Ausgangsschaltung 135. In Fig. 2 ist der Dateneingangs-/Datenausgangs-Anschluß DQ in einer Anordnung mit gemeinsamem DQ zum Eingeben/Ausgeben sowohl der Schreibdaten als auch der Lese-daten dargestellt. Der Spaltendecodierer 120 wählt Speicherzellen mit 4 Bits in der SRAM-Anordnung 104 bei einem Operationsmodus zum Schreiben/Lesen von Daten in die/aus der SRAM-Anordnung 104. Der Spaltendecodierer 120 wählt ferner vier Transfergates aus dem Schreibdaten-Übertragungspuffer DTBW zur Zeit des direkten Schreibens extern angelegter Daten in die Übertragungsschaltung 106 aus und verbindet die ausgewählten Transfergates mit der Eingangs-/Ausgangsschaltung 135.

Die DRAM-Steuerschaltung 128 (siehe Fig. 1) steuert die Datenübertragung aus der DRAM-Anordnung 102 in den Lesedaten-Übertragungspuffer DTBR und die Datenübertragung aus dem Schreibdaten-Übertragungspuffer DTBW in die DRAM-Anordnung 102.

Die SRAM-Steuerschaltung 132 (siehe Fig. 1) steuert das Datenschreiben aus der SRAM-Anordnung 104 in den Dateneingangs-/Datenausgangsanschluß DQ, das Datenschreiben aus dem Dateneingangs-/Datenausgangsanschluß DQ in die SRAM-Anordnung 104, die Datenübertragung aus dem Lesedaten-Übertragungspuffer DTBR in die SRAM-Anordnung 104, die Datenübertragung aus der SRAM-Anordnung 104 in den Schreibdaten-Übertragungspuffer DTBW, das Datenschreiben aus dem Schreibdaten-Übertragungspuffer DTBW in den Dateneingangs-/Datenausgangsanschluß DQ, das Datenlesen aus dem Lesedaten-Übertragungspuffer DTBR in den Dateneingangs-/Datenausgangsanschluß DQ und das Schreiben von an den Dateneingangs-/Datenausgangsanschluß DQ gelegten Daten in die SRAM-Anordnung 104 und den Schreibdaten-Übertragungspuffer DTBW.

#### Die Logik der externen Steuersignale

Fig. 3 ist eine Tabelle, die Operationen darstellt, welche entsprechend den Zuständen der externen Steuersignale für eine SRAM-Steuerschaltung in einem CDRAM gemäß der einen erfundungsgemäßen Ausführungsform ausgeführt werden.

#### Keine Operation

Wenn das Chip-Auswahlsignal CS # auf einem Hochpegel ist, dann erreicht ein Ausgang einen Hochimpedanz-Zustand, und der SRAM-Abschnitt erreicht einen Nicht-Operations-Modus NOP. Im Nicht-Operations-Modus NOP behält der SRAM-Abschnitt den vorhergehenden Zustand bei. Der in jedem Taktzyklus betriebene SRAM-Abschnitt behält einen Vorladezustand oder einen nicht gewählten Zustand bei.

#### Der SRAM-Stromverkleinerungsmodus

Wenn das SRAM-Taktmaskensignal CMs # auf einem Tiefpegel ist, dann wird ein SRAM-Stromverkleinerungsmodus SPD bestimmt. In diesem Modus wird die Taktübertragung in den SRAM verhindert, und der SRAM-Abschnitt behält den vorhergehenden Zykluszustand bei. Daher wird in dem Datenausgabeabschnitt der vorhergehende Zykluszustand beibehalten, und wenn die Ausgabedaten im vorhergehenden Zyklus ausgegeben werden, dann sind die Daten kontinuierlich

aus zugegeben, mit anderen Worten, es wird ein "Daten-schwebezustand" erreicht.

#### Der Nicht-Auswahl-SRAM-Modus

Wenn die Steuertaktsignale CC0 # und CC1 # beide auf einem Hochpegel sind, dann wird ein Nicht-Auswahl-SRAM-Modus DES bestimmt, und der Ausgang erreicht einen Hochimpedanz-Zustand. Die internen Operationen werden durchgeführt. In diesem Zustand ist der Zustand des DQ-Steuersignals DQC zum Steuern der Ausgangsimpedanz willkürlich. Es wird darauf hin gewiesen, daß das Chip-Auswahlsignal CS # auf einen Tiefpegel und das Taktmaskensignal CMs # auf einen Hochpegel gesetzt ist. In der nachstehenden Beschreibung ist dieser Zustand realisiert, es sei den er wird anders spezifiziert.

#### Der SRAM-Lesemodus

Wenn das Steuertaktsignal CC1 # auf einen Tiefpegel gesetzt ist und das Steuertaktsignal CC0 # und das Schreib-Entsperrsignal WE # auf einen Hochpegel gesetzt sind, dann wird der SRAM-Lesemodus SR bestimmt. Eine Speicherzelle wird in der SRAM-Anordnung ausgewählt, und die Daten in der gewählten Speicherzelle sind zum Lesen bestimmt. Wenn das DQ-Steuersignal DQC auf einem Hochpegel ist, dann werden die aus der gewählten Speicherzelle in der SRAM-Anordnung ausgelesenen Daten als Ausgabedaten Dout ausgegeben. Wenn das DQ-Steuersignal DQC auf einem Tiefpegel ist, dann wird die Hauptverstärker-Schaltung 438 nicht betrieben und derselbe Zustand wie der Nicht-Auswahl-SRAM-Modus erreicht.

#### Der SRAM-Schreibmodus

Wenn das Steuertaktsignal CC0 # auf einen Hochpegel gesetzt ist und das Steuertaktsignal CC1 # und das Schreib-Entsperrsignal WE # auf einen Tiefpegel gesetzt sind, dann wird der SRAM-Schreibmodus SW bestimmt. Wenn das DQ-Steuersignal DQC auf einem Hochpegel ist, dann werden die zu dieser Zeit angelegten externen Daten aufgenommen und interne Schreibdaten erzeugt. Die erzeugten internen Schreibdaten werden in jene Speicherzellen in der SRAM-Anordnung 104 geschrieben, welche auf Grundlage der zur Zeit angelegten SRAM-Adressen As0 bis As11 gewählt sind. Der Ausgang Dout erreicht einen Hochimpedanz-Zustand eher während der Operation in diesem SRAM-Schreibmodus SW in Abhängigkeit von einem Ergebnis der Bestimmung des Schreibmodus als während einer Steuerung durch das DQ-Steuersignal DQC.

#### Der Pufferlese-Übertragungsmodus

Wenn das Steuertaktsignal CC0 # und das DQ-Steuersignal DQC beide auf einen Tiefpegel gesetzt sind, wobei das Steuertaktsignal CC1 # und das Schreib-Entsperrsignal WE # auf einen Hochpegel gesetzt sind, dann wird ein Pufferlese-Übertragungsmodus BRT bestimmt. Das DQ-Steuersignal DQC ist zum Setzen eines Ausgangs-Hochimpedanz-Zustands auf einen Tiefpegel gesetzt, um eine fehlerhafte Ausgabe jener Daten zu verhindern, welche aus der Lesedatenübertragungs-Pufferschaltung DTBR in die SRAM-Anordnung übertragen werden.

Im Pufferlese-Übertragungsmodus BRT werden die

in der Lesedatenübertragungs-Pufferschaltung DTBR verriegelten Daten zu einer Zeit in die SRAM-Anordnung übertragen. Während der Übertragungsoperation werden die SRAM-Adressensignale As4 bis As11 als SRAM-Zeilenaadressensignale zum Ausführen einer Zeilenauswahloperation verwendet.

Hierin weist "verwenden" in Fig. 3 auf eine Verwendung der darin verriegelten Daten hin. "Laden/Verwenden" weist darauf hin, daß die Daten geladen und verwendet werden.

#### Der Pufferschreib-Übertragungsmodus

Wenn das Steuertaktsignal CC1 # auf einen Hochpegel gesetzt ist und das Steuertaktsignal CC0 #, das Schreib-Entsperrsignal WE # und das DQ-Steuersignal DQC auf einen Tiefpegel gesetzt sind, dann wird der Pufferschreib-Übertragungsmodus BWT bestimmt. In diesem Modus werden die Daten aus der SRAM-Anordnung 104 in die Schreibdatenübertragungs-Pufferschaltung DTBW übertragen. Die Schreibdatenübertragungs-Pufferschaltung DTBW und die Maskenregister-Schaltung 146a enthalten beide eine Zwischenverriegelungs-Schaltung mit einer Anordnung aus zwei Stufen von Verriegelungen. Im Pufferschreib-Übertragungsmodus BWT speichern die in der Schreibdatenübertragungs-Pufferschaltung enthaltenen Zwischenverriegelungseinrichtungen die Daten aus der SRAM-Anordnung 104. Gleichzeitig sind in der Maskenregister-Schaltung alle Maskendaten des Zwischenmaskenregisters rückgesetzt, um alle aus der SRAM-Anordnung 104 in die DRAM-Anordnung übertragenen Daten zu übertragen.

Wenn die SRAM-Adressensignale As4 bis As11 als SRAM-Zeilenaadressensignale aufgenommen werden, wird eine Zeilenauswahloperation in der SRAM-Anordnung 104 ausgeführt. Die somit ausgewählten Daten in den Speicherzellen mit 16 Bits in einer Zeile werden in die Schreibdatenübertragungs-Pufferschaltung DTBW übertragen.

#### Der Pufferlese-Übertragungs- und Lesemodus

Wenn das Steuertaktsignal CC0 # auf einen Tiefpegel gesetzt ist und das Taktsignal CC1 #, das Schreib-Entsperrsignal WE # und das DQ-Steuersignal DQC auf einen Hochpegel gesetzt sind, dann wird ein Pufferlese-Übertragungs- und Lesemodus BRTR bestimmt. In diesem Modus werden die in der Lesedatenübertragungs-Pufferschaltung DTBR gespeicherten Daten in die SRAM-Anordnung übertragen und die Daten extern ausgegeben. Die Daten werden aus der Lesedatenübertragungs-Pufferschaltung DTBR in die Speicherzellen in der SRAM-Anordnung übertragen. Ein Transfertage wird aus 16 Transfertages (für eine Speicherebene oder einen Eingangs-/Ausgangsanschluß DQ) in der Lesedatenübertragungs-Pufferschaltung DTBR gewählt, und die Daten im gewählten Transfertage werden ausgegeben. Folglich werden in diesem Operationsmodus alle SRAM-Adressensignale As0 bis As11 verwendet.

Der Pufferlese-Übertragungsmodus BRT und der Pufferlese-Übertragungs- und Lesemodus BRTR unterscheiden sich einfach durch den Zustand des DQ-Steuersignals DQC.

#### Der Pufferschreib-Übertragungs- und Schreibmodus

Wenn das Steuertaktsignal CC0 # und das Schreib-

Entsperrsignal WE # beide auf einen Tiefpegel gesetzt sind und das Steuertaktsignal CC1 # und das DQ-Steuersignal DQC auf einen Hochpegel gesetzt sind, dann wird ein Pufferschreib-Übertragungs- und Schreibmodus BWTW bestimmt. Im Modus BWTW werden extern angelegte Schreibdaten in eine entsprechende Speicherzelle in der SRAM-Anordnung geschrieben und die Daten in den Speicherzellen in einer Zeile, einschließlich jener Speicherzelle, die dem Datenschreiben ausgesetzt gewesen ist, in die Schreibdatenübertragungs-Pufferschaltung DTBW übertragen. Alle Maskendaten im Maskenregister werden rückgesetzt.

Während der Operation im Pufferschreib-Übertragungs- und Schreibmodus BWTW sieht das Setzen des DQ-Steuersignals DQC auf einen Tiefpegel nur eine Pufferschreib-Übertragungsoperation vor.

#### Der Pufferlesemodus

Wenn die Steuertaktsignale CC0 # und CC1 # beide auf einen Tiefpegel und das Schreib-Entsperrsignal WE # und das DQ-Steuersignal DQC auf einen Hochpegel gesetzt sind, dann wird ein Pufferlesemodus BR bestimmt. Während des Betriebs im Pufferlesemodus BR wird ein Transfertage (für einen Dateneingangs-/Datenausgangsanschluß) in der Lesedatenübertragungs-Pufferschaltung DTBR auf Grundlage der SRAM-Adressen As0 bis As3 gewählt und werden die durch das gewählte Transfertage verriegelten Daten ausgegeben. In diesem Operationsmodus sieht das Setzen des DQ-Steuersignals DQC auf einen Tiefpegel eine Nicht-Auswahl-SRAM-Modus-Operation ohne Datenlesen vor.

#### Der Pufferschreibmodus

Wenn die Steuertaktsignale CC0 # und CC1 # und das Schreib-Entsperrsignal WE # auf einen Tiefpegel gesetzt sind und das DQ-Steuersignal DQC auf einen Hochpegel gesetzt ist, dann wird ein Pufferschreibmodus BW bestimmt. In diesem Fall wird ein Transfertage (Datenregister) in der Schreibdatenübertragungs-Pufferschaltung DTBW auf Grundlage der SRAM-Adressensignale As0 bis As3 gewählt und werden extern angelegte Daten in das gewählte Datenregister geschrieben. In diesem Operationsmodus werden in der Schreibdatenübertragungs-Pufferschaltung DTBW nur die Maskendaten rückgesetzt, welche demjenigen Register entsprechen, das dem Datenschreiben ausgesetzt war.

In der in Fig. 3 dargestellten Tabelle sind die Zustände der Steuersignale und die DRAM-Adressen bezüglich des Betriebs der DRAM-Anordnung nicht gezeigt. Das Treiben des SRAM-Abschnitts und das Treiben des DRAM-Abschnitts wird unabhängig ausgeführt. Folglich sind in der in Fig. 3 gezeigten Tabelle die Zustände der Steuersignale und der mit dem Betrieb der DRAM-Anordnung verbundenen DRAM-Adressensignale willkürlich.

Fig. 4 ist eine Tabelle, welche die Zustände der an den DRAM-Abschnitt gelegten Steuersignale und die dementsprechend realisierten Operationsmodi. In Fig. 4 ist der Betrieb des DRAM-Abschnitts gegenüber dem Betrieb des SRAM-Anordnungs-Abschnitts und der Dateneingabe-/ausgabe irrelevant. Insbesondere sind die Zustände der Steuersignale CC0 #, CC1 #, WE # und DQC bezüglich des SRAM-Abschnitts willkürlich, und daher sind die Zustände dieser Steuersignale nicht dargestellt.

## Der DRAM-Stromverkleinerungsmodus

Wenn das DRAM-Taktmaskensignal CMd# im vorhergehenden Zyklus auf einem Tiefpegel war, dann nimmt die DRAM-Anordnung einen DRAM-Stromverkleinerungsmodus DPD ein. In diesem Modus wird der im vorhergehenden Zyklus bestimmte Zustand beibehalten (da ein internes Taktsignal nicht übertragen wird). Das Chip-Auswahlsignal CS# wird dazu verwendet zu verhindern, daß der SRAM-Abschnitt und der DRAM-Abschnitt in einen neuen Betriebszustand (Modus) versetzt werden. Wenn das Chip-Auswahlsignal CS# in einem aktiven Zustand auf einen Hochpegel gesetzt ist, dann wird der DRAM eine beliebige neue Operation nicht ausführen. Bezuglich des Chip-Auswahlsignals CS# kann eine derartige Konfiguration verwendet werden, daß das Chip-Auswahlsignal CS# auf einem Hochpegel in einem inaktiven Zustand sowohl an die DRAM-Steuerschaltung 128 als auch an die SRAM-Steuerschaltung 132 nicht angelegt wird. In diesem Zustand behalten der DRAM-Abschnitt und der SRAM-Abschnitt die Zustände im vorhergehenden Zyklus bei. Eine derartige Konfiguration kann alternativ verwendet werden, so daß der SRAM-Abschnitt rückgesetzt wird und einen Ausgangs-Hochimpedanz-Zustand erreicht, wenn das Chip-Auswahlsignal CS# auf einem Hochpegel ist, während der DRAM-Abschnitt fortfährt, eine im vorhergehenden Zyklus bestimmte Operation auszuführen.

## Der DRAM-Nicht-Operations-Modus

Wenn das Chip-Auswahlsignal CS# auf einem Tiefpegel ist (die folgende Beschreibung des Betriebs erfolgt unter dieser Bedingung) und das Maskensignal CMd# im vorhergehenden Taktzyklus auf einem Hochpegel war (diese Bedingung trifft ebenfalls bei der folgenden Beschreibung zu), dann das Adressenstrobesignal RAS# und das Spaltenadressen-Strobesignal CAS# sind beide auf einem Hochpegel, dann wird ein DRAM-Nicht-Operations-Modus DNOP bestimmt. In diesem Modus behält die DRAM-Anordnung den vorhergehenden Zykluszustand bei und nimmt keinen neuen Operationsmodus ein. Der DRAM-Nicht-Operations-Modus DNOP wird dazu verwendet zu verhindern, daß der DRAM-Abschnitt einen neuen Operationsmodus einnimmt. Wenn im vorhergehenden Zyklus ein bestimmter Operationsmodus bestimmt wurde und der DRAM-Nicht-Operations-Modus DNOP festgelegt ist, dann wird fortgefahren, die im vorhergehenden Zyklus bestimmte Operation im Innern auszuführen.

## Der DRAM-Lese-Übertragungsmodus

Wenn das Zeilenadressen-Strobesignal RAS# und das Signal zur Anweisung einer Datenübertragung DTD# beide auf einen Hochpegel gesetzt sind und wenn das Spaltenadressen-Strobesignal CAS# auf einen Tiefpegel gesetzt ist, dann wird ein DRAM-Lese-Übertragungsmodus DRT bestimmt. Im DRAM-Lese-Übertragungsmodus DRT wird in der DRAM-Anordnung 102 ein Speicherzellblock (Speicherzellen mit 16 Bits) durch den Blockdecodierer 112 gewählt und werden die Daten im gewählten Spaltenblock (Speicherzellen mit 16 Bits) in die Lesedatenübertragungs-Pufferschaltung DTBR übertragen.

Wenn das Zeilenadressen-Strobesignal RAS# auf einen Tiefpegel gesetzt ist und das Spaltenadressen-Strobesignal CAS# und das Signal zur Anweisung einer Datenübertragung DTD# beide auf einen Hochpegel gesetzt sind, dann wird ein DRAM-Aktivierungsmodus ACT bestimmt. In diesem Modus werden die zur Zeit angelegten Adressensignale Ad0 bis Ad11 als DRAM-Zeilenadressensignale aufgenommen und wird eine Zeilenauswahloperation in der DRAM-Anordnung 102 auf Grundlage der Zeilenadressensignale ausgeführt. Wenn der DRAM-Aktivierungsmodus ACT bestimmt ist, dann wird der Zeilenauswahlzustand solange beibehalten, bis ein DRAM-Vorlademodus bestimmt wird, welcher nachstehend beschrieben wird. Eine wirksame Verwendung des DRAM-Aktivierungsmodus ACT erlaubt es, daß die Abtastverstärker des DRAMs einen Datenverriegelungszustand erreichen und daß eine einen Seiten-Modus verwendende Datenübertragung verwirklicht wird.

## Der DRAM-Vorlademodus

Wenn das Zeilenadressen-Strobesignal RAS# und das Signal zur Anweisung einer Datenübertragung DTD# beide auf einen Tiefpegel gesetzt sind und wenn das Spaltenadressen-Strobesignal CAS# auf einen Hochpegel gesetzt ist, dann wird ein DRAM-Vorlademodus PCG bestimmt. In diesem Modus geht eine gewählte Wortleitung in der DRAM-Anordnung in einen nicht gewählten Zustand über und kehrt der DRAM in den Anfangszustand (Bereitschaftszustand) zurück. Wenn eine andere Zeile in der DRAM-Anordnung ausgewählt ist, dann wird um eine Ausführung des DRAM-Vorlademodus PCG zwischen dem DRAM-Aktivierungsmodus ACT und dem darauffolgenden DRAM-Aktivierungsmodus ACT ersucht.

## Der Selbstauffrischmodus

Wenn die Adressen-Strobesignale RAS# und CAS# beide auf einen Tiefpegel gesetzt sind und das Signal zur Anweisung einer Datenübertragung DTD# auf einen Hochpegel gesetzt ist, dann nimmt der DRAM-Abschnitt einen Selbstauffrischmodus ARF ein. In diesem Modus erzeugt ein innerhalb des CDRAMs vorgesehener Adressenzähler (in Fig. 1 nicht dargestellt) eine Auffrischadresse, welche darauf basiert, welche Daten in den Speicherzellen aufgefrischt werden. Um den Selbstauffrischmodus zu beenden, muß der DRAM-Vorlademodus PCG ausgeführt werden.

## Der Operationsmodus zur Datenübertragung aus der Schreibdatenübertragungs-Pufferschaltung in die DRAM-Anordnung

Es gibt vier Arten von Modi zur Datenübertragung aus der Schreibdatenübertragungs-Pufferschaltung DTBW in die DRAM-Anordnung. Eine Operation zur Datenübertragung aus der Schreibdatenübertragungs-Pufferschaltung DTBW in die DRAM-Anordnung wird bestimmt, indem das Zeilenadressen-Strobesignal RAS# auf einen Hochpegel gesetzt wird und das Spaltenadressen-Strobesignal CAS# und das Signal zur Anweisung einer Datenübertragung DTD# jeweils auf einen Tiefpegel gesetzt werden. In diesem Zustand sind die Adressensignale Ad4 bis Ad9 gleichzeitig an den

Blockdecodierer 112 (siehe Fig. 1) gelegt und werden jene Daten übertragen, welche einem in der DRAM-Anordnung gewählten Spaltenblock (Speicherzellen mit 16 Bits) entsprechen. Welcher Modus der vier Datenübertragungsmodi auszuführen ist, wird in Reaktion auf diejenigen Adressensignale Ad0 bis Ad3 bestimmt, welche angelegt sind, wenn das Spaltenadressen-Strobesignal CAS# auf einem Tiefpegel ist, mit anderen Worten, wenn der Schreibdaten-Übertragungsmodus bestimmt ist. Die Adressensignale Ad4 bis Ad11 sind zur Zeit der Datenübertragung notwendig. Die übrigen weniger bedeutenden Adressensignale Ad0 bis Ad3 werden zur Speicherzellauswahl nicht verwendet, und daher werden diese nicht verwendeten Adressensignale als Befehle zum Bestimmen des Schreibübertragungsmodus verwendet.

#### Der DRAM-Schreibübertragungs-1-Modus

Der Modus DWT1 wird bestimmt, indem ein DRAM-Schreibdaten-Übertragungsbefehl (das Signal RAS# auf einen Hochpegel und das Signal CAS# und das Signal DTD# auf einen Tiefpegel setzen) gesetzt wird und die gleichzeitig angelegten Adressensignale Ad0 und Ad1 auf "0" gesetzt werden. Im Modus DWT1 werden Daten aus Zwischenregistern in den Schreibdaten-Übertragungspuffer DTBW geladen, und die geladenen Daten werden in die DRAM-Anordnung übertragen. In Synchronisation mit der Datenübertragung aus dem Zwischenregister Tm in der Schreibdatenübertragungspufferschaltung DTBW in den Datenübertragungspuffer DTBW werden die Maskendaten aus dem Zwischenregister Tm in das Maskenregister in der Übertragungsmasken-Schaltung übertragen und wird die Übertragung maskiert. In diesem Modus DWT1 erreichen die Maskendaten im Zwischenregister einen festgelegten Zustand (Zustand zum Maskieren der Datenübertragung, welcher dazu dient, die Maske rückzusetzen und nur notwendige Daten in die DRAM-Anordnung zu schreiben, wenn die Daten im Pufferschreibmodus geschrieben werden), nachdem die Datenübertragung beendet wurde.

#### Der DRAM-Schreibübertragungs-1-/Lesemodus

Der Modus DWT1R wird durch entsprechendes Setzen der gleichzeitig mit einem Schreibdaten-Übertragungsbefehl angelegten Adressensignale Ad0 und Ad1 auf "1" bzw. "0" bestimmt. Im Modus DWT1R werden die Daten in der Schreibdatenübertragungspufferschaltung DTBW in einen gewählten Spaltenblock (Speicherzellen mit 16 Bits) und die Daten in den Speicherzellen im gewählten Spaltenblock in die Lesedatenübertragungspufferschaltung DTBR übertragen. Somit kann während einer Schreiboperation bei Cache-Nichtverwendung das Datenlesen aus der Lesedatenübertragungspufferschaltung ausgeführt werden, wenn derselbe Spaltenblock darauffolgend bestimmt wird, und der Inhalt im SRAM 104, auf welchen nicht zugegriffen worden ist, kann umgeschrieben werden, indem die Daten aus der Lesedatenübertragungspufferschaltung DTBR in die SRAM-Anordnung 104 geschrieben werden, wodurch die Nachteile zur Zeit der Cache-Nichtverwendung verringert werden.

#### Der DRAM-Schreibübertragungs-2-/Lesemodus

Der Modus DWT2 wird durch entsprechendes Setzen

der Spaltenadressensignale Ad0 und Ad1 auf "0" bzw. "1" bestimmt. Im Operationsmodus DWT2 werden die Daten aus der Schreibdatenübertragungspufferschaltung DTBW in einen gewählten Spaltenblock in der DRAM-Anordnung übertragen. In diesem Fall werden in der Schreibdaten-Übertragungsschaltung DTBW die Daten nicht aus einem Zwischenregister in den Schreibdatenübertragungspuffer übertragen. Das trifft ferner auf das Maskenregister zu.

Bei der Schreibdatenübertragungspufferschaltung DTBW sind das Zwischenregister und der tatsächlich Daten in die DRAM-Anordnung übertragende Pufferregister-Abschnitt getrennt. Ein wiederholtes Ausführen des DRAM-Schreibübertragungs-2-Modus überträgt dieselben Daten in die DRAM-Anordnung. In der DRAM-Anordnung 102 kann der Inhalt in der DRAM-Anordnung mit denselben Daten mit einer hohen Geschwindigkeit umgeschrieben werden, wenn ein Spaltenblock in einem Seiten-Modus gewählt ist. Insbesondere kann ein sogenanntes "Füllen (Ausmalen) eines Gebietes" bei Graphikverarbeitungs-Anwendungen mit einer hohen Geschwindigkeit erreicht werden.

#### Der DRAM-Schreibübertragungs-2-/Lesemodus

Der Modus DWT2R wird durch Setzen der gleichzeitig mit dem Schreibübertragungsbefehl angelegten Adressensignale Ad0 und Ad1 auf "1" bestimmt. Im Übertragungsoperations-Modus DWT2R werden zusätzlich zur Operation im DRAM-Schreibübertragungs-2-Modus die Daten in einem in der DRAM-Anordnung gewählten Spaltenblock in die Lesedatenübertragungspufferschaltung DTBR übertragen. In diesem Operationsmodus DWT2R kann das "Füllen eines Gebiets" mit einer hohen Geschwindigkeit realisiert werden.

#### Die Steuerschaltung

Fig. 5 ist eine Darstellung, welche den Aufbau der DRAM-Steuerschaltung und der Maskenschaltung, welche in Fig. 1 gezeigt sind, schematisch darstellt. Der Aufbau wird nachstehend detailliert beschrieben. In Fig. 5 enthält eine K-Puffer-/Timing-Schaltung 124 einen K-Puffer 203, welcher ein externes Taktsignal K empfängt und ein internes Taktsignal Ki erzeugt, und einen CS-Puffer 201, welcher ein Chip-Auswahlsignal CS# aufnimmt und ein internes Chip-Auswahlsignal CS in Synchronisation mit dem internen Taktsignal Ki erzeugt.

Die K-Puffer-/Timing-Schaltung 124 kann so aufgebaut sein, daß sie asynchron zu dem aus dem K-Puffer 203 ausgegebenen internen Taktsignal Ki betrieben wird und das aus dem K-Puffer 203 ausgegebene interne Taktsignal Ki überträgt, wenn das Chip-Auswahlsignal CS# auf einem aktiven Pegel (Tiefpegel) ist.

Die Maskenschaltung 126 umfaßt ein Schieberegister 202 zum Verzögern des DRAM-Taktmaskensignals CMd um einen Taktzyklus des internen Taktsignals Ki aus dem K-Puffer 203 und eine Gateschaltung 204 zum Durchlassen des Taktsignals Ki auf Grundlage eines verzögerten Taktmaskensignals CMdR. Für die Gateschaltung 204 ist ein aus einem n-Kanal-MOS-Transistor (Isoliergatetyp-Feldeffekttransistor) gebildeter Aufbau zur Veranschaulichung dargestellt. Wenn das Taktmaskensignal CMd in einen inaktiven Zustand niedrigen Pegels versetzt ist, dann wird in einem Taktzyklus die Übertragung des internen Taktsignals Ki im darauffolgenden Taktzyklus verhindert und daher die

60  
65  
60  
65

Erzeugung eines DRAM-Taktsignals DK gestoppt.

Die DRAM-Steuerschaltung 128 wird in Synchronisation mit dem aus der Gateschaltung 204 übertragenen Taktsignal DK betrieben. Die DRAM-Steuerschaltung 128 enthält einen RAS-Puffer 206, welcher ein internes Zeilenadressen-Strobesignal RAS aus einem Zeilenadressen-Strobesignal RAS # erzeugt, einen CAS-Puffer 208, welcher ein internes Spaltenadressen-Strobesignal CAS aus einem Spaltenadressen-Strobesignal CAS # erzeugt, einen DTD-Puffer 210, welcher ein internes Übertragungs-Anweisungssignal DTD aus einem Signal zur Anweisung einer Datenübertragung DTD # erzeugt, und eine Schaltung zur Erzeugung eines DRAM-Steuersignals 212, welche einen Operationsmodus bestimmt, der durch eine Kombination von Zuständen der Signale RAS, CAS und DTD aus den Puffern 206, 208 bei der zunehmenden Flanke des DRAM-Taktsignals DK bestimmt wird, und ein auf dem Ergebnis der Bestimmung basierendes Steuersignal erzeugt. Die Schaltung zur Erzeugung eines DRAM-Steuersignals 212 wird in Reaktion auf das Chip-Auswahlsignal CS # aus dem CS-Puffer 201 aktiviert. Wenn das Chip-Auswahlsignal CS # in einem inaktiven Zustand hohen Pegels ist, dann bestimmt die Schaltung zur Erzeugung eines DRAM-Steuersignals 212 keinen Operationsmodus und erreicht einen Zustand, welcher derselbe wie im Nicht-Operationsmodus ist.

Die Puffer 206, 208 und 210 nehmen ein bei einer zunehmenden Flanke des Taktsignals DK angelegtes Signal auf und verriegeln es und erzeugen interne Steuersignale.

Die Schaltung zur Erzeugung eines DRAM-Steuersignals 212 überwacht ferner eine Latenzperiode, die zur Zeit der Datenübertragung gemäß dem DRAM-Taktsignal DK notwendig ist. Die Schaltung zur Erzeugung eines DRAM-Steuersignals 212 erzeugt verschiedene Steuersignale, die zum Treiben des DRAM-Anordnungsabschnitts und zur Datenübertragung zwischen der Datenübertragungs-Schaltung (Lesedatenübertragungs-Pufferschaltung und Schreibdatenübertragungs-Pufferschaltung) und der DRAM-Anordnung notwendig sind. Als Beispiele derartiger Signale sind ein Übertragungs-Steuersignal ADT zum Steuern der Operation der Übertragungs-Schaltungseinrichtung, ein RAS-Schaltungs-Steuersignal ΦRA, welches die Operation einer Schaltungseinrichtung bezüglich des Signals RAS, wie beispielsweise eine Zeilenauswahl-Operation in der DRAM-Anordnung, steuert, und ein Steuersignal ΦCA zum Steuern der Operation des Schaltungsabschnitts bezüglich der Operation der CAS-Schaltungseinrichtung (Spaltenauswahl) gezeigt.

Der Adressenpuffer 108 enthält einen Zeilenpuffer 214, welcher das externe DRAM-Adressensignal Ad (Ad0 bis Ad11) in Reaktion auf das DRAM-Taktsignal DK und das RAS-Schaltungs-Steuersignal ΦRA verriegelt und ein DRAM-Zeilenaressensignal Adr erzeugt, und einen Spaltenpuffer 216, welcher das DRAM-Adressensignal Ad verriegelt und ein DRAM-Spaltenadressensignal Adc in Reaktion auf das DRAM-Taktsignal DK und das CAS-Schaltungs-Steuersignal ΦCA erzeugt. Das Zeilenadressensignal Adr ist an den in Fig. 1 gezeigten Zeilendecodierer 110 gelegt, und die höherwertigen Bits (Ad4 bis Ad9) des Spaltenadressensignals Adc aus dem Spaltenpuffer 216 sind an den in Fig. 1 dargestellten Spaltenblockdecodierer 112 gelegt.

Fig. 6 ist eine Darstellung, welche den Aufbau eines SRAM-Steuerschaltungsabschnittes zeigt. Fig. 6 zeigt nur den Abschnitt des Hauptverstärkers 438 aus der

Eingangs-/Ausgangsschaltung 135. Der Aufbau des DIN-Puffers und der Maskenschaltung 436 ist nicht gezeigt.

Die Maskenschaltung 130 umfaßt ein Schieberegister 152, welches in Synchronisation mit dem internen Taktsignal Ki aus der K-Puffer-/Timing-Schaltung 124 betrieben wird, ein Schieberegister 152, welches das SRAM-Taktmaskensignal CMs um die Periode von 1 Taktzyklus verzögert, und eine Gateschaltung 164, welche das interne Taktsignal Ki auf Grundlage des Ausgangs CMsR des Schieberegisters 152 durchläßt. Die Gateschaltung 164 wird beispielsweise von einem Transfergate aus einem n-Kanal-MOS-Transistor gebildet. Wenn das Taktmaskensignal CMs auf einem Tiefpegel ist, dann verhindert die Gateschaltung 164 die Übertragung des internen Taktsignals Ki. Die Gateschaltung 164 kann unter Verwendung eines Logikgatters gebildet sein. Ein SRAM-Taktsignal SK wird von der Maskenschaltung 130 erzeugt.

Die SRAM-Steuerschaltung 132 enthält einen WE-Puffer 156, welcher das Schreib-Entsperrsignal WE # in Reaktion auf das SRAM-Taktsignal SK verriegelt, und Puffer 158 und 160, welche die Steuersignale CC0 # und CC1 # in Reaktion auf das SRAM-Taktsignal SK verriegeln. Diese Puffer 156, 158 und 160 verriegeln die externen Taktsignale, welche in Synchronisation mit einer zunehmenden Flanke des internen Taktsignals SK an dieselben gelegt sind.

Die SRAM-Steuerschaltung 132 umfaßt ferner eine Schaltung zur Erzeugung eines Steuersignals 166, welche in Reaktion auf das Chip-Auswahlsignal CS aus dem CS-Puffer 201 aktiviert ist, wobei sie die aus den Puffern 156, 158 und 160 angelegten Steuersignale WE, CC0 und CC1 mit einem durch das SRAM-Maskentaktsignal SK festgelegten Timing empfängt, einen durch eine Kombination von deren Zuständen bestimmten Operationsmodus bestimmt und ein notwendiges Steuersignal auf Grundlage des Ergebnisses der Bestimmung erzeugt.

Die Schaltung zur Erzeugung eines Steuersignals 166 erzeugt ein Datenübertragungs-Steuersignal zum Treiben der Datenübertragungsschaltung und ein Steuersignal zum Treiben des SRAMs, welches die SRAM-Anordnung 104 treibt. Während der Datenübertragung zwischen der SRAM-Anordnung und der Datenübertragungsschaltung wird die Periode der Übertragung mittels des SRAM-Taktsignals SK festgelegt, um die Daten sicher zu übertragen.

Ein G-Puffer 162, der das Ausgabe-Entsperrsignal G # empfängt, wird ferner asynchron zum Taktsignal SK betrieben. Ein asynchron zum Taktsignal CK betriebener DQC-Puffer 163, der das DQ-Steuersignal DQC empfängt, ist ebenfalls dargestellt.

Die SRAM-Steuerschaltung 132 enthält ferner eine Gatterschaltung 176, welche ein Ausgabezulassungssignal E aus der Schaltung zur Erzeugung eines Steuersignals 166, das Ausgabe-Entsperrsignal G aus dem G-Puffer 162 und das Ausgangssignal DQC aus dem DQC-Puffer 163 empfängt, und eine Gatterschaltung 178, welche den Ausgang der Gatterschaltung 176 und das Taktmaskensignal CMsR empfängt. Die Gatterschaltung 178 gibt ein Signal mit einem Hochpegel aus, wenn das Ausgabezulassungssignal E und das Ausgabe-Entsperrsignal G beide auf einem Tiefpegel sind und wenn das DQ-Steuersignal DQC auf einem Hochpegel ist. Die Gatterschaltung 178 gibt ein Signal mit einem Hochpegel aus, wenn das Maskensignal CMsR auf einem Tiefpegel und der Ausgang der Gatterschaltung 176 auf einem Hochpegel ist.

Die Hauptverstärker-Schaltung 438 umfaßt einen In-

verter 172, welcher ein Signal aus dem internen Datenbus 123a (ein zum Lesen vorgesehener Datenbus ist dargestellt, wobei der Bus auch als Schreibdatenbus verwendet werden kann) invertiert, einen Dreipol-Inverterpuffer 170, welcher den Ausgang der Inverterschaltung 172 invertiert, einen p-Kanal-MOS-Transistor 173, der in Reaktion auf das Maskensignal CMsR leitet, und eine Inverterschaltung 174, welche den Ausgang des Transistors 173 zur Übertragung an den Ausgang des Inverters 172 (den Eingang des Inverters 170) invertiert. Wenn der Dreipol-Inverterpuffer 170 im Entsperrzustand ist, dann bilden der Inverterpuffer 170 und die Inverterschaltung 174 eine Verriegelungsschaltung, falls der Transistor 173 in einem Leitungszustand ist. Die Operation wird kurz beschrieben werden.

Das um einen Taktzyklus verzögerte Taktmaskensignal MsR wird aus dem Schieberegister 152 ausgegeben. Die Gateschaltung 164 läßt das interne Taktsignal Ki auf Grundlage dieses um einen Taktzyklus verzögerten Taktmaskensignals CMsR durch. Wenn daher das SRAM-Taktmaskensignal CMs# extern erzeugt wird, dann wird eine Übertragung des SRAM-Taktsignals SK in die SRAM-Steuerschaltung 132 im darauffolgenden Taktzyklus verhindert. Das Operations-Timing der Schaltung zur Erzeugung eines Steuersignals 166 wird durch das SRAM-Taktsignal SK festgelegt, und dieselbe erzeugt ein notwendiges internes Steuersignal. Die Puffer 156, 158 und 160 verriegeln die angelegten Daten auf Grundlage des Taktsignals SK. Wenn das SRAM-Taktsignal SK nicht angelegt wird, fahren die Puffer 156, 158 und 160 fort, die Signale zu verriegeln, welche zuvor verriegelt worden sind.

Wenn das Chip-Auswahlsignal CS aus dem CS-Puffer 201 einen Nicht-Auswahlzustand auf einem Hochpegel anzeigt, dann wird die Schaltung zur Erzeugung eines Steuersignals 166 rückgesetzt und nicht betrieben. In Reaktion darauf wird in diesem Fall das Ausgabezulassungssignal E aus der Schaltung zur Erzeugung eines Steuersignals 166 in einen inaktiven Zustand hohen Pegels versetzt. Dieses Ausgabezulassungssignal E wird ferner auf Grundlage einer Kombination von Zuständen der Steuersignale WE, CC0 und CC1 aus den Puffern 156, 158 und 160 erzeugt (wenn die Datenlese-Operation angezeigt wird; wenn der Pufferlesemodus BR, der SRAM-Lesemodus SR oder dergleichen bestimmt ist).

Das SRAM-Taktsignal SK wird durch das Taktmaskensignal CMsR in einem Taktzyklus maskiert, welcher demjenigen Zyklus folgt, bei dem das Maskentaktsignal CMs# erzeugt wird. Wenn folglich das SRAM-Taktmaskensignal CMs# extern angelegt ist, dann werden das interne Chip-Auswahlsignal CS und das SRAM-Taktsignal SK in diesem Zyklus erzeugt, und daher wird eine Operation gemäß dem zu dieser Zeit angelegten Steuersignal durchgeführt. Im darauffolgenden Zyklus wird kein internes Taktsignal erzeugt, und die Schaltung zur Erzeugung eines Steuersignals 166 behält den vorhergehenden Zykluszustand bei.

Wenn das Taktmaskensignal CMsR auf einem Tiefpegel ist, dann erreicht der Ausgang der Gatterschaltung 178 einen Hochpegel, wobei der Dreipol-Inverterpuffer 170 einen Operationszustand erreicht und das Verbindungsgate 173 (der p-Kanal-MOS-Transistor) leitet. So mit bilden der Inverterpuffer 170 und die Inverterschaltung 174 eine Verriegelungsschaltung. Während der Ausgang G des G-Puffers 162 in einem aktiven Zustand (auf einem Tiefpegel) ist, halten die Ausgabedaten DQ durch die Funktion der Inverterschaltungen 170 und 174 denselben Datenzustand. Wenn das Chip-Auswahlsignal CS # auf einem Hochpegel ist, dann wird die Schaltung zur Erzeugung eines Steuersignals 166 rückgesetzt, wobei das Ausgabezulassungssignal E einen inaktiven Zustand hohen Pegels und der Ausgang der Gatterschaltung 176 einen Tiefpegel erreicht. Wenn das Taktmaskensignal CMsR einen Hochpegel erreicht, dann wird der Ausgang der Gatterschaltung 178 durch den Ausgang der Gatterschaltung 176 bestimmt.

Wenn das Ausgabe-Entsperrsignal G aus dem G-Puffer 162 auf einem Hochpegel ist, dann erreicht der Ausgang der Gatterschaltung 176 einen Tiefpegel. Selbst wenn das Ausgabezulassungssignal E erzeugt wird, erreicht daher der Dreipol-Inverterpuffer 170 einen Ausgangs-Hochimpedanzzustand. Selbst wenn das Ausgabezulassungssignal E und das Ausgabe-Entsperrsignal G beide auf einem Tiefpegel sind, wodurch ein Datenlesen angewiesen wird, wobei das Signal DQC aus dem DQC-Puffer 163 auf einem Tiefpegel ist, erreicht ferner der Ausgang der Gatterschaltung 176 einen Tiefpegel und der Dreipol-Inverterpuffer 170 einen Ausgangs-Hochimpedanzzustand. Wie vorstehend beschrieben, kann der Impedanzzustand des Ausgangs mit dem Taktmaskensignal CMsR und dem Chip-Auswahlsignal CS # und dem Ausgabe-Entsperrsignal G und dem DQ-Steuersignal DQC gesetzt werden.

#### Der Eingangspuffer

Ein die externen Signale aufnehmender Eingangspuffer wird in Synchronisation mit den Taktsignalen betrieben. Als Eingangspuffer kann ein Dreipol-Inverterpuffer verwendet werden, welcher einen Ausgangs-Hochimpedanz-Zustand erreicht, wenn ein Taktsignal auf einem inaktiven Pegel (Tiefpegel) ist. In einem derartigen Ausgangs-Hochimpedanzzustand ist jedoch der Ausgang instabil, und es können sich fehlerhafte Operationen ergeben. Somit kann eine dynamische Verriegelungseinrichtung für den Eingangspuffer in Form einer Schaltung verwendet werden, welche in Synchronisation mit einem Taktsignal betrieben wird und deren Ausgang nicht instabil ist.

Fig. 7 ist ein Schaltbild, welches den Aufbau eines Eingangspuffers zeigt, welcher eine dynamische Verriegelungseinrichtung enthält. In Fig. 7 umfaßt die dynamische Verriegelungseinrichtung einen n-Kanal-MOS-Transistor 501, welcher ein externes Signal IN an seinem Gate empfängt, einen n-Kanal-MOS-Transistor 502, welcher eine Referenzspannung Vref an seinem Gate empfängt, und einen n-Kanal-MOS-Transistor 503, welcher eine Taktsignal Ki an seinem Gate empfängt und einen Strompfad für die Transistoren 501 und 502 vorsieht. Ein Leitungsanschluß (Source) jedes der Transistoren 501 und 502 ist mit dem anderen Leitungsanschluß (Drain) des Transistors 503 verbunden. Ein Leitungsanschluß (Source) des Transistors 503 ist so geschaltet, daß er Massepotential empfängt.

Die dynamische Verriegelungseinrichtung 500 umfaßt ferner einen p-Kanal-MOS-Transistor 504, welcher das Taktsignal Ki (welches DK oder SK entspricht) an einem Gate empfängt, einen p-Kanal-MOS-Transistor 505, welcher parallel zum Transistor 504 geschaltet ist, einen p-Kanal-MOS-Transistor 506, welcher das Taktsignal Ki an seinem Gate empfängt, einen p-Kanal-MOS-Transistor 507, welcher parallel zum Transistor 506 geschaltet ist, einen n-Kanal-MOS-Transistor 511, welcher zwischen den Transistoren 504 und 505 und dem Transistor 502 vorgesehen ist, und einen n-Kanal-MOS-Transistor 510, welcher zwischen den Transistoren 506 und

507 und dem Transistor 501 vorgesehen ist.

Die Transistoren 504 und 505 sind zwischen einem Stromversorgungspotential-Versorgungsknoten und einem internen Knoten 513 vorgesehen, und die Transistoren 506 und 507 sind zwischen einem Betriebsstromversorgungspotential-Versorgungsknoten und einem internen Knoten 512 vorgesehen. Die Gates der Transistoren 505 und 511 sind mit dem internen Knoten 512 verbunden, und die Gates der Transistoren 507 und 510 sind mit dem internen Knoten 513 verbunden.

Die dynamische Verriegelungseinrichtung 500 umfaßt ferner eine Inverterschaltung 508, welche als Ausgang ein Signal am Knoten 513 invertiert, und eine Inverterschaltung 509, welche als Ausgang ein Signalpotential am internen Knoten 512 invertiert. Ein Ausgang OUT wird aus der Inverterschaltung 509 ausgegeben, und ein invertiertes Ausgangssignal /OUT wird aus der Inverterschaltung 508 ausgegeben. Der Betrieb der Verriegelungseinrichtung 500 wird in Verbindung mit Fig. 8 kurz beschrieben werden.

Wenn das interne Taktsignal Ki auf einem Tiefpegel ist, dann sind die beiden Transistoren 506 und 504 eingeschaltet, wobei die internen Knoten 512 und 513 auf den Pegel des Betriebsstromversorgungspotentials aufgeladen werden und die beiden Ausgänge OUT und /OUT einen Tiefpegelzustand erreichen. Der Transistor 503 ist zu der Zeit in einem Ausschaltzustand.

Wenn das interne Taktsignal Ki auf einen Hochpegel zunimmt, dann werden die beiden Transistoren 504 und 506 ausgeschaltet und wird der Transistor 503 eingeschaltet. Wenn das Eingangssignal (das extern angelegte Signal) IN auf einem im Vergleich zur Referenzspannung Vref höheren Pegel ist, dann wird die Leitfähigkeit des Transistors 501 größer als die Leitfähigkeit des Transistors 502, und es fließt ein Strom durch die Transistoren 506, 510, 501 und 503. Der Transistor 501 wird in einem Sourcefolgezustand betrieben. Wenn folglich der Transistor 501 leitet, dann erreicht ein anderer Leitungsanschluß des Transistors 503 einen Potentialpegel, der durch Subtrahieren der Schwellenspannung des Transistors 501 von dem Pegel des Eingangssignals IN erzeugt wird, wobei der Transistor 501 im wesentlichen einen Ausschaltzustand erreicht und ein kleiner Strom durch den Transistor 502 fließt. Der interne Knoten 512 wird durch das Leiten des Transistors 501 entladen, und dessen Potentialpegel wird verkleinert. Der Transistor 505 wird eingeschaltet, und das Potential des internen Knotens 513 nimmt zu. Gemäß der Potentialzunahme des internen Knotens 513 geht der Transistor 507 in einen Ausschaltzustand über, und das Potential des internen Knotens 512 wird mit hoher Geschwindigkeit verkleinert. Gemäß der Potentialabnahme des internen Knotens 512 wird der Transistor 511 ausgeschaltet, und das Potential des internen Knotens 513 nimmt weiter zu. Gemäß der Folge dieser Operationen erreicht der Potentialpegel des internen Knotens 513 einen Hochpegel, der Potentialpegel des internen Knotens 512 erreicht einen Tiefpegel, und der Ausgang OUT der Inverterschaltung 510 erreicht einen Hochpegel.

Wenn das interne Taktsignal Ki auf einen Tiefpegel abnimmt, dann werden die Transistoren 504 und 506 eingeschaltet, wobei die Knoten 512 und 513 noch einmal auf den Stromversorgungspotentialpegel aufgeladen werden und der Ausgang OUT auf einen Tiefpegel abnimmt (da der Transistor 503 ausgeschaltet und der Strompfad unterbrochen wird). Wenn sich das interne Taktsignal Ki auf einen Hochpegel ändert und das interne Signal IN auf einem Tiefpegel ist, dann erreicht im

Gegensatz zur vorstehenden Beschreibung das Ausgangssignal OUT einen Tiefpegel und der komplementäre Ausgang /OUT einen Hochpegel.

Wenn das interne Taktsignal Ki in einem aktiven Zustand hohen Pegels ist, dann kann mit einer derartigen dynamischen Verriegelungseinrichtung 500 ein dem Pegel des Eingangssignals IN entsprechendes Signal ausgegeben werden, und wenn das Taktsignal Ki auf einem Tiefpegel ist, dann können die Ausgangssignale OUT und /OUT beide auf einen Tiefpegel gesetzt werden. Somit wird ein Ausgangs-Hochimpedanzzustand vermieden, und fehlerhafte Operationen durch Rauschen oder dergleichen werden kaum vorkommen.

Wenn jedoch die dynamische Verriegelungseinrichtung wie vorstehend beschrieben verwendet wird, d. h. das interne Steuersignal nur nach dem Taktsignal Ki bestimmt wird, dann erreicht der Zustand des Ausgangssignals OUT einen aktiven Zustand hohen Pegels. Das Taktsignal Ki erreicht einen Hochpegel, welcher das interne Steuersignal bestimmt, dann wird der Zustand des internen Steuersignals bestimmt und werden interne Operationen auf Grundlage des Ergebnisses der Bestimmung ausgeführt. Verzögerungen bei den Operationsstart-Timings und deren Wirkungen auf die Zugriffszeit können im Falle eines Hochgeschwindigkeits-Taktsignals nicht ignoriert werden. Ferner wird mit dem Chip-Auswahlsignal CS # bestimmt, ob der CDRAM zu wählen ist oder nicht, und ein Bestimmungs-Timing für das Chip-Auswahlsignal CS # wird vorzugsweise so weit wie möglich vorgeschoben.

#### Der Aufbau eines vorzugsweisen Eingangspuffers

Fig. 9 ist ein Schaltbild, welches den vorzugsweisen Aufbau eines Eingangspuffers zeigt. In Fig. 9 erreicht ein Eingangspuffer 700 einen Nicht-Leitungszustand und einen Ausgangsverriegelungszustand (nachstehend als "Verriegelungszustand" bezeichnet), wenn ein internes Taktsignal Ka aus dem Taktpuffer 203 in einem aktiven Zustand (auf einem Hochpegel) ist, und er leitet, so daß ein Zustand erreicht wird, in welchem ein externes Signal durch denselben hindurchläuft (nachstehend als "Durchgangszustand" bezeichnet), wenn das Taktsignal Ka auf einem inaktiven Pegel (Tiefpegel) ist.

Der Taktpuffer 203 enthält Inverterschaltungen 203a und 203b in Kaskadenschaltung. Das interne Taktsignal Ka aus dem Taktpuffer 203 und das komplementäre Taktsignal /Ka, das durch Invertieren des internen Taktsignals Ka in einer Inverterschaltung 203c erzeugt wird, werden als Taktsignale zum Treiben des Eingangspuffers verwendet.

Der Eingangspuffer 700 umfaßt eine Inverterschaltung 701, welche ein externes Signal  $\Phi_c$  empfängt, eine Inverterschaltung 702, welche den Ausgang der Inverterschaltung 701 empfängt, ein Transfergate 703, welches den Ausgang der Inverterschaltung 702 in Reaktion auf die Taktsignale Ka und /Ka selektiv durchläßt, und Inverterschaltungen 704 und 705 zum Verriegeln des Ausgangs des Transfergates 703.

Das Transfergate 703 erreicht einen Leitungszustand, wenn das Taktsignal Ka auf einem Tiefpegel ist und einen Nicht-Leitungszustand, wenn das Taktsignal Ka auf einem Hochpegel ist.

Die Inverterschaltung 704 erzeugt ein internes Signal  $\Phi_{ca}$  durch Invertieren des Ausgangs des Transfergates 703. Die Inverterschaltung 705 invertiert den Ausgang des Inverters 704 zur Übertragung in den Eingangsabschnitt der Inverterschaltung 704. Der Betrieb des in

Fig. 9 gezeigten Eingangspuffers wird in Verbindung mit Fig. 10 beschrieben werden, welche eine Wellenform-Darstellung für dessen Betrieb ist.

Zu einer Zeit  $t_1$  erreicht das externe Signal  $\Phi_c$  einen aktiven Zustand niedrigen Pegels. Zu der Zeit ist das Taktsignal K (d. h. das interne Taktsignal  $K_a$ ) auf einem Tiefpegel, wobei das Transfergate 703 in einem Leitungszustand und der Eingangspuffer 700 in einem Durchgangszustand ist. Daher nimmt in Reaktion auf ein Abnehmen des externen Taktsignals  $\Phi_c$  auf einen Tiefpegel das interne Signal  $\Phi_{ca}$  auf einen Hochpegel zu.

Zu einer Zeit  $t_2$  erreicht das Transfergate 703 in Reaktion auf ein Zunehmen des Taktsignals K einen Nicht-Leitungszustand, und der Eingangspuffer 700 erreicht einen Verriegelungszustand. Im Verriegelungszustand ändert sich der Zustand des internen Signals  $\Phi_{ca}$  nicht, selbst wenn das externe Taktsignal  $\Phi_c$  auf einen Hochpegel zunimmt. Zu einer Zeit  $t_3$  erreicht der Eingangspuffer 700 in Reaktion auf ein Abnehmen des Taktsignals K auf einen Tiefpegel einen Durchgangszustand, und das interne Signal  $\Phi_{ca}$  ändert sich auf Grundlage des Zustandes des externen Signals  $\Phi_c$  (nimmt auf einen Tiefpegel ab).

Wie in Fig. 10 dargestellt, wird das interne Signal  $\Phi_c$  während einer Einstellzeit  $T_s$  für das externe Signal  $\Phi_c$  erzeugt (aktiviert). Daher kann während dieser Einstellzeit  $T_s$  die interne Schaltung betrieben werden, und das Ausführungsstart-Timing für den auf dem externen Signal  $\Phi_c$  basierenden Betrieb kann vorgeschoben werden.

Fig. 11 ist ein Schaltbild, welches speziell einen Teil des Aufbaus des in Fig. 6 dargestellten SRAM-Steuerschaltungsabschnitts zeigt. Bei dem in Fig. 6 gezeigten Aufbau verriegelt der CS-Puffer 201 in Reaktion auf das interne Taktsignal  $K_i$  aus dem Taktpuffer 203 das externe Chip-Auswahlsignal CS#. Der in Fig. 9 dargestellte Aufbau kann für einen derartigen CS-Puffer 201 verwendet werden.

Bei dem in Fig. 11 gezeigten Aufbau sind die CS-Puffer, die WE-Puffer, die CC0-Puffer und die CC1-Puffer alle identisch ausgebildet. Eine Bestimmung der Auswahl/Nicht-Auswahl eines Chips (CDRAMs) mit dem Chip-Auswahlsignal CS# wird in der Steuerschaltung 166 in Fig. 11 ausgeführt. Wie es beschrieben werden wird, kann das Signal CS# zum Steuern der Annahme eines externen Steuersignals verwendet werden.

In Fig. 11 sind alle externen Steuersignale durch ext $\Phi_c$  dargestellt.

In Fig. 11 umfaßt ein Eingangspuffer für ein externes Steuersignal 520 zwei Stufen von Inverterschaltungen 552 und 524 in Kaskadenschaltung. Das zum Taktsignal KA asynchrone interne Taktsignal  $\Phi_c$  wird vom Eingangspuffer 520 erzeugt.

Die Schaltung zur Erzeugung eines Steuersignals 166 umfaßt eine Bestimmungsschaltung 530 zum Bestimmen eines vorgesehenen Operationsmodus auf Grundlage der Zustände der internen Steuersignale und zum Erzeugen eines dem bestimmten Operationsmodus entsprechenden Steuersignals und eine Verriegelungsschaltung 540 zum Verriegeln des Ausgangs der Bestimmungsschaltung 530 in Reaktion auf das interne Taktsignal  $K_a$  und  $/K_a$  und eine Schaltung zur Erzeugung eines Signals zur Bestimmung eines Operationsmodus 550 zum Erzeugen eines Operationsmodus-Bestimmungssignals  $\Phi_m$  in Reaktion auf den Ausgang der Verriegelungsschaltung 540 und das interne Taktsignal  $K_a$ .

Die Bestimmungsschaltung 530 umfaßt eine NAND-

Decodierschaltung 532 zum Decodieren eines aus dem Steuersignal-Eingangspuffer 520 angelegten internen Steuersignals und eine Inverterschaltung 534 zum Invertieren des Ausgangs der NAND-Decodierschaltung 532. Die Decodierschaltung 532 empfängt insbesondere das Chip-Auswahlsignal CS, das Schreib-Entsperrsignal WE und die Steuersignale CC0 und CC1 und führt eine Decodieroperation aus. Wenn ein vorgeschriebener Operationsmodus bestimmt ist, dann erreicht der Ausgang der NAND-Decodierschaltung 532 einen Hochpegel.

Die Verriegelungsschaltung 540 umfaßt ein Transfergate 542, welches in Reaktion auf das Taktsignal  $K_a$  selektiv eingeschaltet/ausgeschaltet wird, und Inverterschaltungen 544 und 546 zum Verriegeln des Ausgangs des Transfergates 542. Der Ausgang der Inverterschaltung 544 wird zum Eingang der Inverterschaltung 544 durch die Inverterschaltung 546 übertragen. Das Transfergate 542 erreicht einen Leitungszustand, wenn das interne Taktsignal  $K_a$  auf einem Tiefpegel ist und erreicht einen Nicht-Leitungszustand, wenn das Taktsignal  $K_a$  auf einem Hochpegel ist. Die Verriegelungsschaltung 540 erreicht einen Durchgangszustand, wenn das externe Taktsignal  $K_a$  in einem inaktiven Zustand niedrigen Pegels ist, und erreicht einen Verriegelungszustand, wenn das Taktsignal  $K_a$  in einem aktiven Zustand hohen Pegels ist.

Die Schaltung zur Erzeugung eines Signals zur Bestimmung eines Operationsmodus 550 umfaßt eine NAND-Schaltung mit 2 Eingängen 522, welche den Ausgang der Verriegelungsschaltung 540 und das interne Taktsignal  $K_a$  empfängt, und eine Inverterschaltung 554 zum Invertieren des Ausgangs der NAND-Schaltung 552. Die NAND-Schaltung gibt ein Hochpegel-Signal aus, wenn das interne Taktsignal  $K_a$  auf einem Tiefpegel ist, und funktioniert wie ein Inverter, wenn das interne Taktsignal  $K_a$  einen Hochpegel erreicht. Es wird beispielhaft dargestellt, wie ein Operationsmodus zum Wählen einer SRAM-Wortleitung durch das von der Schaltung zur Erzeugung eines Signals zur Bestimmung eines Operationsmodus 550 erzeugte Operationsmodus-Bestimmungssignal  $\Phi_m$  bestimmt wird. Ein SRAM-Zugriffsmodus, welcher einen in Fig. 3 dargestellten Pufferlesemodus BR und Pufferschreibmodus BW aus schließt, ist ein Operationsmodus, bei welchem eine SRAM-Wortleitung ausgewählt wird. Da ein Zugreifen auf ein in der Übertragungsschaltung enthaltenes Transfergate erfolgt, wird im Pufferlesemodus BR und Pufferschreibmodus BW der Spaltendecodierer des SRAMs (vergleiche den Spaltendecodierer 120 in Fig. 1) betrieben, aber der SRAM-Zeilendecodierer wird nicht betrieben. Das von der Schaltung zur Erzeugung eines Signals zur Bestimmung eines Operationsmodus 550 erzeugte Operationsmodus-Bestimmungssignal  $\Phi_m$  erreicht einen inaktiven Zustand in Reaktion auf das sich in einem inaktiven Zustand befindende interne Taktsignal  $K_a$ , da der SRAM-Zugriffsszyklus in einem Taktzyklus abgeschlossen wird. Ein Anlegen des internen Taktsignals  $K_a$  an die Schaltung zur Erzeugung eines Signals zur Bestimmung eines Operationsmodus 550 bestimmt ein Erzeugungs-Timing (Aktivierungs-Timing) für das Operationsmodus-Bestimmungssignal  $\Phi_m$  gemäß einem Aktivierungs-Timing für das interne Taktsignal  $K_a$ .

Das Operationsmodus-Bestimmungssignal (SRAM-Wortleitungs-Auswahlsignal in der in Fig. 11 dargestellten Ausführungsform)  $\Phi_m$  wird an den SRAM-Zeilendecodierer 118 gelegt.

Ein Adressenpuffer 116 umfaßt eine Pufferschaltung

610, welche das externe Adressensignal extra empfängt, und eine Verriegelungsschaltung 620 zum selektiven Durchlassen des Ausgangs der Pufferschaltung 610 in Reaktion auf die Taktsignale  $\Phi_a$  und  $\bar{\Phi}_a$ . Die Pufferschaltung 610 enthält zwei Stufen von Inverterschaltungen 612 und 614 in Kaskadenschaltung. Die Verriegelungsschaltung 620 umfaßt ein Transfergate 622, welches eingeschaltet ist, wenn das Taktsignal  $\Phi_a$  auf einem Tiefpegel ist, und welches ausgeschaltet ist, wenn das Taktsignal  $\Phi_a$  auf einem Hochpegel ist, und Inverterschaltungen 624 und 626 zum Verriegeln des Ausgangs des Transfergates 622. Der Ausgang der Inverterschaltung 624 ist an den Zeilendecodierer 118 gelegt und wird durch den Inverter 626 zum Eingangsabschnitt der Inverterschaltung 624 übertragen. Es wird darauf hingewiesen, daß Fig. 11 ferner den Aufbau eines Adressenpuffers für eine 1-Bit-Adresse  $\Phi_a$  zeigt.

Der Zeilendecodierer 118 umfaßt eine Vordecodierschaltung 630 zum Vordecodieren eines Ausgangs aus dem Adressenpuffer 116 und eine Zeilendecodierschaltung 640, welche in Reaktion auf das Operationsmodus-Bestimmungssignal  $\Phi_m$  so aktiviert ist, daß sie den Ausgang der Vordecodierschaltung 630 decodiert und ein Wortleitungs-Treibsignal  $\Phi_{WL}$  erzeugt, welches eine entsprechende Wortleitung in einen Auswahlzustand bringt. Das Wortleitungs-Treibsignal  $\Phi_{WL}$  kann ein direkt auf einer gewählten Wortleitung übertragenes Signal sein oder ein Signal, das eine entsprechend jeder Wortleitung vorgesehene Wortleitungs-Treiberschaltung dazu bringt, einen Operationszustand zu erreichen, so daß eine gewählte Wortleitung mittels der Wortleitungs-Treiberschaltung einen Auswahlzustand erreicht.

Die Vordecodierschaltung 630 umfaßt eine NNND-Decodierschaltung 632 zum Decodieren einer vorgeschriebenen Kombination von internen Adressensignalen und eine Inverterschaltung 634 zum Invertieren des Ausgangs der NAND-Decodierschaltung 632. Die NAND-Decodierschaltung 632 erreicht einen Auswahlzustand, wobei sie ein Tiefpegel-Signal ausgibt, wenn die vorgeschriebene Kombination von sich auf einem Hochpegel befindenden Adressensignalen angelegt wird.

Die Zeilendecodierschaltung 640 umfaßt eine NAND-Decodierschaltung 642, welche einen vorgeschriebenen Satz von Ausgängen aus der Vordecodierschaltung 630 und das Operationsmodus-Bestimmungssignal  $\Phi_m$  empfängt, und eine Inverterschaltung 644, welche den Ausgang der NAND-Decodierschaltung 642 invertiert. Die NAND-Decodierschaltung 642 ist entsperrt, wenn der Operationsmodus-Bestimmungssignal  $\Phi_m$  in einem aktiven Zustand ist, und sie gibt ein Tiefpegel-Signal aus, wenn die Vordecodierschaltung 630 einen Auswahlzustand mit dem vorgeschriebenen Satz von Ausgängen der Verriegelungsschaltungen 620 erreicht. Der Betrieb der in Fig. 11 gezeigten SRAM-Wortleitungs-Treiberschaltung wird in Verbindung mit deren Operations-Wellenform-Darstellung in Fig. 12 beschrieben werden.

Die Zustände der externen Taktsignale  $\Phi_c$  und der externen Adressensignale extra werden vor einem Zunehmen des externen Taktsignals  $\Phi_K$  bestimmt. Zu der Zeit ist das externe Taktsignal  $\Phi_K$  auf einem Tiefpegel. Der Steuersignal-Eingangspuffer 520 erzeugt aus dem externen Steuersignal  $\Phi_c$  ein internes Steuersignal  $\Phi_c$ , welches an die Bestimmungsschaltung 530 gelegt wird. Die zum Erzeugen des internen Steuersignal  $\Phi_c$  aus dem externen Steuersignal  $\Phi_c$  benötigte Zeit ist eine Verzögerungszeit  $\Delta t_6$  im Steuersignal-Ein-

gangspuffer 520.

Die Bestimmungsschaltung 530 bestimmt einen vorgesehenen Operationsmodus auf Grundlage des Zustandes des internen Steuersignals  $\Phi_c$ , das vom Steuersignal-Eingangspuffer 520 angelegt wird. Die Bestimmungsoperation wird asynchron zum externen Taktignal  $\Phi_K$  (internen Taktsignal  $\Phi_c$ ) ausgeführt. Der Ausgang der Bestimmungsschaltung 530 ändert sich daher gemäß der Änderung des Zustandes des externen Steuersignals  $\Phi_c$ . Da das Taktsignal  $\Phi_c$  auf einem Tiefpegel ist, ist der Ausgang der Bestimmungsschaltung 530 durch die Verriegelungsschaltung 540 an die Schaltung zur Erzeugung eines Signals zur Bestimmung eines Operationsmodus 550 gelegt. Wenn das Taktsignal  $\Phi_c$  auf einen Hochpegel zunimmt, erreicht die Verriegelungsschaltung 540 einen Verriegelungszustand und verriegelt den zuvor angelegten Ausgang der Bestimmungsschaltung 530.

Die Schaltung zur Erzeugung eines Operationsmodus-Signals 550 ist in Reaktion auf das Zunehmen des internen Taktsignals  $\Phi_c$  auf einen Hochpegel aktiviert und bringt das Operationsmodus-Bestimmungssignal  $\Phi_m$  auf Grundlage eines aus der Verriegelungsschaltung 540 angelegten Signals in einen aktiven Zustand. Da der Ausgang der Verriegelungsschaltung 540 vor dem Zunehmen des Taktsignals  $\Phi_c$  auf einen Hochpegel bestimmt wird, erreicht das Operationsmodus-Bestimmungssignal  $\Phi_m$  nach Ablauf einer Zeit  $\Delta t_7$  seit dem Zunehmen des internen Taktsignals  $\Phi_c$  einen bestimmten Zustand. Während einer Einstellzeit  $T_{sc}$  für das externe Steuersignal  $\Phi_c$  wird eine Bestimmungsoperation in der Bestimmungsschaltung 530 ausgeführt, und daher kann das Operationsmodus-Bestimmungssignal  $\Phi_m$  nach dem Ablauf der Zeit  $\Delta t_7$  seit dem Zunehmen des externen Taktsignals  $\Phi_K$  auf einen Hochpegel aktiviert werden, womit das Operationsmodusstart-Timing vorgeschoben wird.

Wenn unterdessen im Adressenpuffer 116 das externe Taktsignal  $\Phi_K$  auf einem Tiefpegel ist, dann ist die Verriegelungsschaltung 620 in einem Durchgangszustand. Wenn daher das externe Adressensignal  $\Phi_a$  bestimmt ist, wird sofort das interne Adressensignal  $\Phi_a$  erzeugt (die Verzögerungszeit im Adressenpuffer 116 ist gleich  $\Delta t_8$ ). Das interne Adressensignal  $\Phi_a$  wird zum Vordecodieren an die Vordecodierschaltung 630 gelegt. Selbst wenn zu der Zeit das externe Taktsignal  $\Phi_K$  auf einen Hochpegel zunimmt, erreicht nur die Verriegelungsschaltung 620 einen Verriegelungszustand, wobei die Vordecodierschaltung 630 bereits eine Vordecodieroperation ausgeführt hat, und daher wird das Zeilenvordecodersignal  $\Phi_{ax}$  bestimmt, nachdem das interne Adressensignal  $\Phi_a$  bestimmt worden ist. Die Zeilendecodierschaltung 640 decodiert das Vordecodersignal  $\Phi_{ax}$  aus der Decodierschaltung 630, wenn der Operations-Bestimmungsmodus  $\Phi_a$  aktiviert (ein Hochpegel in der dargestellten Ausführungsform) ist. Da der Zustand des Vordecodersignals  $\Phi_{ax}$  bis zu dieser Zeit bereits bestimmt worden ist, ist das Wortleitungs-Treibsignal  $\Phi_{WL}$  nach Ablauf einer Zeit  $\Delta t_{10}$  aktiviert, nachdem das Operationsmodus-Bestimmungssignal  $\Phi_m$  angelegt wurde. Auch in diesem Fall wird während der Einstellzeit  $T_{sc}$  für das externe Adressensignal  $\Phi_a$  eine Vordecodier-Operation ausgeführt und kann das Vordecodier-Timing für eine Zeilenadresse vorgeschoben werden, womit das Auswahl-Timing für eine Wortleitung entsprechend vorgeschoben wird.

Es wird darauf hingewiesen, daß bei dem in Fig. 11 gezeigten Aufbau der Ausgang der Bestimmungsschaltung

tung 530 festgelegt ist, bevor das interne Taktsignal Ka einen aktiven Zustand hohen Pegels erreicht. Da die Bestimmungsschaltung 530 die Zustände von nur einer kleinen Anzahl von Steuersignalen bestimmt, kann die Verzögerungszeit in der Bestimmungsschaltung 530 ausreichend kurz gehalten werden. Diese Schaltung 540 kann zwischen dem Steuersignal-Eingangspuffer 520 und der Bestimmungsschaltung 530 vorgesehen sein.

Wenn das Chip-Auswahlsignal CS # auf einem Hochpegel ist, dann ist der SRAM-Abschnitt deaktiviert. Eine Bestimmung des Zustands des Chip-Auswahlsignals CS # wird in der Bestimmungsschaltung 530 ausgeführt. Um die Anzahl der an die Bestimmungsschaltung 530 anzulegenden Signalen zu verkleinern und um die für die Bestimmungsoperation benötigte Zeit zu verringern, kann das Chip-Auswahlsignal CS von dem in Fig. 9 gezeigten Eingangspuffer erzeugt und als internes Chip-Auswahlsignal CS an die NAND-Schaltung 552 der Schaltung zur Erzeugung eines Signals zur Bestimmung eines Operationsmodus 550 gelegt werden.

Es wird darauf hingewiesen, daß der in Fig. 11 dargestellte Aufbau dem Schaltungsabschnitt bezüglich des Wortleitungs-Treiberabschnitts des SRAMs entspricht. Derselbe Aufbau wird für den Abschnitt bezüglich der Operation des Spaltendecodierers 120 in Fig. 1 verwendet. Der SRAM-Spaltendecodierer führt eine Auswahl eines Transfergates in der Übertragungsschaltung aus, wobei immer dann ein Operationsmodus-Bestimmungssignal an den SRAM-Spaltendecodierer gelegt wird, wenn auf den SRAM-Abschnitt zugegriffen wird. Folglich wird in dem Schaltungsabschnitt bezüglich des Spaltendecodierers ein Operationsmodus-Bestimmungssignal zum Treiben des Spaltendecodierers auf Grundlage des Zustandes des Chip-Auswahlsignals CS # erzeugt.

Fig. 13 ist eine Darstellung, welche einen anderen Aufbau zum Erzeugen eines Zeilenauswahlsignals zeigt. Bei dem Aufbau in Fig. 13 ist eine Vordecodierschaltung 630 mit einem Operationsmodus-Bestimmungssignal  $\Phi_m$  versehen. Eine Zeilendecodierschaltung 640 decodiert das von der Vordecodierschaltung 630 erzeugte Vordecodiersignal  $\Phi_{ax}$  und erzeugt ein Wortleitungs-Treibrignal  $\Phi_{WL}$ . Der Eingangspuffer 116, die Vordecodierschaltung 630 und die Zeilendecodierschaltung 640 sind im wesentlichen identisch zu jenen in Fig. 11 ausgebildet. Die NAND-Schaltung 632 der Vordecodierschaltung 630 ist auch mit dem Operationsmodus-Bestimmungssignal  $\Phi_m$  versehen, und die NAND-Schaltung 642 in der Zeilendecodierschaltung 640 ist nicht mit dem Operationsmodus-Bestimmungssignal  $\Phi_m$  versehen.

Bei dem in Fig. 13 dargestellten Aufbau ist das Vordecodierstart-Timing gegenüber demjenigen des in Fig. 11 gezeigten Aufbaus geringfügig verzögert, da das Vordecodiersignal  $\Phi_{ax}$  gültig wird, nachdem das Operationsmodus-Bestimmungssignal  $\Phi_m$  festgelegt wurde, wie in der Operations-Wellenform-Darstellung der Fig. 14 dargestellt. Die internen Operationen werden jedoch bei diesem Aufbau während der Einstellzeit für das externe Steuersignal ext $\Phi_c$  und das externe Adressensignal ext $\Phi_a$  ausgeführt, wobei die Zeilenauswahl-Operation mit einer höheren Geschwindigkeit als bei einem gewöhnlichen Aufbau durchgeführt werden kann, bei welchem ein internes Signal in Synchronisation mit der Zunahme eines Taktsignals festgelegt wird.

Fig. 15 ist ein Schaltbild, welches den Aufbau eines Schaltungsabschnitts bezüglich der DRAM-Zeilenauswahl zeigt. Der in Fig. 15 dargestellte Aufbau entspricht

dem Aufbau des Abschnitts bezüglich des internen RAS-Signals (des Signals zum Steuern der Schaltungseinrichtung bezüglich der DRAM-Zeilenauswahl) für die DRAM-Steuerschaltung 128 und dem Aufbau des in Fig. 5 gezeigten Zeilenpuffers 214.

In Fig. 15 puffert eine Taktpuffer-/Timing-Schaltung 124 ein externes Taktsignal extK und erzeugt ein internes Taktsignal Ka. In Fig. 15 wird das vom Taktpuffer 124 erzeugte interne Taktsignal Ka durch eine Taktmaskenschaltung 126 erzeugt. Die Taktmaskenschaltung ist zum Zwecke der Vereinfachung nicht dargestellt. Das interne Taktsignal Ka entspricht daher dem internen Taktsignal DK in Fig. 5.

Ein RAS-Puffer 206 umfaßt eine Pufferschaltung 650, welche das externe Zeilenadressen-Strobesignal RAS # zum Durchgang puffert, und eine Verriegelungsschaltung 655 zum selektiven Durchlassen des Ausgangs der Pufferschaltung 650 in Reaktion auf das interne Taktsignal Ka. Die Verriegelungsschaltung 655 erreicht einen Durchgangszustand, wenn das interne Taktsignal Ka auf einem Tiefpegel in einem aktiven Zustand ist, und einen Verriegelungszustand, wenn das interne Taktsignal Ka auf einem Hochpegel ist.

Ein DTD-Puffer 210 umfaßt ebenfalls eine Pufferschaltung 652 und eine Verriegelungsschaltung 654. Der RAS-Puffer 206 und der DTD-Puffer 210 geben ein internes Steuersignal aus, welches bereits festgelegt worden ist, bevor das interne Taktsignal Ka einen aktiven Zustand erreicht. Folglich können die internen Steuersignale RAS # und DTD # erzeugt werden.

Eine Schaltung zur Erzeugung eines DRAM-Steuersignals 212 umfaßt eine Bestimmungsschaltung 660, welche auf Grundlage der Ausgänge des RAS-Puffers 206 und des DTD-Puffers 210 bestimmt, ob ein Zugreifen auf den DRAM-Abschnitt vorgesehen ist oder nicht, Gatterschaltungen 670 und 672 zum Durchlassen des Ausgangs der Bestimmungsschaltung 660 in Reaktion auf das interne Taktsignal Ka und ein Flipflop 674, welches ein internes RAS-Signal  $\Phi_{RAS}$  zum Treiben der DRAM-Anordnung in Reaktion auf die Ausgänge der Gatterschaltungen 670 und 672 erzeugt.

Als Bestimmungsschaltung 660 ist nur der Schaltungsaufbau dargestellt, welcher dazu verwendet wird, einen DRAM-Aktivierungsmodus ACT und einen DRAM-Vorlademodus PCG zu bestimmen. Die Bestimmungsschaltung 660 umfaßt eine Gatterschaltung 662 zum Ermitteln des DRAM-Aktivierungsmodus ACT und eine Gatterschaltung 664 zum Ermitteln des DRAM-Vorlademodus PCG. Die Gatterschaltung 662 gibt ein Hochpegel-Signal aus, wenn der Ausgang der Verriegelungsschaltung 654 auf einem Tiefpegel ist und der Ausgang der Verriegelungsschaltung 655 auf einem Hochpegel ist. Insbesondere erzeugt die Gatterschaltung 662 ein Signal eines aktiven Zustands (mit einem Hochpegel), wenn das externe Zeilenadressen-Strobesignal RAS # auf einem Tiefpegel ist und das externe Signal zur Anweisung einer Datenübertragung DTD # auf einem Hochpegel ist. Die Gatterschaltung 664 gibt ein Hochpegel-Signal aus, wenn die Ausgänge der Verriegelungsschaltungen 654 und 655 beide einen Hochpegel erreichen. Insbesondere gibt die Gatterschaltung 654 ein Hochpegel-Signal aus, wenn die Signale RAS # und DTD # beide auf einem Tiefpegel sind.

Die Gatterschaltung 670 ist entsperrt und funktioniert als Puffer, wenn das interne Taktsignal Ka auf einem Hochpegel ist. Die Gatterschaltung 672 ist ebenfalls entsperrt, wenn das interne Taktsignal Ka auf ei-

nem Hochpegel ist, und wird als Puffer betrieben. Die Gatterschaltungen 670 und 672 setzen ihre Ausgänge in einen inaktiven Zustand niedrigen Pegels, wenn das interne Taktignal Ka auf einem Tiefpegel ist. Der Ausgang der Gatterschaltung 670 erreicht einen Hochpegel, wenn der Ausgang der Gatterschaltung 662 auf einem Hochpegel und das interne Taktignal Ka auf einem Hochpegel ist. Die Gatterschaltung 670 zieht daher in Synchronisation mit einem Zunehmen des internen Taktsignals Ka ihr Ausgangssignal auf einen Hochpegel, wenn der DRAM-Aktivierungsmodus ACT vorgesehen ist. Die Gatterschaltung 672 gibt ein Signal aus, welches in Synchronisation mit dem Ausgang des internen Taktsignals Ka auf einen Hochpegel zunimmt, wenn der DRAM-Vorlademodus bestimmt ist.

Die Flipflop-Schaltung 674 empfängt den Ausgang der Gatterschaltung 670 an einem Setzeingang S und den Ausgang der Gatterschaltung 672 an einem Rücksetzeingang R. Das Flipflop 674 ist gesetzt, wenn der DRAM-Aktivierungsmodus ACT bestimmt ist, und setzt ein internes RAS-Signal  $\Phi_{RAS}$  aus seinem Q-Ausgang in einen aktiven Zustand hohen Pegels. Wenn der DRAM-Vorlademodus PCG bestimmt ist, dann wird das Flipflop 674 rückgesetzt, womit das interne RAS-Signal  $\Phi_{RAS}$  auf einen inaktiven Zustand niedrigen Pegels gezogen wird. In Reaktion auf das interne RAS-Signal GRAS werden Operationen, wie beispielsweise eine Zeilenauswahl und eine Zeilenabtastung, im DRAM-Abschnitt ausgeführt.

Der Adressenpuffer 108 umfaßt eine aus zwei Stufen von Invertern in Kaskadenschaltung gebildete Pufferschaltung 676 zum Puffern des externen Adressensignals ext $\Phi_A$  und eine Verriegelungsschaltung 678 zum selektiven Durchlassen des Ausgangs der Pufferschaltung 678 in Reaktion auf das interne Taktignal Ka. Die Verriegelungsschaltung 678 erreicht einen Durchgangszustand, wenn das interne Taktignal Ka in einem inaktiven Zustand niedrigen Pegels ist, und einen Verriegelungszustand, wenn das interne Taktignal auf einem Hochpegel ist. Somit kann ein internes Adressensignal während der Adresseneinstellzeit erzeugt werden.

Der Zeilenadressenpuffer 214 (siehe Fig. 5) umfaßt eine Verriegelungsschaltung 680 zum Verriegeln des Ausgangs der Verriegelungsschaltung 678 in Reaktion auf das interne RAS-Signal  $\Phi_{RAS}$ . Die Verriegelungsschaltung 680 erreicht einen Durchgangszustand, wenn das interne RAS-Signal  $\Phi_{RAS}$  auf einem Tiefpegel ist, und erreicht einen Verriegelungszustand, wenn das interne RAS-Signal  $\Phi_{RAS}$  auf einem Hochpegel ist. Daraus wird sofort ein internes Adressensignal von der Verriegelungsschaltung 680 erzeugt, wenn das interne RAS-Signal  $\Phi_{RAS}$  in einem inaktiven Zustand ist. Eine Spaltenverriegelungs-Schaltung 686 ist parallel zu einer Zeilenverriegelungs-Schaltung 680 vorgesehen. Die Spaltenverriegelungs-Schaltung 686 führt eine Verriegelungsoperation in Reaktion auf das interne CAS-Signal  $\Phi_{CAS}$  durch. Das interne CAS-Signal  $\Phi_{CAS}$  wird in einem Operationsmodus erzeugt, bei welchem ein Spaltenblock (Speicherzellen mit 16 Bits) in der DRAM-Anordnung ausgewählt wird. Im Unterschied zu Fig. 5 bilden die Pufferschaltung 676 und die Verriegelungsschaltungen 678 und 680 einen Zeilenadressenpuffer 214, wogegen die Pufferschaltungen 676 und 678 und die Spaltenverriegelungsschaltung 786 einen Spaltenadressenpuffer 216 bilden.

Der Zeilendecodierer 110 umfaßt eine Vordecodierschaltung 682 zum Vordecodieren des Ausgangs der Verriegelungsschaltung 680 und eine Zeilendecodier-

schaltung 684 zum weiteren Decodieren des Ausgangs der Vordecodierschaltung 682 und zum Erzeugen eines Signals  $\Phi_{WL}$ , welches eine Wortleitung in der DRAM-Anordnung auswählt. Die Zeilendecodierschaltung 684 ist in Reaktion auf das interne RAS-Signal  $\Phi_{RAS}$  aktiviert und führt eine Decodieroperation aus. Die Vordecodierschaltung 682 ist mit einem vorgeschriebenen Satz von Ausgangssignalen aus einer Mehrzahl von Verriegelungsschaltungen 680 versehen. Eine Mehrzahl von Vordecodierschaltungen 682 ist vorgesehen, und die Zeilendecodierschaltung 684 empfängt die Ausgänge eines vorgeschriebenen Satzes von Vordecodierschaltungen aus der Mehrzahl von Vordecodierschaltungen.

Fig. 16A ist eine Signalwellenform-Darstellung zur Verwendung bei einer Darstellung des Betriebs der in Fig. 15 gezeigten Schaltung, wenn der DRAM-Aktivierungsmodus bestimmt ist. Der Betrieb der in Fig. 15 dargestellten Schaltung wird in Verbindung mit Fig. 16A beschrieben werden.

Wenn die Zustände der externen Steuersignale RAS# und DTD# festgelegt sind, dann werden die Ausgänge der RAS-Puffer 206 und der DTD-Puffer 210 geändert und entsprechend festgelegt. Das externe Taktignal extK ist auf einem Tiefpegel, und die Puffer 206 und 210 sind in einem Durchgangszustand. In Fig. 16A sind die internen Signale RAS und DTD durch das Signal  $\Phi_C$  dargestellt.

In Reaktion auf das interne Signal  $\Phi_C$  führt die Bestimmungsschaltung 660 eine Bestimmungsoperation aus und zieht das Aktivierungsmodus-Anweisungssignal  $\Phi_A$  auf einen Hochpegel in einem aktiven Zustand herauf.

In Reaktion auf ein Zunehmen des Taktsignals extK auf einen Hochpegel, nimmt das interne Taktignal Ka auf einen Hochpegel zu, wobei das aus der Gatterschaltung 670 ausgegebene Aktivierungsmodus-Entsperrsignal ACT auf einen Hochpegel zunimmt und das Flipflop 674 gesetzt wird. Somit wird ein internes RAS-Signal  $\Phi_{RAS}$  erzeugt.

Wenn das interne Taktignal Ka auf einen Tiefpegel abnimmt, dann nimmt der Ausgang der Gatterschaltung 670 auf einen Tiefpegel ab. Der Ausgang  $\Phi_{RAS}$  des Flipflops 674 bleibt jedoch auf einem Hochpegel in einem aktiven Zustand.

Wenn unterdessen im Adressenpuffer 108 das externe Adressensignal ext $\Phi_A$  angelegt ist und das externe Taktignal extK auf einem Tiefpegel ist, dann wird das interne Adressensignal  $\Phi_A$  entsprechend geändert. Wenn sich das interne Adressensignal  $\Phi_A$  ändert, dann erreicht die Verriegelungsschaltung 680 einen Durchgangszustand (das interne RAS-Signal  $\Phi_{RAS}$  ist noch nicht erzeugt und auf einem Tiefpegel). Die Vordecodierschaltung 682 führt daher eine Vordecodieroperation aus, bevor das interne RAS-Signal  $\Phi_{RAS}$  auf einen festgelegten Hochpegel zunimmt, womit ein Vordecodiersignal  $\Phi_{Ax}$  erzeugt wird.

Die Zeilendecodierschaltung 684 ist aktiviert, wenn das interne RAS-Signal  $\Phi_{RAS}$  auf einen Hochpegel gezogen ist, wobei sie das Vordecodiersignal  $\Phi_{Ax}$  decodiert und ein Wortleitungs-Treibsignal  $\Phi_{WL}$  erzeugt.

Das Timing, mit welchem das Wortleitungs-Treibsignal  $\Phi_{WL}$  erzeugt wird, ist daher vorgeschoben, da die Vordecodieroperation dann ausgeführt wird, wenn das Taktignal Ka (oder extK) auf einem Tiefpegel ist.

Das Wortleitungs-Treibsignal  $\Phi_{WL}$  behält seinen Hochpegel eines aktiven Zustands solange bei, bis der DRAM-Vorlademodus PCG bestimmt wird (bei einem

internen RAS-Signal  $\Phi_{RAS}$ , welches einen Hochpegel behält.

Es wird darauf hingewiesen, daß der DRAM-Ab schnitt in einen Nicht-Operationsmodus oder in einen Stromverkleinerungsmodus gebracht wird, wenn das Chip-Auswahlsignal CS# einen inaktiven Zustand ho hen Pegels erreicht. In diesem Fall kann der DRAM-Ab schnitt mit einer Gateschaltung zum Steuern des selektiven Durchgangs des internen Taktsignals Ka in Reaktion auf das interne Chip-Auswahlsignal versehen sein.

Wie vorstehend beschrieben, erlaubt es das Ausbilden des Eingangspuffers mit der einen Verriegelungszu stand und einen Durchgangszustand erreichenden Verriegelungsschaltung, interne Operationen mit vorge schobenen Timings einzuleiten, wenn das interne Takt signal aktiviert ist, und es ergibt sich ein mit hoher Ge schwindigkeit betriebener CDRAM.

Der in Fig. 15 gezeigte Aufbau sieht ebenfalls die folgenden Vorteile vor. Insbesondere werden die externe n Steuersignale RAS# und DTD# in den Verriegelungsschaltungen 654 und 655 in Reaktion auf das interne Taktsignal Ka verriegelt, und das externe Adressen signal extra wird in Synchronisation mit dem Taktsignal Ka verriegelt. Insbesondere werden die externen Steuersignale RAS# und DTD# und das externe Adressen signal ext $\Phi_A$  mit demselben Timing verriegelt. Wie in Fig. 16B dargestellt, können daher die Einstellzeit  $T_{SU}$  und die Haltezeit  $T_{HD}$  für das externe Adressensignal ext $\Phi_A$  und die externen Steuersignale DTD# und RAS# gleich gemacht werden. Somit besteht ein Vor teil darin, daß die externen Signale in Form eines Einzel impuls erzeugt werden können, mit anderen Worten, die Bereitschaft zum Bilden der externen Signale kann weiter verbessert werden, womit die externe Einrich tung dazu in der Lage ist, die Steuersignale und die Adressensignale unter denselben Parameterbedingungen zu erzeugen, und daher kann eine synchrone Halbleiterspeichereinrichtung realisiert werden, welche eine große Verwendbarkeit für die externe Einrichtung vor sieht.

Es wird darauf hingewiesen, daß der Aufbau des Eingangspuffers nicht auf CDRAMs beschränkt ist und im allgemeinen bei und in einer in Synchronisation mit den externen Taktsignalen betriebenen synchronen Halbleiterspeichereinrichtung verwendbar ist.

#### Die Datenübertragungsschaltung

Fig. 17 ist ein Schaltbild, welches eine Anordnung in einer DRAM-Anordnung zeigt. Die Speicherzellen mit 2 Bits werden zu einer Zeit in einem in Fig. 17 dargestellten Speicheranordnungsblock gewählt.

Der DRAM-Speicheranordnungsblock NB umfaßt eine Mehrzahl von dynamischen Speicherzellen DMC, die in einer Matrix aus Zeilen und Spalten angeordnet sind. Die dynamische Speicherzelle DMC enthält einen Speichertransistor Q0 und einen Speicherkondensator C0. Eine Elektrode (Zellelektrode) des Speicherkondensators C0 wird mit einer konstanten Spannung Vgg (gewöhnlich einem Zwischenpotential  $V_{CC}/2$ ) versorgt.

Der Speicherblock MB enthält eine DRAM-Wortleitung DWL, welche jeweils mit den Zeilen-DRAM-Zellen (dynamischen Speicherzellen DMC) verbunden ist, und ein DRAM-Bitleitungspaar DBL, welches jeweils mit einer Spalte der DRAM-Zellen DMC verbunden ist. Das DRAM-Bitleitungspaar DBL umfaßt komplemen täre Bitleitungen BL und /BL. Die DRAM-Zellen DMC sind an Kreuzungen der DRAM-Wortleitungen DWL

und der DRAM-Bitleitungspaare DBL angeordnet.

Jedes DRAM-Bitleitungspaar DBL ist mit einem DRAM-Abtastverstärker DSA zum Abtasten und Verstärken einer Potentialdifferenz an einem entsprechenden Bitleitungspaar versehen. Der DRAM-Abtastverstärker DSA umfaßt einen p-Kanal-Abtastverstärker Abschnitt, welcher kreuzweise geschaltete p-Kanal-NOS-Transistoren P3 und P4 enthält, und einen n-Kanal-Abtastverstärker-Abschnitt, welcher kreuzweise geschaltete n-Kanal-MOS-Transistoren N5 und N6 ent hält.

Der Betrieb des DRAM-Abtastverstärkers DSA wird mit Abtastverstärker-Treibsignalen  $\Phi_{SAP}$  und  $\Phi_{SAN}$  gesteuert, welche von einem P-Kanal-MOS-Transistor TR1 und einem n-Kanal-MOS-Transistor TR2 in Reaktion auf Abtastverstärker-Aktivierungssignale  $\Phi_{SAPE}$  und  $\Phi_{SAN}$  erzeugt werden.

Der p-Kanal-Abtastverstärker-Abschnitt vergrößert das Potential einer Hochpotential-Bitleitung auf den Pegel des Betriebsstromversorgungspotentials  $V_{CC}$  in Reaktion auf das Abtastverstärker-Treibsignal  $\Phi_{SAP}$ . Der n-Kanal-Abtastverstärker-Abschnitt entlädt das Potential einer Tiefpotential-Bitleitung auf ein Potential  $V_{SS}$ , beispielsweise auf den Massepotentialpegel, in Reaktion auf das Abtastverstärker-Treibsignal  $\Phi_{SAN}$ .

Der p-Kanal-MOS-Transistor TR1 erzeugt ein Hochpegel-Abtastverstärker-Treibsignal  $\Phi_{SAP}$ , wenn das Abtastverstärker-Aktivierungssignal  $\Phi_{SAPE}$  einen Tiefpegel erreicht, und überträgt das erzeugte Signal an einen Stromversorgungsknoten des DRAM-Abtastverstärkers DSA. Der n-Kanal-MOS-Transistor TR2 überträgt das auf dem Massepotentialpegel liegende Abtastverstärker-Treibsignal  $\Phi_{SAN}$  an einen anderen Stromversorgungsknoten des DRAM-Abtastverstärkers DSA, wenn das Abtastverstärker-Aktivierungssignal  $\Phi_{SAN}$  einen Hochpegel erreicht. Die Abtastverstärker-Treibsignale  $\Phi_{SAN}$  und  $\Phi_{SAT}$  werden in einem Bereitschaftsmodus auf das Zwischenpotential  $V_{CC}/2$  vorgeladen. Zum Zwecke der Vereinfachung ist eine Schaltung zum Vorladen der Abtastverstärker-Treibsignalleitung in Fig. 17 nicht dargestellt.

Für jedes DRAM-Bitleitungspaar DBL ist eine in Reaktion auf ein Vorlade-/Ausgleichssignal aktivierte Vorlade-/Ausgleichsschaltung DEQ zum Vorladen jeder Bitleitung eines entsprechenden Bitleitungspaares auf ein vorgeschriebenes Potential  $V_{B1}$  und zum Ausgleichen der vorgeladenen Potentiale des entsprechenden Bitleitungspaares vorgesehen. Die Vorlade-/Ausgleichsschaltung DEQ enthält n-Kanal-MOS-Transistoren N7 und N8 zum Übertragen des Vorladepotentials  $V_{B1}$  an die entsprechenden Bitleitungen BL und /BL und einen n-Kanal-MOS-Transistor N2 zum Ausgleichen der Potentiale der Bitleitungen BL und /BL.

Der DRAM-Speicherblock NB umfaßt ferner ein DRAM-Spaltenauswahlgate CSG, mit welchem jedes DRAM-Leitungspaar DBL versehen ist und welches in Reaktion auf ein Signalpotential an einer Spaltenauswahlleitung CSL leitet und ein entsprechendes DRAM-Bitleitungspaar DBL mit einem lokalen IO-Leitungspaar LIO verbindet.

Ein Spaltenauswahlssignal wird auf einer Spaltenauswahlleitung CSL von dem in Fig. 1 dargestellten Spaltenblockdecodierer 112 übertragen. Die Spaltenauswahlleitung CSL ist gewöhnlich mit zwei Paaren von DRAM-Bitleitungen versehen. Daher werden zwei DRAM-Bitleitungspaares DBL zu einer Zeit ausgewählt und mit lokalen IO-Leitungspaaren LIOa und LIOb verbunden. Die lokalen IO-Leitungspaare LIOa und LIOb

39 sind mit einer Vorlade-/Ausgleichschaltung versehen, doch die Schaltung ist zum Zwecke der Vereinfachung nicht dargestellt.

Der DRAM-Speicherblock MB umfaßt ferner DRAM-IO-Gates IOGa und IOGb zum Verbinden der lokalen IO-Leitungspaare LIOa und LIOb mit entsprechenden globalen IO-Leitungspaaren DIOa und DIOb in Reaktion auf ein Blockaktivierungssignal  $\Phi_{BA}$ . In dem CDRAM wird nur der eine ausgewählte Zeile (Wortleitung) enthaltende Speicheranordnungsblock in einen gewählten Zustand gebracht. Nur in dem gewählten Block leiten die DRAM-IO-Gates IOGa und IOGb in Reaktion auf das Blockaktivierungssignal  $\Phi_{BA}$ . Das Blockaktivierungssignal  $\Phi_{BA}$  wird daher durch Decodieren der höherwertigen 4 Bits eines zum Auswählen einer Wortleitung verwendeten DRAM-Zeilenaressignals (beispielsweise in einem derartigen Fall, daß nur ein Zeilenblock von 16 Zeilenblöcken in einen ausgewählten Zustand gebracht wird) erzeugt. Die lokalen IO-Leitungspaare LIOa und LIOb sind nur für den Speicherblock MB vorgesehen. Die globalen IO-Leitungspaare GIOa und GIOb sind gemeinsam in den Speicherblöcken vorgesehen, die in der Richtung vorhanden sind, in welcher die Bitleitungen in Fig. 17 verlaufen. Ein Speicherblock (Zeilenblock) wird ausgewählt und mit den globalen IO-Leitungspaaren GIOa und GIOb durch die lokalen IO-Leitungspaare LIOa und LIOb verbunden. Das Vorsehen der globalen IO-Leitungspaare GIOa und GIOb in einem Wortleitungs-Shuntgebiet ermöglicht eine parallele Übertragung von 16-Bit-Speicherzelldaten, ohne die Chipfläche zu vergrößern.

Fig. 18 ist ein Schaltbild, welches den Aufbau einer SRAM-Anordnung zeigt. In Fig. 18 ist der Aufbau von nur einer SRAM-Speicherebene dargestellt.

In Fig. 18 umfaßt eine SRAM-Anordnung 104 statische Speicherzellen SMC, die in einer Matrix aus Zeilen und Spalten angeordnet ist. Die statische Speicherzelle SMC umfaßt kreuzweise geschaltete p-Kanal-MOS-Transistoren P1 und P2 und kreuzweise geschaltete n-Kanal-MOS-Transistoren N1 und N2. Die p-Kanal-MOS-Transistoren P1 und P2 sind Hochwiderstands-Lasttransistoren und haben die Aufgabe, das Potential eines Speicherknotens einer Speicherzelle hochzuziehen.

Die statische Speicherzelle SMC umfaßt ferner einen n-Kanal-MOS-Transistor N3, welcher einen Verbindungsknoten der Transistoren P1 und N1 mit einer SRAM-Bitleitung SBLa in Reaktion auf ein Signalpotential auf einer SRAM-Wortleitung SWL verbindet, und einen n-Kanal-MOS-Transistor N4, welcher einen Verbindungsknoten der Transistoren P2 und N2 mit einer SRAM-Bitleitung /SBLa in Reaktion auf ein Signalpotential auf der SRAM-Wortleitung SWL verbindet.

Eine SRAM-Wortleitung WL ist mit einer Zeile der statischen Speicherzellen SMC verbunden, und ein SRAM-Bitleitungspaar SBL ist mit den in einer Spalte angeordneten statischen Speicherzellen SMC verbunden. In Fig. 18 sind zur Veranschaulichung drei SRAM-Wortleitungen SWL1 bis SWL3 dargestellt.

Ein SRAM-Abtastverstärker SSA und ein Zwei-Richtungs-Transfertyp BTG sind für jedes SRAM-Bitleitungspaar SBL vorgesehen. Das Zwei-Richtungs-Transfertyp BTG führt eine Datenübertragung zwischen einer gewählten Speicherzelle in der SRAM-Anordnung und einer gewählten Speicherzelle in der DRAM-Anordnung auf Grundlage von Übertragungssteuersignalen  $\Phi_{TSD}$  und  $\Phi_{TDS}$  aus, und dessen Aufbau wird nachstehend detailliert beschrieben werden. Hierin sind die

Übertragungssteuersignale  $\Phi_{TSD}$  und  $\Phi_{TDS}$  zum Zwecke der Vereinfachung jeweils als generisches Steuersignal bezeichnet.

Das Zwei-Richtungs-Transfertyp BTG führt die Datenübertragung zwischen dem SRAM-Bitleitungspaar SBL und dem globalen IO-Leitungspaar GIO (GIOa und GIOb) aus. Die Anzahl von vorgesehenen globalen IO-Leitungspaaren GIOa und GIOb beträgt insgesamt 16. Es sind 16 SRAM-Bitleitungspaare SBL vorgesehen. Daher wird eine gleichzeitige Übertragung von Speicherzellen mit 16 Bits verwirklicht.

Fig. 19 ist eine Darstellung, welche den Aufbau der Datenübertragungsschaltung 106 in Fig. 1 detailliert zeigt. In Fig. 19 ist ferner der Datenfluß, wenn der DRAM-Leseübertragungsmodus DRT bestimmt ist, dargestellt. In Fig. 19 sind ein zeitweilig Schreibdaten speicherndes Zwischenregister 142, ein die Daten aus dem Zwischenregister 142 speichernder Schreibdatenübertragungspuffer 144, ein Maskendaten speicherndes Maskenregister 146a und eine Maskenschaltung 106 zum Maskieren der Schreibübertragungsdaten aus dem Schreibdatenübertragungspuffer 114 auf Grundlage der Maskendaten aus dem Maskenregister 146a, wie sie in Fig. 1 gezeigt sind, allgemein als Schreibdatenübertragungs-Schaltung 800 dargestellt.

In Fig. 19 umfaßt die Schaltungseinrichtung zur Zugriffssteuerung der Übertragungsschaltung einen ersten Abtastverstärker 812 zum Verstärken entweder der aus der SRAM-Anordnung ausgelesenen Daten oder der aus der Lesedatenübertragungs-Schaltung 140 übertragenen Daten, einen zweiten Abtastverstärker 814 zum weiteren Verstärken der aus dem ersten Abtastverstärker 812 ausgegebenen Daten und eine Schreibtreiberschaltung 810 zum Schreiben der Daten in eine gewählte Speicherzelle in der SRAM-Anordnung 104. Die Schreibdaten aus einem Din-Puffer 434 sind ferner an die Schreibdatenübertragungs-Schaltung 800 gelegt. Somit können Daten mit 16 Bits in die Lesedatenübertragungs-Schaltung 140 und die Schreibdatenübertragungs-Schaltung 800 parallel übertragen werden. Folglich weisen die Schreibtreiberschaltung 810, der erste Abtastverstärker 812 und der zweite Abtastverstärker 814 jeweils eine Kapazität von 16 Bits auf.

Der erste Abtastverstärker 812 wählt die Daten aus der SRAM-Anordnung 104 zur Verstärkung aus, wenn ein Datenlesen aus der SRAM-Anordnung 104 bestimmt ist. Wenn ein Zugreifen auf die Lesedatenübertragungs-Schaltung 106 bestimmt ist, dann wählt der erste Abtastverstärker 812 die Daten aus der Lesedatenübertragungs-Schaltung 104 aus.

Ein Spaltendecodierer 120 decodiert die Adressensignale As0 bis As3 mit 4 Bits und wählt einen 1-Bit-Abtastverstärker des zweiten Abtastverstärkers 114 aus, welcher eine Kapazität von 16 Bits umfaßt. Ähnlich wählt der Spaltendecodierer 120 eine 1-Bit-Treiberschaltung aus der Schreibtreiberschaltung 810 aus, welche eine Kapazität von 16 Bits umfaßt. Der Ausgang der zweiten Abtastverstärker-Schaltung 814 ist an einen Hauptverstärker 438 gelegt.

Wenn der DRAM-Leseübertragungsmodus DRT bestimmt ist, dann wird eine Zeile der Speicherzellen in der DRAM-Anordnung 102 ausgewählt, wobei dann die Daten der ausgewählten Speicherzellen in die Lesedatenübertragungs-Schaltung 140 übertragen werden. Die durch die Lesedatenübertragungs-Schaltung 140 verriegelten Daten werden durch den ersten Abtastverstärker 812 in die Schreibdatenübertragungs-Schaltung 800 übertragen. Wenn der DRAM-Leseübertragungsmodus

DRT bestimmt ist und dann der Pufferlesemodus BRE bestimmt wird, dann können die mittels der Lesedatenübertragungs-Schaltung 140 verriegelten Daten durch den ersten Abtastverstärkers 812, den zweiten Abtastverstärker 814 und den Hauptverstärker 438 ausgelesen werden.

Zur Zeit des Datenschreibens können die internen Schreibdaten mittels der Schreibtreiberschaltung 810 aus dem Din-Puffer 434 in eine gewählte Speicherzelle in der SRAM-Anordnung 104 geschrieben werden. Wenn der Pufferschreibmodus BW bestimmt ist, dann können die externen Schreibdaten aus dem Din-Puffer 434 in die Schreibdatenübertragungs-Schaltung 800 geschrieben werden. Ein Register in der Schreibdatenübertragungs-Schaltung 800 wird mittels des Spaltendecodierers 120 gewählt.

Fig. 20 ist eine Wellenform-Darstellung, welche die Reihenfolge der Operationen zur Datenübertragung aus der DRAM-Anordnung in die Lesedatenübertragungs-Pufferschaltung zeigt. Der Betrieb zur Datenübertragung aus der DRAM-Anordnung in die Lesedatenübertragungs-Pufferschaltung wird in Verbindung mit Fig. 20 beschrieben werden.

In einem ersten Zyklus des externen Taktsignals K wird das Zeilenadressen-Strobesignal RAS# auf einen Tiefpegel gesetzt, wobei das Spaltenadressen-Strobesignal CAS# und das Signal zur Anweisung einer Datenübertragung DTD# auf einen Hochpegel gesetzt werden, und im Ergebnis wird ein DRAM-Aktivierungsmodus ACT bestimmt. Im DRAM-Abschnitt werden die zur Zeit angelegten Adressensignale Ad0 bis Ad11 als Zeilenadresse (R) für eine Zeilenauswahl-Operation verwendet.

In einem Zyklus nach Ablauf einer RAS-CAS-Verzögerungszeit tRCD, mit anderen Worten in einem vierten Zyklus des externen Taktsignals K, wird ein DRAM-Leseübertragungsmodus DRT bestimmt, wenn das Spaltenadressen-Strobesignal CAS# auf einen Tiefpegel gesetzt ist und das Zeilenadressen-Strobesignal RAS# und das Signal zur Anweisung einer Datenübertragung DTD# auf einen Hochpegel gesetzt sind. In der DRAM-Anordnung 102 werden die Adressensignale Ad4 bis Ad9 als Spaltenblock-Adressensignal C1 zum Auswählen eines Spaltenblocks (von Speicherzellen mit 16 Bits in einer Specherebene) verwendet. Die Daten des gewählten Spaltenblocks werden in die Lesedatenübertragungs-Pufferschaltung 140 übertragen. Das Timing der Datenübertragung aus der DRAM-Anordnung in die Lesedatenübertragungs-Pufferschaltung 140 wird mit dem externen Taktsignal K bestimmt. Nun werden drei Taktzyklen in Latenz angenommen. Insbesondere werden die gültigen Daten in der Lesedatenübertragungs-Pufferschaltung 140 gespeichert, wenn drei Taktzyklen ablaufen, nachdem der DRAM-Leseübertragungsmodus DRT bestimmt wurde.

Die Latenz entspricht der Anzahl von Taktzyklen, die notwendig sind, bis die neuen gültigen Daten aus der DRAM-Anordnung in die Lesedatenübertragungs-Pufferschaltung übertragen sind. Im (n-1)ten Zyklus der Latenz von n Taktzyklen wird eine Datenübertragung aus der DRAM-Anordnung in die Leseübertragungs-Pufferschaltung 140 ausgeführt. Während dieses Zeitschnitts erreichen die Daten in der Lesedatenübertragungs-Pufferschaltung 140 einen "nicht zu beachtenden" Zustand und dann einen festgelegten Zustand. In einem siebenten Zyklus des externen Taktsignals K erreichen die Daten in der Lesedatenübertragungs-Pufferschaltung noch einmal einen festgelegten Zustand.

Im siebenten Zyklus wird der DRAM-Übertragungsmodus DRT noch einmal bestimmt. Auf Grundlage des neu bestimmten DRAM-Leseübertragungsmodus DRT wird ein Spaltenblock in Reaktion auf ein Spaltenblock-Adressensignal C2 gewählt, und die Daten der gewählten Speicherzellen werden in die Lesedatenübertragungs-Pufferschaltung (DTBR) übertragen und erreichen in einem zehnten Taktzyklus einen festgelegten Zustand.

10 Unterdessen werden im siebenten Zyklus des externen Taktsignals K im SRAM-Abschnitt die Steuertaktsignale CC0# und CC1# jeweils auf einen Tiefpegel gesetzt und wird das Schreib-Entsperrsignal WE# auf einen Hochpegel gesetzt. Das DQ-Steuersignal DQC ist auf einem Hochpegel, wodurch der Dateneingang/Datenausgang ermöglicht ist. In diesem Zustand ist der Pufferlesemodus BR bestimmt, und der Spaltendecodierer führt eine Auswahloperation auf Grundlage der zur Zeit angelegten Adressensignale As0 bis As3 aus, und die entsprechenden Daten werden aus den in der Lese- datenübertragungs-Pufferschaltung DTBR 140 gespeicherten Daten ausgelesen. In Fig. 20 werden in einem achten Taktzyklus Daten B1 ausgelesen.

Wenn der DRAM-Leseübertragungsmodus DRT ausgeführt ist und dann in einem Zyklus nach dem Ablauf der CAS-Latenz ein Pufferlesemodus DR ausgeführt wird, dann können die Lesedaten nach Ablauf einer Zeit tCAC seit der Bestimmung des Pufferlese-Übertragungsmodus BR erhalten werden.

In einem zehnten Zyklus des externen Taktsignals K werden die Daten der mittels der Spaltenblockadresse (C2) gewählten Speicherzellen in der Lesedatenübertragungs-Pufferschaltung 140 gespeichert. In dem Zyklus wird der Pufferlesemodus BR noch einmal zur Ausführung bestimmt und werden die in der Lesedatenübertragungs-Pufferschaltung 140 gespeicherten Daten B2, B3, B4, B5 bei jedem folgenden Taktzyklus aufeinanderfolgend ausgelesen.

Parallel zu dieser Pufferlesemodus-Operation wird in einem 12ten Zyklus des internen Taktsignals K der DRAM-Leseübertragungsmodus DRT noch einmal bestimmt und werden die Daten der Lesedatenübertragungs-Pufferschaltung 140 nach Ablauf von drei Taktzyklen mit neuen Daten überschrieben.

In einem fünfzehnten Zyklus des externen Taktsignals K wird noch einmal ein Pufferlesemodus BR bestimmt und werden in der Lesedatenübertragungs-Pufferschaltung 140 gespeicherte Daten B6 ausgelesen.

Im fünfzehnten Zyklus des externen Taktsignals K werden das Zeilenadressen-Strobesignal RAS# und das Signal zur Anweisung einer Datenübertragung DTD# auf einen Tiefpegel gesetzt und wird das Spaltenadressen-Strobesignal CAS# auf einen Hochpegel gesetzt, und im Ergebnis wird ein DRAM-Vorlademodus PCG bestimmt. Somit geht eine in der DRAM-Anordnung gewählte Zeile in einen nicht gewählten Zustand über.

Wie vorstehend beschrieben, gestattet es eine Verwendung des DRAM-Leseübertragungsmodus DRT in Kombination mit dem Pufferlesemodus BR, die Daten in der DRAM-Anordnung mittels der Leseübertragungs-Pufferschaltung 140 auszulesen, ohne die SRAM-Anordnung in irgend einer Weise zu beeinflussen. Da dieser Operationsmodus unter Verwendung eines Seitenmodus des DRAMs ausgeführt werden kann (die DRAM-Aktivierungsmodus-Operation wird derart fortgesetzt, daß sie so lange beibehalten wird, bis ein DRAM-Vorlademodus PCG bestimmt wird), wird ein

Lesen der Daten mit hoher Geschwindigkeit erreicht.

Wenn der Pufferlese-Übertragungsmodus BRT anstatt des Pufferlesemodus bestimmt ist, dann wird der DRAM-Seitenmodus mit dem Pufferlese-Übertragungsmodus kombiniert, und daher können die Daten unter Verwendung des Seitenmodus des DRAMs aus der DRAM-Anordnung in die SRAM-Anordnung übertragen werden, womit es ermöglicht wird, den Inhalt der SRAM-Anordnung mit einer hohen Geschwindigkeit umzuschreiben. Dieser Aufbau erreicht ferner eine gewünschte Cache-Blockgröße.

Fig. 21 ist ein Schaltbild, welches den Aufbau einer Lesedatenübertragungs-Pufferschaltung zeugt. In Fig. 21 umfaßt die Lesedatenübertragungs-Pufferschaltung 140 Leseverstärker 1004 und 1008 zum Verstärken der Potentiale an den globalen IO-Leitungen GIOa und /GIOa in Reaktion auf ein DRAM-Vorverstärker-Entsperrsignal DPAE, einen Vorverstärker 1006 zum Verstärken der durch die Leseverstärker 1004 und 1008 verstärkten Daten in Reaktion auf das DRAM-Vorverstärker-Entsperrsignal DPAE, ein Master-Datenregister 1000 zum Verriegeln der durch den Vorverstärker 1006 verstärkten Daten und ein Slave-Datenregister 1002, welches die im Master-Datenregister 1000 gespeicherten Daten in Reaktion auf ein DRAM-Leseübertragungs-Entsperrsignal DRTE empfängt.

Der Leseverstärker 1004 enthält einen p-Kanal-MOS-Transistor 1040, dessen Gate ein Signal auf der globalen IO-Leitung GIOa empfängt, einen n-Kanal-MOS-Transistor 1044, dessen Gate das Signal auf der globalen IO-Leitung GIOa empfängt, und einen n-Kanal-MOS-Transistor 1042, welcher in Reaktion auf das DRAM-Vorverstärker-Entsperrsignal DPAE leitet. Die Transistoren 1040, 1042 und 1044 sind zwischen einem Stromversorgungs-Potentialknoten und einem Masse-Potentialknoten in Reihe geschaltet. Ein verstärkter Ausgang wird aus einem Verbindungsknoten der Transistoren 1040 und 1042 erhalten.

Der Leseverstärker 1008 enthält einen p-Kanal-MOS-Transistor 1041 und einen n-Kanal-MOS-Transistor 1045, deren Gates jeweils das Signal auf der globalen IO-Leitung /GIOa empfangen, einen n-Kanal-MOS-Transistor 1043, welcher in Reaktion auf das DRAM-Vorverstärker-Entsperrsignal DPAE eingeschaltet ist. Die Transistoren 1041, 1043 und 1045 sind zwischen dem Stromversorgungs-Potentialknoten und dem Masse-Potentialknoten in Reihe geschaltet. Ein durch das Verstärken des Signals auf der globalen IO-Leitung /GIOa erzeugtes Signal wird aus einem Verbindungsknoten der Transistoren 1041 und 1043 ausgegeben.

Der Vorverstärker 1006 umfaßt p-Kanal-MOS-Transistoren 1060 und 1062, welche zwischen dem Stromversorgungs-Potentialknoten und einem Knoten J parallel geschaltet sind, und p-Kanal-MOS-Transistoren 1064 und 1066, welche zwischen dem Stromversorgungs-Potentialknoten und einem Knoten /J parallel geschaltet sind. Die Gates der Transistoren 1060 und 1066 empfangen das DRAM-Vorverstärker-Entsperrsignal DPAE. Das Gate des Transistors 1062 ist mit dem Knoten /J verbunden, und das Gate des Transistors 1064 ist mit dem Knoten J verbunden.

Das Master-Datenregister 1000 weist ebenfalls einen Inverterverrieglungsaufbau auf. Zwischen den Ausgangsknoten J und /J des Vorverstärkers 1006 und den Verriegelungsknoten M und /M des Master-Registers 1000 sind p-Kanal-MOS-Transistoren 1068 und 1070 vorgesehen, welche in Reaktion auf die entsprechenden Signalpotentiale der Knoten J und /J selektiv einge-

schaltet werden, so daß sie das Stromversorgungspotential an die Knoten M und /M übertragen.

Das Master-Datenregister 1000 umfaßt ferner n-Kanal-MOS-Transistoren 1072 und 1074, welche in Reaktion auf das DRAM-Vorverstärker-Entsperrsignal DPAE eingeschaltet sind, und n-Kanal-MOS-Transistoren 1076 und 1078, deren Gates die entsprechenden Signale an den Knoten J und /J empfangen. Die Transistoren 1072 und 1076 sind zwischen dem Verriegelungsknoten M und dem Massepotential-Knoten in Reihe geschaltet. Die Transistoren 1074 und 1078 sind zwischen dem Verriegelungsknoten /M und dem Massepotential-Knoten in Reihe geschaltet.

Das Slave-Datenregister 1002 weist einen Inverterverrieglungsaufbau auf. Das Slave-Datenregister 1002 ist ferner mit n-Kanal-MOS-Transistoren 1080 und 1082 versehen, welche in Reaktion auf ein DRAM-Leseübertragungs-Entsperrsignal DRTE eingeschaltet sind, und n-Kanal-MOS-Transistoren 1084 und 1086, welche die Signale aus den Verriegelungsknoten M und /M an ihren entsprechenden Gates empfangen.

Die Transistoren 1080 und 1084 sind zwischen einem Verriegelungsknoten N des Slave-Datenregisters 1002 und dem Massepotential-Knoten in Reihe geschaltet. Die Transistoren 1082 und 1086 sind zwischen einem Verriegelungsknoten /N und dem Massepotential-Knoten in Reihe geschaltet.

Die Lesedatenübertragungs-Pufferschaltung 140 umfaßt ferner Schaltungen 1052 und 1054, welche die Potentiale an den entsprechenden Verriegelungsknoten N und /N des Slave-Datenregisters 1002 invertieren und verstärken, und Transfergates 1058 und 1056, welche in Reaktion auf ein Pufferleseübertragungs-Entsperrsignal BRTE leiten und die Ausgänge der Inverterschaltungen 1052 und 1054 an die entsprechenden SRAM-Bitleitungen SBLa und /SBLa übertragen.

Die Signale an den Verriegelungsknoten N und /N des Slave-Datenregisters 1002 werden zum Hauptverstärker 430 übertragen, welcher in Fig. 19 durch Gates Txa und Txb dargestellt ist. Der Pfad sieht einen Pfad zum Auslesen der Daten aus der Lesedatenübertragungs-Pufferschaltung bei der Pufferlesemodus-Operation vor. Die Gates Txa und Txb können den Aufbau des in Fig. 19 gezeigten ersten und zweiten Verstärkers einschließen.

Der Betrieb der in Fig. 21 dargestellten Lesedatenübertragungs-Pufferschaltung wird in Verbindung mit Fig. 22 beschrieben werden, welche die Operationswellenformen zeigt.

Wenn der DRAM-Leseübertragungsmodus DRT bestimmt ist, dann werden eine Zeile und ein Speicherblock in der DRAM-Anordnung gewählt, und die Signalpotentiale an den globalen IO-Leitungen GIOa und /GIOa ändern sich auf Grundlage der Daten der ausgelenen DRAM-Speicherzellen.

Wenn dann das DRAM-Vorverstärker-Entsperrsignal DPAE erzeugt ist, werden die Leseverstärker 1004 und 1008 und der Vorverstärker 1006 aktiviert. Es wird angenommen, daß das Signal auf der globalen IO-Leitung GIOa auf einem Hochpegel und das Signalpotential auf der globalen IO-Leitung /GIOa auf einem Tiefpegel ist. In diesem Falle ist das Potential am Knoten J auf einem Tiefpegel und das Potential am Knoten /J auf einem Hochpegel. Die an die Knoten J und /J übertragenen Signalpotentiale werden mittels der Transistoren 1062 und 1064 mit einer hohen Geschwindigkeit verstärkt. Die Transistoren 1060 und 1066 sind in Reaktion auf das DRAM-Vorverstärker-Entsperrsignal DPAE

ausgeschaltet. Die Transistoren 1060 und 1066 werden zum Vorladen der Knoten J und /J auf das Stromversorgungspotential verwendet. Die Transistoren 1062 und 1064 haben die Aufgabe, die Knoten J und /J auf demselben Potential in einem Vorladezustand zu halten, in welchem das DRAM-Vorverstärker-Entsperrsignal DPAE auf einem Tiefpegel ist.

Die an die Knoten J und /J übertragenen Signale werden durch die Transistoren 1068, 1070, 1076, 1078, 1072 und 1074 in das Master-Datenregister 1000 übertragen. Die Transistoren 1072 und 1074 sind in Reaktion auf das DRAM-Vorverstärker-Entsperrsignal DPAE eingeschaltet.

Es wird angenommen, daß das Potential des Knotens J auf einem Tiefpegel und das Potential des Knotens /J auf einem Hochpegel ist. Die Transistoren 1068 und 1078 sind in einem Einschaltzustand, und die Transistoren 1070 und 1076 sind in einem Ausschaltzustand. So mit sind die Potentiale der Verriegelungsknoten M und /M im Master-Register 1000 entsprechend auf einem Hochpegel bzw. einem Tiefpegel. Durch die Reihe dieser Operationen ist die Datenübertragungs-Operation mittels des Master-Datenregisters 1000 in der Lesedatenübertragungs-Pufferschaltung abgeschlossen.

Dann wird ein DRAM-Leseübertragungs-Entsperrsignal DRTE erzeugt. Somit werden die Transistoren 1080 und 1082 eingeschaltet und die an den Verriegelungsknoten M, /M im Master-Datenregister 1000 gespeicherten Daten an die Verriegelungsknoten N, /N im Slave-Datenregister 1002 übertragen. Da das Potential des Verriegelungsknotens M auf einem Hochpegel ist, ist der Transistor 1084 in einem Einschaltzustand und der Transistor 1086 in einem Ausschaltzustand. Somit erreichen die Signalpotentiale an den Verriegelungsknoten N und /N entsprechend einen Tiefpegel bzw. einen Hochpegel.

Durch die Reihe dieser Operationen ist die Speicherung der Daten im Slave-Datenregister 1002 in der Lesedatenübertragungs-Pufferschaltung 140 abgeschlossen. Das Signalpotential der Verriegelungsknoten N, /N kann mittels der Gates Txb, Txa ausgelesen werden. Insbesondere erlaubt es das Ausführen einer Pufferlesemodus-Operation nach dem Ablauf der Latenz, die in der Lesedatenübertragungs-Pufferschaltung gespeicherten Daten mit einer hohen Geschwindigkeit auszulesen.

Zur Zeit der Datenübertragung in die SRAM-Anordnung wird ein Pufferleseübertragungs-Entsperrsignal BRTE erzeugt. Somit werden die Ausgänge der Inverterschaltungen 1052 und 1054 an die SRAM-Bitleitungen SBLa und /SBLa mittels der Gates 1058 und 1056 übertragen. Bei dem in Fig. 21 gezeigten Aufbau können die Inverterschaltungen 1052 und 1054 eine Dreipol-Inverterschaltung sein, welche in Reaktion auf das Pufferleseübertragungs-Entsperrsignal BRTE aktiviert ist.

Bei einer Übertragungsoperation in der Lesedatenübertragungs-Pufferschaltung wird das Erzeugungs-Timing des DRAM-Leseübertragungs-Entsperrsignals DRTE in Reaktion auf das Taktsignal bestimmt. Der DRAM-Leseübertragungsmodus DRTE wird mit einer Latenz von 3 bestimmt, wobei das DRAM-Leseübertragungs-Entsperrsignal DRTE im zweiten Taktzyklus erzeugt wird. Somit können die Timings für die Datenübertragung in die Lesedatenübertragungs-Pufferschaltung leicht gesteuert werden, so daß festgelegte Daten in die Lesedatenübertragungs-Pufferschaltung übertragen werden.

Wie vorstehend beschrieben, kann mit dem Zwei-Stufen-Verriegelungs-Schaltungsaufbau des Slave-Datenregisters und des Master-Registers bei der Leseübertragungs-Pufferschaltung eine Datenübertragung sicher durchgeführt werden. Eine Latenzsteuerung kann ferner leicht und sicher durchgeführt werden.

Wenn das Erzeugungs-Timing des DRAM-Leseübertragungs-Entsperrsignals DRTE auf Grundlage des Erzeugungs-Timings des Taktsignals Ka bestimmt wird, dann werden die Daten des Slave-Registers 1002 zur Zeit der Datenübertragung aus dem Master-Register 1000 in das Slave-Register 1002 instabil, und daher kann zum Datenlesen auf das Slave-Register 1002 nicht zugegriffen werden. Um das Lesen von derartigen instabilen Daten zu verhindern, kann das Zugreifen auf das Slave-Register 1002 während eines Zeitabschnitts von einem Taktzyklus vor der Latenz mit "DTBR-Takt aus" untersagt werden.

Fig. 23 ist eine Darstellung, welche einen Schaltungsaufbau zum Erzeugen von Steuersignalen bezüglich einer Datenübertragung schematisch zeigt. In Fig. 23 umfaßt eine SRAM-Steuerschaltung 132 eine SRAM-Steuerschaltung 850, welche ein Signal BWT, das einen Datenschreiboperationsmodus in der Schreibdatenübertragungs-Pufferschaltung bestimmt, ein Signal BRT, das eine Operation zum Datenlesen (Datenlesen in ein Dateneingangs-/Datenausgangs-Pin oder in die SRAM-Anordnung) aus der Lesedatenübertragungs-Pufferschaltung in Reaktion auf die internen Steuertakte Signale CC0, CC1 anzeigt, und ein internes Schreibentsperrsignal WE erzeugt und welche ferner ein Signal W/R erzeugt, das entweder ein Datenschreiben oder ein Datenlesen anzeigt, und eine SRAM-Treiberschaltung 852, welche die zur Datenübertragung notwendigen Signale BWT, BRTE und BRE gemäß den Signalen BWTm und BRTm aus der SRAM-Steuerschaltung 850 erzeugt. Das Signal BWTm spezifiziert entweder den Pufferschreibmodus BW, den Pufferschreibübertragungsmodus BWT oder den Pufferschreibübertragungsmodus BWTW. Das Signal BRTm spezifiziert entweder den Pufferlesemodus BR, den Pufferleseübertragungsmodus BRT oder den Pufferleseübertragungs-Lesemodus BRTR. Das Signal BWTE ist ein Pufferschreibübertragungs-/Pufferschreibentsperrsignal, das für den Schreiboperationsmodus erzeugt wird, bei welchem Daten aus der DRAM-Anordnung oder der Lesedatenübertragungs-Pufferschaltung in ein Register der ersten Stufe in der Schreibdatenübertragungs-Pufferschaltung (Zwischen-Schreibdatenübertragungs-Pufferschaltung TDTBW) übertragen werden.

Das Signal BRTE ist ein Pufferleseübertragungs-Entsperrsignal, das zur Zeit der Datenübertragung aus der Lesedatenübertragungs-Schaltung in die SRAM-Anordnung erzeugt wird.

Das Signal BRE ist ein Pufferlese-Entsperrsignal, das erzeugt wird, wenn die Daten in der Lesedatenübertragungs-Schaltung zum Ausgeben ausgelesen werden.

Eine Gatterschaltung 860 enthält eine Gatterschaltung 854, welche ein Schreib-/Lesesignal W/R und den Ausgang des Spaltendecodierers 120 empfängt, und eine Gatterschaltung 856, welche das Schreib-/Lesesignal W/R und den Ausgang des Spaltendecodierers 120 empfängt. Die Gatterschaltung 854 funktioniert als Pufferschaltung, wenn das Schreib-/Lesesignal W/R einen Datenschreibmodus anzeigt, und läßt den Ausgang aus dem Spaltendecodierer 120 durch hindurch und erzeugt ein Signal BYW. Das Signal BYW wird an das Zwischenregister in der Schreibdatenübertragungs-Puf-

ferschaltung und der SRAM-Schreibtreiberschaltung 810 gelegt (siehe Fig. 19). Somit wird eine 1-Bit-Speicherzelle der Speicherzellen mit 16 Bits oder ein Schreibdatenübertragungspuffer (TDTBW) gewählt und werden Daten in die gewählte Speicherzelle oder den gewählten Puffer geschrieben.

Die Gatterschaltung 856 lässt den Ausgang aus dem Spaltendecodierer 120 durch, wenn das Schreib-/Lesesignal W/R einen Datenlesemodus anzeigt, und erzeugt ein Signal RYW. Das Signal RYW wird an den zweiten Abtastverstärker 814 gelegt, wobei dann ein Abtastverstärker aus 16 Abtastverstärkern gewählt wird, und der Ausgang des gewählten Abtastverstärkers wird mittels der Hauptverstärker-Schaltung ausgelesen.

Die DRAM-Steuerschaltung 128 umfasst eine DRAM-Steuerschaltung 860, welche die internen Steuersignale RAS, CAS und DTD empfängt, wobei sie einen festgelegten Operationsmodus bestimmt und Signale DWTm und DRTm auf Grundlage des Ergebnisses der Bestimmung erzeugt, und eine DRAM-Treiberschaltung 862, welche die zur Datenübertragung notwendigen Signale DPAE, DRTE, DWTE und DWDE gemäß den Signalen DWTm und DRTm aus der DRAM-Steuerschaltung 860 erzeugt.

Das Signal DWTm ist ein Signal, das zur Zeit der Datenübertragung aus der Lesedatenübertragungs-Pufferschaltung in die DRAM-Anordnung erzeugt wird. Das Signal DRTm ist ein Signal, das erzeugt wird, wenn die Daten aus der DRAM-Anordnung in die Lesedatenübertragungs-Pufferschaltung übertragen werden. Wenn die in Fig. 4 dargestellten Operationsmodi DWT1R und DWT2R bestimmt sind, dann werden beide Signale DWTm und DRTm erzeugt. Das Signal DPAE ist ein DRAM-Vorverstärker-Entsperrsignal, und das Signal DRTE ist ein DRAM-Leseübertragungs-Entsperrsignal. In Reaktion auf das Signal DRTE werden die Daten mittels eines Slave-Registers in der Lese-datenübertragungs-Pufferschaltung verriegelt.

Das Signal DWDE ist ein Signal, welches zur Zeit der Datenübertragung aus dem Zwischenschreibregister in das Master-Register (DTDW) erzeugt wird. Das Signal DWDE ist ein Signal, das erzeugt wird, wenn die im Master-Register in der Schreibdatenübertragungsschaltung gespeicherten Daten in die DRAM-Anordnung übertragen werden.

Die SRAM-Treiberschaltung 852 und die DRAM-Treiberschaltung 862 empfangen beide ein internes Taktsignal K (Ka). Der Grund dafür ist, daß die Datenübertragungs-Timings durch die Takte festgelegt sind und das Übertragungs-Timing durch die Latenz bestimmt wird. Die Dauer der Latenz wird auf Grundlage eines Datensatzes in einem Befehlsregister (nicht dargestellt) bestimmt.

Fig. 24 ist eine Darstellung, welche den Aufbau eines Abschnitts zum Erzeugen eines Signals zur Anweisung einer Übertragung DRTE im Lesedatenübertragungs-Puffer zeigt. In Fig. 24 umfaßt eine DRAM-Datenübertragungs-Treiberschaltungseinrichtung eine DRAM-Lesebefehl-Ermittlungsschaltung 902, welche in Reaktion auf die Signale RAS, CAS und DTD ermittelt, ob ein Lesen von Daten in der DRAM-Anordnung bestimmt ist oder nicht (nachstehend wird der Befehl als DRAM-Lesebefehl bezeichnet), einen in Reaktion auf den Ausgang der DRAM-Lesebefehl-Ermittlungsschaltung 902 aktivierte Latenzzähler 904 zum Zählen der internen Taktsignale Ka und zum Erzeugen eines Zusammenzählsignals, wenn eine vorgeschriebene Anzahl zusammengezählt wurde, eine Pufferlesebefehl-Ermitt-

lungsschaltung 910, welche in Reaktion auf die Signale BRTE und BRE aus der SRAM-Treiberschaltung (siehe Fig. 23) ermittelt, ob ein Zugreifen mittels der Lesedatenübertragungs-Pufferschaltung bestimmt ist oder nicht, eine Gatterschaltung 906 zum Erzeugen eines Setzsignals in Reaktion auf den Ausgang des Latenzzählers 904 und den Ausgang der Pufferlesebefehl-Ermittlungsschaltung 910 und ein Flipflop 908, das in Reaktion auf den Ausgang der Gatterschaltung 906 gesetzt wird und in Reaktion auf den Ausgang der DRAM-Lesebefehl-Ermittlungsschaltung 902 rückgesetzt wird.

Wie aus der Logik der Steuersignale in Fig. 4 deutlich zu erkennen ist, wird das Lesebefehl-Ermittlungssignal DRTm aus der DRAM-Lesebefehl-Ermittlungsschaltung 902 im DRAM-Leseübertragungsmodus DRT, im DRAM-Schreibübertragungsmodus DWT1R und im DRAM-Schreibübertragungs-2-Lesemodus DWT2R, nämlich in Operationsmodi, bei welchen die Daten in die Lesedatenübertragungs-Pufferschaltung geladen werden, erzeugt. Die DRAM-Lesebefehl-Ermittlungsschaltung 902 ist in der in Fig. 23 gezeigten DRAM-Steuer-schaltung 860 enthalten.

Der Latenzzähler 904 zählt die internen Taktsignale Ka in Reaktion auf das DRAM-Lesebefehl-Ermittlungssignal DRTm. Wenn der Zählerwert um 1 kleiner als eine vorher festgelegte Latenz ist, dann erzeugt der Latenzzähler 904 ein Zusammenzählsignal. Wenn die Latenz mit 3 spezifiziert ist, dann zählt der Latenzzähler 904 das Taktsignal Ka ab dem mit dem DRAM-Lesebefehl-Ermittlungssignal DRTm vorgesehenen Taktzyklus, und bei einem Zählerwert von 2 erzeugt er in Reaktion auf ein Zunehmen des darauffolgenden Taktsignals Ka ein Zusammenzählsignal.

Die Pufferlesebefehl-Ermittlungsschaltung 910 umfaßt einen Inverterpuffer zum Invertieren der Signale BRE und BRT aus der SRAM-Treiberschaltung 852. Wenn die Signale BRE und BRTE erzeugt werden, dann ist eine Datenübertragung aus der Lesedatenübertragungs-Pufferschaltung in die SRAM-Anordnung im Gang oder wird auf den Slave-Lesedatenübertragungspuffer in der Lesedatenübertragungs-Pufferschaltung extern zugegriffen.

Die Gatterschaltung 906 gibt ein Signal mit einem Hochpegel aus, wenn die angelegten Signale alle auf einem Hochpegel sind. Wenn die Daten in der Lesedatenübertragungs-Pufferschaltung verwendet werden, dann gibt die Gatterschaltung 906 kein Signal mit einem aktiven (hohen) Pegel aus, selbst wenn das Ausgangssignal des Zählers 904 einen sich auf H befindenden aktiven Zustand erreicht.

Das Flipflop 908 wird in Reaktion auf den Ausgang der Gatterschaltung 906 gesetzt, welche einen aktiven Pegel erreicht, und es aktiviert das aus seinem Q-Ausgang erzeugte Signal zur Anweisung einer Datenübertragung DRTE. Das Flipflop 908 behält ferner seinen Setzzustand so lange bei, bis nächstens ein Lesebefehl-Ermittlungssignal DRTm angelegt wird. Somit kann das Erzeugungs-Timing für das Lesedatenübertragungs-Anweisungssignal DRTE leicht gesteuert werden. Durch Erzeugen des Lesedatenübertragungs-Anweisungssignals DRTE mit dem Flipflop 908 kann außerdem das Signal DRT in einem aktiven Zustand sofort auf Grundlage des Ausgangs des Latenzzählers erzeugt werden, nachdem die Verwendung (Übertragung) der Daten in der Lesedatenübertragungs-Pufferschaltung abgeschlossen ist.

Fig. 25 ist eine Darstellung, welche den Aufbau einer Lesedatenübertragungs-Pufferschaltung in vereinfach-

ter Art und Weise darstellt. Die Lesedatenübertragungs-Pufferschaltung ist in Fig. 21 detailliert gezeigt, doch zur Erleichterung der folgenden Beschreibung ist sie in einer vereinfachten Form dargestellt. Die Lesedatenübertragungs-Pufferschaltung umfaßt ein Master-Datenregister MDTBR, welches die Daten aus der DRAM-Anordnung empfängt, ein Slave-Datenregister SDTBR, welches die Daten aus dem Master-Datenregister MDTBR speichert, und ein Transfergate Tz, welches in Reaktion auf das Datenübertragungs-Anweisungssignal DRTE leitet und die Daten aus dem Master-Datenregister MDTBR in das Slave-Datenregister SDTBR überträgt. Das Master-Datenregister MDTBR entspricht den Schaltungsblöcken 1000, 1004 und 1006 und den Transfergates 1072, 1074, 1076 und 1078 in Fig. 21. Das Transfergate Tz entspricht den Gates 1080, 1082, 1084 und 1086 in Fig. 21. Das Slave-Datenregister SDTBR entspricht dem Schaltungsblock 1002 und den Invertern 1052 und 1054 bei dem in Fig. 21 gezeigten Aufbau.

Die im Slave-Datenregister SDTBR gehaltenen Daten werden mittels eines Transfergates Ty an die SRAM-Anordnung 104 oder mittels eines Transfergates Tx an den Hauptverstärker gelegt. Das Transfergate Ty leitet in Reaktion auf das Signal BRTE, und das Transfergate Tx leitet in Reaktion auf das Signal BRE. Das Transfergate Tx entspricht den in Fig. 21 dargestellten Transfergates Txa und Txb, und das Transfergate Ty entspricht den Transfergates 1056 und 1058. Der in Fig. 21 gezeigte Aufbau ist ein Schaltungsaufbau zur Übertragung von 1-Bit-Daten, und bei dem in Fig. 25 dargestellten Aufbau wird eine Übertragung von 16-Bit-Daten durchgeführt. Der Betrieb der in Fig. 24 gezeigten Schaltung wird in Verbindung mit einer Wellenform-Darstellung für den Betrieb in Fig. 26 beschrieben werden.

Fig. 26 zeigt einen Betrieb bei einer Latenzperiode von 3.

In einem Zyklus 0 des externen Taktsignals extK wird ein DRAM-Leseübertragungsmodus DRT spezifiziert. In Reaktion darauf wird aus den mit einer gewählten Zeile in der DRAM-Anordnung verbundenen Speicherzellen ein Spaltenblock (Speicherzellen von 16 Bits für eine Speicherebene) gemäß einem zur Zeit angelegten DRAM-Spaltenadressensignal gewählt und werden dessen Daten in das Master-Register MDTBR übertragen. Das Timing zur Datenübertragung aus der DRAM-Anordnung 102 in das Master-Datenregister MDTBR, mit anderen Worten das Timing zum Erzeugen des Vorverstärker-Entsperrssignals DPAE, wird ferner gewöhnlich auf Grundlage der Latenz bestimmt, und in einem Taktzyklus 1 wird die Datenübertragung aus der DRAM-Anordnung in das Master-Datenregister MDTBR ausgeführt. Die Daten, die im Master-Datenregister MDTBR gespeichert worden sind, werden somit mit den neu übertragenen Daten umgeschrieben.

In einem zweiten Taktzyklus 2 wird ein Pufferlesemodus BR spezifiziert. Dadurch wird das Pufferlese-Entsperrsignal BRE in einen aktiven Zustand (auf einen Hochpegel) gebracht, welcher das Transfergate Tx einschaltet. Da zu dieser Zeit das Ermittlungssignal /BRE aus der Pufferlesebefehl-Ermittlungsschaltung 910 einen Tiefpegel erreicht, behält der Ausgang der Gatterschaltung 906 seinen inaktiven Tiefpegel bei, selbst wenn der Ausgang des Latenzzählers 904 einen aktiven Zustand oder einen Hochpegel erreicht. Daher wird eine Datenübertragung aus dem Master-Datenregister MDTBR in das Slave-Datenregister SDTBR nicht aus-

geführt. Der Grund dafür besteht darin, daß das DRAM-Leseübertragungs-Entsperrsignal DRTE auf einem inaktiven Tiefpegel und das Transfergate Tz in einem Nicht-Leitzustand ist.

5 Im Pufferlesemodus BR werden alle im Slave-Datenregister SDTBR gespeicherten Daten ausgelesen und an den Ausgang des Hauptverstärkers übertragen (eine Auswahloperation mittels des Spaltendecodierers wird ausgeführt). In Reaktion auf ein Abnehmen des Pufferlese-Entsperrsignals BRE auf einen Tiefpegel nimmt der Ausgang der Gatterschaltung 906 auf einen Hochpegel bei einem aktiven Zustand zu, da der Ausgang des Latenzzählers 904 seinen Hochpegel behält.

10 In Reaktion auf ein Setzen des Flipflops 903 erreicht das DRAM-Lesedatenübertragungs-Entsperrsignal DRT einen Hochpegel bei einem aktiven Zustand, und das Transfergate Tz leitet. Im Ergebnis werden die Speicherdaten im Master-Datenregister MDTBR in das Slave-Datenregister SDTBR übertragen. Die Speicherdaten des Slave-Datenregisters SDTBR werden nur für einen kurzen Zeitabschnitt instabil, und in einem Taktzyklus 3 können die im Slave-Datenregister SDTBR gespeicherten neuen Daten ausgelesen werden, wenn der Pufferlesemodus BR spezifiziert ist.

15 20 25 Das Flipflop 908 behält seinen Setzzustand so lange bei, bis nächstens der DRAM-Leseübertragungsmodus DRT spezifiziert wird. Bei Verwendung des Flipflops 908 wird ein Übertragungsentsperrsignal DRTE mit einer Impulsbreite von einer ausreichenden Zeitdauer erzeugt, selbst wenn der Ausgang der Gatterschaltung 906 eine kurze Impulsbreite für einen Einzelimpuls aufweist, und eine Datenübertragung aus dem Master-Datenregister MDTBR in das Slave-Datenregister SDTBR ist ohne irgendeinen komplizierten Timing-Entwurf gesichert.

30 35 40 45 In einem Taktzyklus 4, wenn der Modus DRT spezifiziert ist, wird das Flipflop 908 in Reaktion auf das Lesebefehl-Ermittlungssignal DRTm aus der DRAM-Lesebefehl-Ermittlungsschaltung 902 rückgesetzt, wobei das Übertragungsentsperrsignal DRTE auf einen Tiefpegel abnimmt und das Master-Register MDTBR und das Slave-Datenregister SDTBR getrennt werden. Ab diesem Taktzyklus und in den folgenden Taktzyklen wird eine neue Datenübertragungsoperation ausgeführt, und nach Ablauf von zwei Takten seit dem Taktzyklus 4 wird mittels des Master-Datenregisters eine Datenübertragung aus der DRAM-Anordnung in das Slave-Datenregister SDTBR ausgeführt.

50 55 60 In Fig. 26 nimmt im Taktzyklus 4, wenn der DRAM-Leseübertragungsmodus DRT spezifiziert ist, das Übertragungsentsperrsignal DRTE auf einen Tiefpegel in einem inaktiven Zustand ab, bevor das Taktignal extK im Taktzyklus 4 zunimmt, da in dieser Ausführungsform der vorstehend beschriebene Eingangspuffer einen Durchgangszustand erreicht, wenn das Taktignal K auf einem Tiefpegel ist, wobei ein Lesebefehl ermittelt wird, bevor das Taktignal extK in einen aktiven Zustand übergeht, und das Flipflop 908 wird auf Grundlage des Ermittlungsergebnisses rückgesetzt.

65 60 65 Fig. 27 ist eine Darstellung, welche eine andere Operationsreihenfolge für die Lesedatenübertragungs-Pufferschaltung zeigt. Bei der Operationsreihenfolge in Fig. 27 wird anfangs ein DRAM-Leseübertragungsmodus DRT spezifiziert, dann wird der Lesedaten-Übertragungsmodus DRT in einem Datenübertragungszyklus innerhalb der Lesedatenübertragungs-Pufferschaltung neu spezifiziert. Bei der Operationsreihenfolge in Fig. 27 wird eine Latenzperiode von 3 vorausgesetzt.

In einem Taktzyklus 0 wird ein DRAM-Leseübertragungsmodus DRT spezifiziert. Auf Grundlage des DRAM-Leseübertragungsmodus DRT werden die Daten aus der DRAM-Anordnung in das Master-Datenregister MDTBR (in einem Taktzyklus 1) übertragen.

In einem Taktzyklus 2 wird der DRAM-Leseübertragungsmodus DRT neu spezifiziert. Der erneut verwendete DRAM-Lesemodus DRT setzt den Zählwert des Latenzzählers auf einen Anfangswert zurück. Folglich wird der im Taktzyklus 2 zu erzeugende Ausgang des Latenzzählers (unterbrochene Linie in Fig. 27) nicht erzeugt (er erreicht keinen aktiven Zustand), und daher ist das DRAM-Leseübertragungs-Entsperrsignal DRTE auch nicht aktiviert. Auf Grundlage des erneut verwendeten DRAM-Leseübertragungsmodus DRT werden die Daten der in der DRAM-Anordnung gewählten Speicherzellen in das Master-Register MDTBR (in einem Taktzyklus 3) übertragen. Somit werden die im Master-Datenregister MDTBR gespeicherten Daten mittels des im Taktzyklus 0 spezifizierten DRAM-Leseübertragungsmodus DRT mit den Daten derjenigen Speicherzellen umgeschrieben, welche mittels des im Taktzyklus 2 verwendeten DRAM-Leseübertragungsmodus DRT gewählt wurden. Auf Grundlage des erneut verwendeten DRAM-Leseübertragungsmodus DRT im Taktzyklus 2 führt der Latenzzähler eine Zähloperation aus, wobei der Ausgang des Latenzzählers in einem Taktzyklus 4 nach Ablauf von zwei Taktzyklen seit dem Taktzyklus 2 aktiviert wird, und das Datenübertragungs-Entsperrsignal DRTE erreicht einen aktiven Zustand (das Pufferlese-Entsperrsignal BRE und das Pufferleseübertragungs-Entsperrsignal DRTE sind beide auf einem Tiefpegel, in einem inaktiven Zustand). In Reaktion auf das im Taktzyklus 4 erzeugte Datenübertragungs-Entsperrsignal DRTE leitet das Transfertage Tz, und die Daten werden aus dem Master-Datenregister MDTBR in das Slave-Datenregister SDTBR übertragen.

Im vorstehenden Operationsmodus wird der im Taktzyklus 0 verwendete DRAM-Leseübertragungsmodus DRT ignoriert (Leseaufhebung). In einem derartigen Operationsmodus werden die Daten im Slave-Datenregister SDTBR zur Zeit der Übertragung nicht instabil, und auf das Slave-Datenregister kann in einem beliebigen Zyklus zugegriffen werden.

Fig. 28 ist ein Schaltbild, welches den Aufbau des in Fig. 24 dargestellten Latenzzählers detailliert zeigt. In Fig. 28 umfaßt ein Latenzzähler 904 eine Mehrzahl von in Kaskade geschalteten Flipflops 920 bis 925. Die Flipflops 921 bis 925 enthalten jeweils einen Taktsignal-Eingangsanschluß CLK, Signaleingangsanschlüsse D und /D, einen Rücksetzanschluß R und Signalausgangsanschlüsse Q und /Q. Die Takteingangsanschlüsse CLK der Flipflops 920, 922 und 924 werden mit einem internen Taktsignal Ka versorgt (welches dem internen Taktsignal DK des DRAMs entspricht), und die Takteingangsanschlüsse CLK der Flipflops 921, 923 und 925 werden durch einen Inverter 926 mit dem inversen Signal des internen Taktsignals Ka versorgt. Jedes der Flipflops 920 bis 925 erreicht einen Durchgangszustand, wenn das an den Takteingangsanschluß CLK gelegte Taktsignal auf einem Hochpegel ist, und es erreicht einen Verriegelungszustand, wenn das an den Takteingangsanschluß CLK gelegte Taktsignal auf einem Tiefpegel ist.

Der Signaleingangsanschluß D des Flipflops 920 in der ersten Stufe wird mit einem DRAM-Lesebefehl-Ermittlungssignal DRTm versorgt, und der Signalein-

gangsanschluß /D des Flipflops 920 der ersten Stufe empfängt das Lesebefehl-Ermittlungssignal DRTm durch einen Inverter 927. Bei jedem der Flipflops 921 bis 925 sind die Ausgänge Q und /Q eines Flipflops in einer vorhergehenden Stufe mit den Eingangsanschlüssen D und /D verbunden.

Der Latenzzähler 904 umfaßt ferner eine Dreipol-Pufferschaltung 930, welche den Ausgang des Flipflops 920 in Reaktion auf ein Latenz-1-Setzsignal LAT1 durchläßt, eine Dreipol-Pufferschaltung 931, welche in Reaktion auf ein Latenz-2-Setzsignal LAT2 leitet und den Ausgang Q3 des Flipflops 922 durchläßt, und eine Dreipol-Pufferschaltung 932, welche in Reaktion auf ein Latenz-3-Setzsignal LAT3 leitet und den Ausgang Q5 des Flipflops 924 durchläßt. Die Ausgangsabschnitte der Dreipol-Pufferschaltungen 930 bis 932 sind in Wired-OR-Schaltung geschaltet.

Die Latenz-Setzsignale LAT1, LAT2 und LAT3 werden von einer Latenz-Setzschaltung 940 erzeugt, welche beispielsweise ein Befehlsregister ist. Die Latenz-Setzschaltung 940 wird in einem Spezialmodus, wie beispielsweise einem Setzbefehlsregistermodus SCR, mit externen Daten versorgt, und darin werden die Latenz-Daten gesetzt.

Fig. 29 ist ein Schaltbild, welches den Aufbau eines in Fig. 28 gezeigten Flipflops detailliert darstellt. In Fig. 28 enthält ein Flipflop FF eine 2-Eingangs-NAND-Schaltung 1660, welche ein an einen Eingangsanschluß D gelegtes Eingangssignal IN und ein internes Taktsignal Ka empfängt, eine 2-Eingangs-NAND-Schaltung 1662, welche ein an einen Eingangsanschluß /D gelegtes Eingangssignal /IN und das interne Taktsignal Ka empfängt, und NAND-Schaltungen 1164 und 1666, welche eine Verriegelungsschaltung bilden.

Die NAND-Schaltung 1664 empfängt den Ausgang der NAND-Schaltung 1660 und den Ausgang der NAND-Schaltung 1666. Die NAND-Schaltung 1666 empfängt den Ausgang der NAND-Schaltung 1662 und den Ausgang der NAND-Schaltung 1664. Der Ausgangsabschnitt der NAND-Schaltung 1664 ist mit dem Datenausgangsanschluß Q verbunden, und der Ausgangsabschnitt der NAND-Schaltung 1666 ist mit dem Datenausgangsanschluß /Q verbunden. Der Betrieb des in Fig. 29 gezeigten Flipflops wird in Verbindung mit Fig. 30 beschrieben werden, welche eine Operations-Wellenform-Darstellung zeigt.

Wenn das interne Taktsignal Ka auf einem Tiefpegel ist, dann sind die Ausgänge der NAND-Schaltungen 1660 und 1662 auf einem Hochpegel und dann ändern sich die Ausgänge der NAND-Schaltungen 1664 und 1666 nicht. Mit anderen Worten, ein Verriegelungszustand ist erreicht.

Wenn das interne Taktsignal Ka einen Hochpegel erreicht, dann funktionieren die NAND-Schaltungen 1660 und 1662 als Inverterpuffer und dann ändern sich die Ausgänge der NAND-Schaltungen 1664 und 1666 in Reaktion auf die Zustände der Eingangssignale IN und /IN. Da nun das Eingangssignal IN auf einem Hochpegel ist, erreicht der Ausgang Q einen Hochpegel.

In Reaktion auf ein Abnehmen des Taktsignals Ka auf einen Tiefpegel erreicht das Flipflop FF einen Verriegelungszustand.

Wenn das Taktsignal Ka einen Hochpegel erreicht und das Eingangssignal IN auf einem Tiefpegel ist, dann erreicht der Ausgang der NAND-Schaltung 1660 einen Hochpegel und der Ausgang der NAND-Schaltung 1662 einen Tiefpegel. Somit erreicht der Ausgang der NAND-Schaltung 1666 einen Hochpegel und der Aus-

gang der NAND-Schaltung 1664 einen Tiefpegel.

Der Ausgang Q des Flipflops FF ändert sich in Reaktion auf das Eingangssignal IN, wenn das Taktsignal Ka auf einem Hochpegel ist, und er wird unabhängig vom Zustand des Eingangssignals IN beibehalten, wenn das Taktsignal auf einem Tiefpegel ist. Insbesondere erreicht das Flipflop FF einen Durchgangszustand, wenn das Taktsignal Ka auf einem Hochpegel ist, und es erreicht einen Verriegelungszustand, wenn das Taktsignal auf einem Tiefpegel ist.

Nun wird der Betrieb des in Fig. 28 dargestellten Latenzzählers 904 in Verbindung mit dessen Operations-Wellenform-Darstellung in Fig. 31 beschrieben werden.

Beim Taktsignal 0 erreicht das DRAM-Lesebefehl-Ermittlungssignal DRTm einen aktiven Zustand. In Reaktion auf das Lesebefehl-Ermittlungssignal DRTm werden die Flipflops 921 bis 925 rückgesetzt, und deren Ausgänge Q2 bis Q6 erreichen einen Tiefpegel. Da das Flipflop 920 in einem Durchgangszustand ist, wenn das Taktsignal auf einem Hochpegel ist, nimmt dessen Ausgang Q1 auf Grundlage des Lesebefehl-Ermittlungssignals DRTm auf einen Hochpegel zu (das Lesebefehl-Ermittlungssignal DRTm wird nicht an den Rücksetzeingang des Flipflops 920 gelegt). Der Ausgang Q1 wird in Reaktion auf ein Abnehmen des Taktsignals Ka auf einen Tiefpegel verriegelt.

Das Flipflop 921 erreicht in Reaktion auf ein Abnehmen des Taktsignals Ka auf einen Tiefpegel einen Durchgangszustand, und dessen Ausgang Q2 nimmt auf Grundlage des Ausgangs Q1 des Flipflops 920 auf einen Hochpegel zu. Diese Operation wird nachfolgend wiederholt, und die Ausgänge Q3 bis Q6 der Flipflops 922 bis 925 erreichen während einer Taktzyklus-Periode jeweils nach der Hälfte des Zyklus des Taktsignals Ka aufeinanderfolgend einen Hochpegel.

Da die Latenz mit 3 spezifiziert ist, ist der Dreipol-Puffer 932 in einem Leitungszustand. Wenn folglich der Ausgang Q5 des Flipflops 924 einen Hochpegel erreicht, mit anderen Worten im Taktzyklus 2, nimmt ein Aufwärtszählsignal  $\Phi_{up}$  während einer Taktzyklus-Periode auf einen Hochpegel zu.

Wie vorstehend beschrieben, kann durch Rücksetzen der das Flipflop 920 der ersten Stufe ausschließenden Flipflops 921 bis 925 in Reaktion auf das Lesebefehl-Ermittlungssignal DRTm die Latenz auf Grundlage des somit neu angelegten Lesebefehl-Ermittlungssignals DRTm zuverlässig gezählt werden.

Wie im vorstehenden kann durch Eliminieren der Periode, in welcher die Daten in der Lesedatenübertragungs-Pufferschaltung instabil sind, die externe Verarbeitungseinheit auf verschiedene Spaltenblöcke in der DRAM-Anordnung ohne Warten kontinuierlich zugreifen, wie in Fig. 32 dargestellt. Nun wird die kontinuierliche Zugriffsoperation in Verbindung mit Fig. 32 beschrieben werden.

In Fig. 32 ist eine Leseoperation von Daten mit einer Latenz von 3 dargestellt. Im Taktzyklus 4 wird der DRAM-Leseübertragungsmodus DRT spezifiziert. Im Taktzyklus 7 wird nach Ablauf der 3 Latenzperioden der Pufferlesemodus BR spezifiziert, und außerdem wird der Datenübertragungsmodus DRT spezifiziert. Aus dem mittels des ersten Datenübertragungsmodus DRT gewählten Datenblock C1 in der DRAM-Anordnung werden die Daten auf Grundlage der SRAM-Adressen As0 bis As11 ausgelesen.

Im Taktzyklus 9 wird der Inhalt des Slave-Datenregisters SDTBR auf Grundlage des im Taktzyklus 7 verwendeten Modus DRT geändert. Die Daten B3, die ent-

sprechend der im Zyklus 9 verwendeten Adresse B3 ausgelesen werden, sind jene Daten, die im Zyklus 8 im Slave-Datenregister SDTBR gespeichert werden. Wenn der Pufferlesemodus BR im Zyklus 10 spezifiziert ist, dann sind die vom Zyklus 10 und den darauffolgenden Zyklen ausgelesenen Daten jene Daten, die im Datenblock C2 enthalten sind.

Wie in Fig. 32 dargestellt, wird im Slave-Datenregister SDTBR die Datenübertragung nur ausgeführt, wenn dessen Speicherdaten nicht verwendet werden. Folglich ist im Unterschied zur Operations-Wellenform-Darstellung in Fig. 20 keine Wartezeit notwendig, und die Daten können mit einer höheren Geschwindigkeit verarbeitet werden. Insbesondere bei Videoanwendungen ist beim Verarbeiten von Bilddaten ein als nächstes anzulegendes Adressensignal vorher bekannt. Wenn folglich der Datenübertragungsmodus DRT ausgeführt wird, bevor die Daten in einem Spaltenblock alle ausgelesen sind, dann können die Bilddaten ohne Warten verarbeitet werden und kann ein mit hoher Geschwindigkeit arbeitendes Bildverarbeitungssystem verwirklicht werden.

#### Ein spezieller Aufbau des externen Signaleingangspuffers

Fig. 33 ist ein Schaltbild, welches speziell den Aufbau eines in Fig. 6 gezeigten K-Puffers darstellt. In Fig. 33 umfaßt ein K-Puffer 203 ein Flipflop 2002, welches in Reaktion auf ein Zunehmen des externen Taktsignals K gesetzt und in Reaktion auf ein Taktabtast-Sperrsignal KDIS rückgesetzt wird, eine Inverterschaltung 2003 zum Invertieren eines Signals an einem Ausgangsknoten 2Y des Flipflops 2002 und eine AND-Schaltung 2004, welche das externe Taktsignal K und ein Ausgangssignal der Inverterschaltung 2003 empfängt. Ein erstes internes Taktsignal SKT wird von der AND-Schaltung 2004 erzeugt. Das Flipflop 2002 enthält NAND-Schaltungen 2011 und 2012, bei denen jeweils ein Eingang und ein Ausgang über Kreuz verbunden sind. Die NAND-Schaltungen 2011 und 2012 empfangen an den entsprechenden anderen Eingängen das Abtast-Sperrsignal KDIS und das externe Taktsignal K.

Der K-Puffer 203 umfaßt ferner einen n-Kanal-MOS-Transistor 2005 zum Verkleinern des Taktabtast-Sperrsignals KDIS auf einen Tiefpegel in Reaktion auf ein erstes internes Taktsignal SKT, eine Inverterschaltung 2007 zum Invertieren des Taktabtast-Sperrsignals KDIS und zum Erzeugen eines zweiten internen Taktsignals SK und eine Inverterschaltung 2006 zum Invertieren des zweiten internen Taktsignals SK. Die Inverterschaltungen 2006 und 2007 bilden eine Verriegelungsschaltung. Der Transistor 2005 verkleinert das Taktabtast-Sperrsignal KDIS auf einen Tiefpegel, wobei im Ergebnis die Treibfähigkeit der Inverterschaltung 2006 verkleinert wird. Die AND-Schaltung 2004 hat eine relativ kleine Größe, um nur den MOS-Transistor 2005 zu treiben, und mit anderen Worten, deren Stromtreibfähigkeit ist klein gehalten.

Der K-Puffer 203 umfaßt ferner eine Verzögerungsschaltung 2008 zum Verzögern des zweiten internen Taktsignals SK um einen vorgeschriebenen Zeitabschnitt, eine NAND-Schaltung 2009, welche einen Ausgang der Verzögerungsschaltung 2008 und das zweite interne Taktsignal SK empfängt, und einen p-Kanal-MOS-Transistor 2010 zum Vergrößern des Taktabtast-Sperrsignals KDIS auf einen Stromversorgungs-Potentialpegel in Reaktion auf den Ausgang der NAND-

Schaltung 2009. Die Verzögerungsschaltung 2008 und die NAND-Schaltung 2009 bilden eine Einzelimpulserzeugungsschaltung. Das Timing zum Erzeugen eines Einzelimpulses wird auf Grundlage der Verzögerungszeit der Verzögerungsschaltung 2008 bestimmt. Nun wird der Betrieb des in Fig. 33 dargestellten K-Puffers in Verbindung mit dessen Operations-Wellenform-Darstellung in Fig. 34 beschrieben.

Wenn das externe Taktsignal K auf "L" ist, erreicht das Taktabtast-Sperrsignal KDIS "H", der Ausgang der NAND-Schaltung 2012 ist auf "H", und das Ausgangssignal der NAND-Schaltung 2011 ist auf "L". Die das Ausgangssignal der NAND-Schaltung 2011 empfangende Inverterschaltung 2003 gibt ein Signal von "H" aus.

Wenn das externe Taktsignal K auf "H" ist, dann wird das Ausgangssignal SKT der AND-Schaltung 2004 auf "H" gezogen, wobei der MOS-Transistor 2005 eingeschaltet wird und das Taktabtast-Sperrsignal KDIS auf "L" abnimmt. In Reaktion darauf, daß das Taktabtast-Sperrsignal KDIS auf "L" ist, vergrößert die Inverterschaltung 2007 das zweite interne Taktsignal SK auf "H". Nach Ablauf der Verzögerungszeit infolge der Verzögerungsschaltung 2008 wird nach dem Zunehmen des zweiten internen Taktsignals SK auf "H" das Ausgangssignal der NAND-Schaltung 2009 auf "L" gezogen und der MOS-Transistor 2010 eingeschaltet. Dadurch wird das Taktabtast-Sperrsignal KDIS auf "H" gezogen, und das zweite interne Taktsignal SK wird durch die Funktion der Inverterschaltung 2007 auf "L" gezogen.

Unterdessen nimmt in Reaktion darauf, daß das Taktabtast-Sperrsignal KDIS auf "L" ist, das Ausgangssignal (Signal am Knoten 2Y) der NAND-Schaltung 2011 auf "H" zu (das externe Taktsignal K ist zu dieser Zeit noch auf "H"), wobei das Ausgangssignal der Inverterschaltung 2003 (Signal am Knoten 3Y) auf "L" gezogen wird und das erste interne Taktsignal SKT am Knoten 4Y mittels der AND-Schaltung 2004 auf "L" gebracht wird.

Folglich wird die Zeit, während der das erste interne Taktsignal SKT auf "H" ist, durch jene Zeit, welche zum Invertieren des Ausgangszustands des Flipflops 2002 erforderlich ist, und durch die Zeitverzögerung aufgrund der Inverterschaltung 2003 und der AND-Schaltung 2004 bestimmt. In Reaktion darauf, daß das erste interne Taktsignal SKT auf "L" ist, schaltet der MOS-Transistor 2005 aus.

Nachdem der MOS-Transistor 2005 somit ausgeschaltet ist, wird das Ausgangssignal (Signal am Knoten 5Y) der NAND-Schaltung 2009 auf "L" gezogen und der MOS-Transistor 2010 eingeschaltet. Wenn das Taktabtast-Sperrsignal KDIS durch die Funktion des Transistors 2010 auf "H" gebracht wird, dann bringt die Inverterschaltung 2007 das zweite interne Taktsignal SK auf "L", und der Ausgang der NAND-Schaltung 2009 wird auf "H" gezogen, und in Reaktion darauf schaltet der MOS-Transistor 2010 aus.

In Reaktion auf ein Abnehmen des Taktsignals K wird der Ausgang (das Signal am Knoten 1Y) der NAND-Schaltung 2012 auf "H" gezogen und das Ausgangssignal der NAND-Schaltung 2011 auf "L" gebracht.

Wie vorstehend beschrieben, nimmt in Reaktion auf ein Zunehmen des externen Taktsignals K das zweite Taktsignal SK auf "H" zu, und auf Grundlage der für die Schaltungen charakteristischen Zeitverzögerung (durch die Verzögerungsschaltung 2008, die NAND-Schaltung 2009, den Transistor 2010 und die Inverterschaltungen 2006 und 2007 gegebene Zeitverzögerung) nimmt es auf "L" ab. Der Zeitabschnitt, während dem das zweite interne Taktsignal SK auf "H" ist, ist daher immer kon-

stant, ungeachtet des Zeitabschnitts, während dem das externe Taktsignal K auf "H" ist. In einer synchronen HalbleiterSpeichereinrichtung wird eine Bestimmung von verschiedenen operationseinleitenden Timings für die interne Schaltungseinrichtung und zum Verriegeln der externen Signale auf Grundlage des internen Taktsignals SK ausgeführt. Das Erzeugen eines internen Taktsignals SK mit einer konstanten Impulsbreite in Reaktion auf ein Zunehmen des externen Signals K im K-Puffer erlaubt es folglich, daß die Operations-Timings für die interne Schaltungseinrichtung bezüglich des Zunehmens des externen Taktsignals K immer konstant sind, wobei die Timing-Begrenzungen für ein beliebiges internes Signal herabgesetzt werden können und eine Hochgeschwindigkeitsoperation realisiert werden kann (da es nicht notwendig ist, Timing-Begrenzungen zu bestimmen, welche eine Verzögerung beim Abnehmen des externen Taktsignals K berücksichtigen).

Zunächst nimmt das interne Taktsignal SKT in Reaktion auf ein Zunehmen des internen Taktsignals K auch zu, und durch eine intern verwendete konstante Verzögerungszeit nimmt es auf "L" ab. Somit kann der Zeitabschnitt, während dem das erste interne Taktsignal SKT auf "H" ist, unabhängig von demjenigen des externen Taktsignals K immer konstant sein, und die Erzeugung eines stabilen zweiten internen Taktsignals SK ist gesichert. Der n-Kanal-MOS-Transistor 2005 muß nur das zweite interne Taktsignal SK auf "H" vergrößern, mit anderen Worten, er muß das Taktabtast-Sperrsignal KDIS auf "L" bringen. Das Bringen des zweiten internen Taktsignals SK auf "L" (das Zunehmen des Taktabtast-Sperrsignals KDIS auf "H") wird durch Hochziehen des p-Kanal-MOS-Transistors 2010 ausgeführt, und die Signalpegel des zweiten internen Taktsignals SK und des Taktabtast-Sperrsignals KDIS werden mittels der durch die Inverterschaltungen 2006 und 2007 gebildeten Verriegelungsschaltung beibehalten. Die Transistoren 2005 und 2010 benötigen daher keine große Treibfähigkeit, und daher kann ein Stromverbrauch klein gehalten werden. Die AND-Schaltung 2004 muß nur den n-Kanal-MOS-Transistor 2005 treiben, wobei die Treibfähigkeit klein gehalten und die Größe verkleinert werden kann. Das trifft ferner auf die NAND-Schaltung 2009 zu. Folglich kann das interne Taktsignal stabil erzeugt werden, ohne das Schaltungsausmaß zu vergrößern.

Die Anzahl von Stufen von Gattern zwischen dem externen Taktsignal K und dem ersten internen Taktsignal SKT ist eins, d. h. die AND-Schaltung 2004. Die Ausgangssignale des Flipflops 2002 und der Inverterschaltung 2003 werden rückgesetzt, wenn das externe Taktsignal K auf "L" ist. Die Verzögerungszeit für das erste interne Taktsignal SKT und das externe Taktsignal K kann daher verkleinert werden, und die internen Taktsignale können mit einer hohen Geschwindigkeit erzeugt werden.

Das Taktsignal SK muß verschiedene interne Schaltungen treiben. Die Verwendung einer Mehrzahl von in Reihe geschalteten Inverterschaltungen vergrößert die Verzögerungszeit. Eine große Treibfähigkeit wird für eine Inverterschaltung in der letzten Ausgangsstufe benötigt werden, und um die Inverterschaltung mit einer großen Treibfähigkeit bei kleiner Verzögerungszeit zu treiben, müssen die Inverterschaltungen in Reihe geschaltet sein, wobei deren Treibfähigkeiten progressiv zunehmen. In einem derartigen Aufbau wird jedoch eine große Anzahl von Stufen der Inverterschaltung notwendig sein, was eine Zunahme des Schaltungsausmaßes ergibt und die Verzögerungszeit für das externe Taktsignal SK vergrößert.

gnal K vergrößert. Wenn unterdessen der in Fig. 33 gezeigte K-Puffer verwendet wird, benötigt nur die Inverterschaltung 2007 eine große Treibfähigkeit. Folglich kann das interne Taktignal SK durch die verkleinerte Verzögerungszeit (Verzögerungszeit durch den Transistor 2005 und die Inverterschaltung 2007) erzeugt werden, ohne das Schaltungsausmaß zu vergrößern.

Fig. 35 ist ein Blockschaltbild, welches den Aufbau eines Abschnitts zur Erzeugung eines internen Taktsignals detailliert zeigt. Der in Fig. 35 dargestellte Abschnitt zur Erzeugung eines internen Taktsignals entspricht sowohl dem Aufbau der in Fig. 5 gezeigten K-Puffer-/Timingschaltung als auch demjenigen der in Fig. 6 dargestellten Maskenschaltung.

In Fig. 35 umfaßt der Abschnitt zur Erzeugung eines internen Taktsignals einen externen SRAM-Taktmaskensignal CMs# empfangenden Eingangspuffer 2102 zum Ausgeben eines internen Maskensignals ZCMSF, einen externen DRAM-Taktmaskensignal CMd# und einen intern erzeugten Auffrischmodus-Ermittlungssignal ZRFS empfangenden Eingangspuffer 2104 zum Erzeugen eines internen Taktmaskensignals ZCMDF und eines Stromverkleinerungsbestimmung-Aktivierungssignals PKE und eine in Reaktion auf das Stromverkleinerungsbestimmung-Aktivierungssignal PKE aktivierte Schaltung zur Erzeugung eines internen Taktsignals zur Stromverkleinerungsbestimmung 2106 zum Erzeugen von Taktsignalen zur Bestimmung eines Stromverkleinerungsmodus PK und PKT und eines Signals zum Sperren des Abtastens des internen Taks. Das Auffrischmodus-Ermittlungssignal ZRFS ist an den Eingangspuffer 2104 gelegt, um ein externes Signal während der Ausführung einer Selbstauffrischoperation in der DRAM-Anordnung zu maskieren und das Eintreten irgendeines neuen Operationsmodus zu verhindern. Ein dem Signalnamen am Anfang beigelegter Buchstabe "Z" zeigt an, daß das Signal einen aktiven Zustand bei einem Tiefpegel ("L") erreicht.

Der Abschnitt zur Erzeugung eines internen Taktsignals umfaßt ferner eine Schaltung zur Erzeugung eines Taktmasken-Verriegelungssignals 2108 zum Erzeugen eines Taktmasken-Verriegelungssignals PLC auf Grundlage der internen Taktsignale zur Bestimmung eines Stromverkleinerungsmodus PK und PKT, Verriegelungsschaltungen 2110 und 2112 zum Verriegeln der internen Taktmaskensignale ZCMSF und ZCMDF in Reaktion auf das Taktmasken-Verriegelungssignal PLC, eine SRAM-Stromverkleinerungssignal-Erzeugungsschaltung 2114 und eine DRAM-Stromverkleinerungssignal-Erzeugungsschaltung 2116 zum Erzeugen von Stromverkleinerungsmodus-Ermittlungssignalen ZSPDE und ZDPDE auf Grundlage des Taktsignals zur Bestimmung eines Stromverkleinerungsmodus PK und der durch die entsprechenden Verriegelungsschaltungen 2110 und 2112 verriegelten Signale, eine Schaltung zur Erzeugung eines internen Taktsignals für den SRAM 2118 zum Erzeugen eines Signals für den internen Takt des SRAMs SK auf Grundlage sowohl des externen Taktabtast-Sperrsignals KDIS und des Stromverkleinerungsmodus-Ermittlungssignals ZSPDE als auch des externen Taktsignals K und eine Schaltung zur Erzeugung eines internen Taktsignals für den DRAM 2120 zum Erzeugen eines Signals für den internen Takt des DRAMs DK auf Grundlage sowohl des Stromverkleinerungsmodus-Ermittlungssignals SDPDE und des externen Taktabtast-Sperrsignals KDIS als auch des externen Taktsignals K.

Bei dem in Fig. 35 dargestellten Aufbau entsprechen

die Schaltung zur Erzeugung eines internen Taktsignals für den SRAM 2118 und die Schaltung zur Erzeugung eines internen Taktsignals für den DRAM 2120 den in den Fig. 5 und 6 gezeigten Gatterschaltungen 204 und 164 zur Taktübertragung und dem K-Puffer 203. Die verbleibenden Schaltungselemente entsprechen dem in den Fig. 5 und 6 dargestellten Schieberegister-Ab schnitt.

Die Schaltung zur Erzeugung eines internen Taktsignals zur Stromverkleinerungsbestimmung 2106 muß nur durch die Schaltung zur Erzeugung eines Taktmasken-Verriegelungssignals 2108 getrieben werden, und daher ist deren Stromverbrauch klein. Unterdessen müssen die Schaltungen zur Erzeugung eines internen Taktsignals 2118 und 2120 eine Anzahl von Schaltungen treiben, und daher ist deren Stromverbrauch groß. Folglich kann durch Bestimmen der Anwesenheit/Abwesenheit der Erzeugung eines internen Taks in der Schaltung 2106 mit dem kleinen Stromverbrauch und durch Sperren des Betriebs des Schaltungsabschnitts mit dem großen Stromverbrauch der Gesamtstromverbrauch verkleinert werden. Wenn das Auffrischmodus-Ermittlungssignal ZRFS in einem aktiven Zustand auf "L" ist, dann wird das Signal PKE in einen inaktiven Zustand gebracht und ein zusätzlicher Stromverbrauch in der Schaltung zur Erzeugung eines internen Taktsignals zur Stromverkleinerungsbestimmung 2106 verringert.

Fig. 36 ist ein Schaltbild, welches speziell den Aufbau des in Fig. 35 dargestellten Eingangspuffers zeigt. In Fig. 36 umfaßt ein Eingangspuffer 2102 eine 2-Eingangs-NOR-Schaltung 2102a, welche ein Signal zur Aktivierung einer Stromverkleinerungsmodusbestimmung ZPKE und ein externes Taktmaskensignal CMs# empfängt, eine den Ausgang der NOR-Schaltung 2102a invertierende Inverterschaltung 2103a und einen p-Kanal-MOS-Transistor 2102b zum Stabilisieren des Ausgangs der Inverterschaltung 2103a. Der p-Kanal-MOS-Transistor 2102b leitet, wenn der Ausgang der Inverterschaltung 2103a auf "L" ist, und er lädt den Eingang der Inverterschaltung 2103a auf einen Stromversorgungspotentialpegel auf. Die Inverterschaltung 2103a erzeugt ein internes Taktmaskensignal ZCMSF.

Ein Eingangspuffer 2104 umfaßt eine NOR-Schaltung 2104a, welche ein Signal ZPKE und ein externes Taktmaskensignal CMd# empfängt, eine Inverterschaltung 2104c, welche ein Ausgangssignal der NOR-Schaltung 2104a empfängt, und einen in Reaktion auf das auf "L" liegende Ausgangssignal ZCMDF der Inverterschaltung 2104c leitenden p-Kanal-MOS-Transistor 2104b zum Laden des Eingangs der Inverterschaltung 2104c auf den Stromversorgungspotentialpegel.

Der Aufbau zum Erzeugen des internen Taktmaskensignals ZCMDF ist derselbe wie derjenige des Eingangspuffers 2103.

Der Eingangspuffer 2104 umfaßt ferner eine NOR-Schaltung 2104d, welche das externe Taktmaskensignal CMd# und das Auffrischmodus-Ermittlungssignal ZRFS empfängt, eine Inverterschaltung 2104f, welche den Ausgang der NOR-Schaltung 2104d invertiert, und einen in Reaktion auf den Ausgang der Inverterschaltung 2104f leitenden p-Kanal-MOS-Transistor 2104e zum Laden des Eingangs der Inverterschaltung 2104f auf den Stromversorgungspotentialpegel. Der Ausgang der Inverterschaltung 2104f ist ferner mit drei Stufen, mit in Kaskade geschalteten Inverterschaltungen 2104g, 2104h und 2104i, versehen.

Wenn das externe Taktmaskensignal CMs# oder CMd# auf "L" ist und wenn der Stromverkleinerungs-

modus spezifiziert ist, dann wird das interne Taktmaskensignal ZCMSP oder ZCMDF auf "L" gebracht.

Wenn das Auffrischmodus-Ermittlungssignal ZRFS auf "L" ist und wenn eine Auffrischoperation im DRAM-Abschnitt ausgeführt wird, dann ist das Signal zur Aktivierung einer Stromverkleinerungsmodusbestimmung ZPKE auf "L". In diesem Fall werden die internen Taktmaskensignale ZCMDF und ZCMSP unabhängig von den Zuständen der externen Taktmaskensignale CMs # und CMd # auf "L" gebracht. Zur Zeit einer Selbstauffrischoperation wird dann die Bestimmung eines neuen Operationsmodus sicher verhindert.

Fig. 37 ist ein Schaltbild, welches speziell den Aufbau der in Fig. 35 dargestellten Schaltung zur Erzeugung eines internen Taktsignals zur Stromverkleinerungsbestimmung zeigt. In Fig. 37 umfaßt eine Schaltung zur Erzeugung eines internen Taktsignals zur Stromverkleinerungsbestimmung 2106 eine NAND-Schaltung 3002, welche ein externes Taktignal extK und ein Aktivierungssignal PKE empfängt, einen Inverter 3004, welcher ein Ausgangssignal der NAND-Schaltung 3002 invertiert, und einen n-Kanal-MOS-Transistor 3003 zum Entladen des Eingangs der Inverterschaltung 3004 auf einen Massepotentialpegel in Reaktion auf das Ausgangssignal der Inverterschaltung 3004. Das Aktivierungssignal PKE wird durch Durchleiten des in Fig. 36 dargestellten Signals ZPKE durch eine Inverterschaltung erzeugt. Hierin wird das externe Taktignal K in der folgenden Beschreibung mit dem Bezugssymbol extK bezeichnet werden, um ein intern erzeugtes Signal von einem extern angelegten Signal zu unterscheiden.

Die Schaltung zur Erzeugung eines internen Taktsignals zur Stromverkleinerungsbestimmung 2106 umfaßt ferner NAND-Schaltungen 3006 und 3008, die ein Flipflop bilden, eine Inverterschaltung 3010, welche den Ausgang der Schaltung 3008 invertiert, eine NAND-Schaltung 3012, welche das Ausgangssignal der Inverterschaltung 3010 und das externe Taktignal extK empfängt, und eine Inverterschaltung 3014, die das Ausgangssignal der NAND-Schaltung 3012 empfängt. Die Inverterschaltung 3014 erzeugt ein internes Taktignal PKT. Ein n-Kanal-MOS-Transistor 3013 leitet, wenn der Ausgang der Inverterschaltung 3014 auf "H" ist, und behält den Ausgang der Inverterschaltung 3014 auf dem Massepotential.

Die NAND-Schaltung 3008 empfängt das Signal zum Sperren des Abtastens des externen Taks KDIS, das Aktivierungssignal PKE und das Ausgangssignal der NAND-Schaltung 3006. Die NAND-Schaltung 3006 empfängt das Ausgangssignal der NAND-Schaltung 3008 und das Ausgangssignal der Inverterschaltung 3004.

Die Schaltung zur Erzeugung eines internen Taktsignals zur Stromverkleinerungsbestimmung 2106 umfaßt ferner eine NOR-Schaltung 3016, welche das von der Inverterschaltung 3014 erzeugte interne Taktignal PKT und das von der Inverterschaltung 3018 erzeugte interne Taktignal PK empfängt, eine Inverterschaltung 3018 zum Invertieren des Ausgangssignals der NOR-Schaltung 3016 und zum Erzeugen des internen Taktsignals PK, eine Verzögerungsschaltung 3020 zum Verzögern des Ausgangssignals der Inverterschaltung 3018 um einen vorgeschriebenen Zeitabschnitt, eine das Ausgangssignal (das Signal PK) der Inverterschaltung 3018 empfangende NAND-Schaltung 3022, eine Inverterschaltung 3024 zum Invertieren des Ausgangssignals der NAND-Schaltung 3022, eine NAND-Schaltung 3026, welche das Ausgangssignal der Inverterschaltung

3024 und das Aktivierungssignal PKE empfängt, einen in Reaktion auf den Ausgang der NAND-Schaltung 3026 leitenden p-Kanal-MOS-Transistor 3028 zum Laden des Eingangs der Inverterschaltung 3018 auf den Stromversorgungs-Potentialpegel und einen in Reaktion auf das Ausgangssignal der Inverterschaltung 3018 leitenden p-Kanal-MOS-Transistor 3030 zum Laden des Eingangs der Inverterschaltung 3018 auf den Stromversorgungs-Potentialpegel.

Der p-Kanal-MOS-Transistor 3028 hat die Aufgabe, den Eingang der Inverterschaltung 3018 hochzuziehen, und entspricht dem p-Kanal-MOS-Transistor 2010 in Fig. 33. Der p-Kanal-MOS-Transistor 3030 hat die Aufgabe, den Pegel des Signals PK auf "H" zu behalten, womit er die Funktion der Inverterschaltung 2006 im in Fig. 33 gezeigten Aufbau realisiert.

Die NOR-Schaltung 3016 verwirklicht die Funktion des n-Kanal-MOS-Transistors 2005 im in Fig. 33 gezeigten Aufbau.

Die Verzögerungsschaltung 3020 wird durch eine Inverterschaltung IG und eine 2-Eingangs-NAND-Schaltung NA gebildet. In der Verzögerungsschaltung 3020 weist eine NAND-Schaltung NA eine an dem einen Eingang derselben vorgesehene Schaltschaltung SW auf, und es wird bestimmt, welcher des einen Eingangs entweder das Ausgangssignal PK der Inverterschaltung 3018 oder ein Ausgangssignal der Inverterschaltung IG in einer vorhergehenden Stufe empfängt. Die Verbindung der Schaltschaltung SW wird durch Maskenzwischenschaltung in einem Herstellungsschritt festgelegt. Die NAND-Schaltung NA funktioniert als Inverterschaltung, wenn dasselbe Signal an beide Eingänge gelegt ist, und daher kann die Anzahl von Stufen der Inverterschaltungen in der Verzögerungsschaltung 3020 durch Bestimmen des Verbindungszustands der Schaltschaltung SW optimal festgelegt werden.

Die NOR-Schaltung 3016 erzeugt ein Taktabtast-Sperrsignal KDIS. Die NAND-Schaltung 3008 kann anstelle des Ausgangssignals der NOR-Schaltung 3016 mit einem internen Taktignal PK mittels einer Inverterschaltung 3017 und einer Schaltschaltung SWA versehen sein. Das Taktabtast-Sperrsignal KDIS und das Taktignal PK weisen durch die Funktion der Inverterschaltung 3018 eine verschiedene Logik auf. Folglich kann durch Anlegen dieses internen Taktsignals PK an die NAND-Schaltung 3008 mittels der Inverterschaltung 3017 und der Schaltschaltung SWA die Verzögerungszeit zwischen dem Taktabtast-Sperrsignal KDIS und dem internen Taktignal PK optimal festgelegt werden.

Fig. 38 ist ein Schaltbild, welches speziell den Aufbau der NOR-Schaltung 3016, der Inverterschaltung 3018 und der Transistoren 3028 und 3030 zeigt, welche in Fig. 37 dargestellt sind. In Fig. 38 umfaßt die NOR-Schaltung 3016 p-Kanal-MOS-Transistoren 3016a und 3016b, welche zwischen einem Stromversorgungsknoten und einem Ausgangsknoten 3016Y in Reihe geschaltet sind und die Taktsignale PKE und PK an ihren entsprechenden Gates empfangen, und n-Kanal-MOS-Transistoren 3016c und 3016d, welche parallel zueinander zwischen dem Ausgangsknoten 3016Y und einem Massepotentialknoten vorgesehen sind und welche die Taktsignale PKT und PK an ihren entsprechenden Gates empfangen. Ein p-Kanal-MOS-Transistor 3030 weist eine kleine Abmessung oder Gatebreite oder ein kleines Verhältnis Gatebreite/Gatelänge auf, und dessen Stromtreibfähigkeit ist klein gehalten. Indessen weist der den Ausgang eines Gatters (der in Fig. 37 gezeigten

NAND-Schaltung 3026) empfängende p-Kanal-MOS-Transistor 3028 eine relativ große Abmessung auf, wobei die Gatebreite oder das Verhältnis Gatebreite/Gatelänge und daher die Stromtreibfähigkeit groß sind, um den Ausgangsknoten 3016Y zu laden.

Die Inverterschaltung 3018 enthält einen p-Kanal-MOS-Transistor 3018a und einen n-Kanal-MOS-Transistor 3018b, welche in komplementärer Weise zwischen dem Stromversorgungs-Potentialknoten und dem Masse-Potentialknoten geschaltet sind. Der Betrieb der in den Fig. 37 und 38 dargestellten Schaltung wird in Verbindung mit deren Operations-Wellenform-Darstellung in Fig. 39 beschrieben werden.

Es wird vorausgesetzt, daß das Aktivierungssignal PKE nun auf "H" ist. In Reaktion auf ein Zunehmen des externen Taks extK auf "H" wird der Ausgang 3002Y der NAND-Schaltung 3002 auf "L" und das Ausgangssignal PKF der Inverterschaltung 3004 auf "H" gebracht.

In Reaktion auf das Zunehmen des externen Taktsignals extK ist unterdessen das Potential des Ausgangs 3010 der Inverterschaltung 3010 noch immer auf "H", und das Potential des Ausgangs 3012Y der NAND-Schaltung 3012 nimmt auf "L" ab.

Folglich nimmt das Ausgangssignal PKT der Inverterschaltung 3014 auf "H" zu. Darauf basierend, daß das Signal PKT auf "H" ist, wird der Ausgang 3016Y der NOR-Schaltung 3016 auf "L" gebracht (wird der Transistor 3016a in Fig. 38 ausgeschaltet und der Transistor 3016c eingeschaltet). Somit wird das Taktabtast-Sperrsignal KDIS auf "L" gebracht. Das Potential des Ausgangsknotens 3016Y wird auf "H" gezogen, wobei das Taktignal PK durch die Funktion der Inverterschaltung 3018 auf "H" zunimmt.

Wenn unterdessen das aus dem Ausgangsknoten 3016Y oder der Inverterschaltung 3017 angelegte Signal KDIS auf "L" gebracht wird, dann wird das Potential des Ausgangs 3008Y der NAND-Schaltung 3008 auf "H" und der Ausgang 3010Y der Inverterschaltung 3010 auf "L" gezogen. Folglich wird der Ausgang 3012Y der NAND-Schaltung 3012 unabhängig vom Zustand des externen Taktsignals extK auf "H" gezogen, und das interne Taktignal PKT wird auf "L" gebracht.

Nach Ablauf der Verzögerungszeit infolge der Verzögerungsschaltung 3020 wird der Ausgang der NAND-Schaltung 3022 auf "L" gebracht, wobei das aus der Inverterschaltung 3024 ausgegebene Signal PKRST auf "H" und der Ausgang 3026Y der NAND-Schaltung 3026 auf "L" gebracht wird. Somit wird der Transistor 3028 eingeschaltet, wobei der Ausgangsknoten 3016Y und das Taktabtast-Sperrsignal KDIS beide auf "H" sind, und das Taktignal PK wird auf "L" gebracht. Der Ausgang der NAND-Schaltung 3002 wird auf "H" gebracht, das Signal PKRST auf "L", der Ausgang 3026Y der NAND-Schaltung 3026 wird auf "H" gebracht, und der Transistor 3028 wird ausgeschaltet.

Wenn das externe Taktignal extK auf "L" gebracht ist, dann wird der Ausgang 3002Y auf "H" gebracht, wobei in Reaktion darauf das Signal PKF auf "L" gebracht wird, und dann werden aufeinanderfolgend der Ausgang 3006Y auf "H", der Ausgang 3038Y auf "L" und der Ausgang 3010Y auf "H" gebracht.

Wie aus der Operations-Wellenform-Darstellung der Fig. 39 deutlich zu ersehen, werden in Reaktion auf eine zunehmende Flanke des externen Taktsignals extK die internen Taktsignale PKT und PK erzeugt, welche in einem durch jeden Parameter der Schaltung einzeln bestimmten Zeitabschnitt auf "H" sind. Wenn während des Operationszeitabschnitts das externe Taktignal extK

auf "L" abnimmt, dann ist der Ausgang 3012Y der NAND-Schaltung 3012 durch die Funktion der Inverterschaltung 3010 auf "H" festgelegt, wobei sich daher der Zustand des internen Taktsignals PKT nicht ändert, und daher wird das folgende interne Taktignal PK nicht in irgendeiner Weise durch das Abnehmen des externen Taktsignals extK beeinflußt. Somit können die internen Taktsignale PK und PKT stabil und sicher erzeugt werden.

Fig. 40 ist ein Schaltbild, welches speziell den Aufbau einer in Fig. 35 gezeigten Schaltung zur Erzeugung eines Taktmasken-Verriegelungssignals darstellt. In Fig. 40 umfaßt eine Schaltung zur Erzeugung eines Taktmasken-Verriegelungssignals 2108 eine Inverterschaltung 3040, welche ein internes Taktignal PK invertiert, n-Kanal-MOS-Transistoren 3042 und 3044, welche zwischen einem Knoten 3042Y und einem Massepotentialknoten in Reihe geschaltet sind und welche an ihren entsprechenden Gates mit dem Ausgang der Inverterschaltung 3040 bzw. einem Taktignal PKT versehen sind, eine Inverterschaltung 3048 zum Invertieren des Signals am Knoten 3042Y und zum Erzeugen eines Taktmasken-Verriegelungssignals PLC, eine Inverterschaltung 3046 zum Invertieren des Verriegelungssignals PLC zur Übertragung an den Knoten 3042Y, eine Verzögerungsschaltung 3050 zum Verzögern des Ausgangssignals PLC der Inverterschaltung 3048 um einen vorgeschriebenen Zeitabschnitt, eine NAND-Schaltung 3052, welche ein Ausgangssignal der Verzögerungsschaltung 3050 und der Verriegelungsschaltung PLC empfängt, eine Inverterschaltung 3056 zum Invertieren des Ausgangssignals der Inverterschaltung 3052, eine NAND-Schaltung 3060, welche als Inverter funktioniert und das Ausgangssignal des Inverters 3056 invertiert, und ein in Reaktion auf das Ausgangssignal der NAND-Schaltung 3060 leitender p-Kanal-MOS-Transistor 3062 zum Laden des Knotens 3042Y auf einen Stromversorgungs-Potentialpegel.

Die Verzögerungsschaltung 3050 wird durch eine Inverterschaltung IG und eine NAND-Schaltung NA gebildet, wie im Falle des in Fig. 37 gezeigten Aufbaus. Ein Eingang einer NAND-Schaltung NA ist mit einem Schalter versehen, welcher den Ausgang einer Inverterschaltung IG in einer vorhergehenden Stufe oder das Stromversorgungspotential Vdd empfängt. Durch Schalten der Kontakte einer Schaltschaltung SW wird eine optimale Verzögerungszeit eingestellt. Der eine Eingang der NAND-Schaltung 3060 wird mittels einer Schaltschaltung SWB mit dem Stromversorgungspotential Vdd und mittels der Inverterschaltung 3054 mit dem Massepotential GND versehen. Die Kontakte der Schaltschaltung SWB werden in Anbetracht eines Gleichgewichts der Eingangskapazität der NAND-Schaltung 3060 bestimmt.

Auch bei dem in Fig. 40 dargestellten Aufbau müssen die Transistoren 3042 und 3044 nur den Eingangsknoten 3042Y der Inverterschaltung 3048 auf den Massepotentialpegel entladen, und sie weisen kleine Stromtreibfähigkeiten auf. Indessen muß der Transistor 3062 den Knoten 3042Y auf den Stromversorgungs-Potentialpegel laden, und er benötigt eine relativ große Stromtreibfähigkeit. Wenn bei dem in Fig. 40 dargestellten Schaltungsaufbau das Taktignal PK auf "L" und das Taktignal PKT auf "H" ist, dann wird der Knoten 3042Y auf den Massepotentialpegel entladen, und das Verriegelungssignal PLC wird auf "H" gebracht. Nach Ablauf eines vorgeschriebenen Zeitabschnitts leitet der Transistor 3062, und das Verriegelungssignal PLC wird auf "L"

gezogen. Wie in der Operations-Wellenform-Darstellung in Fig. 39 deutlich zu erkennen ist, wird das Taktignal PKT auf "H" gebracht, und dann wird das Taktignal PK auf "H" gebracht. Folglich kann das Verriegelungssignal PLC in Reaktion auf das interne Taktignal PKT mit einer großen Geschwindigkeit auf "H" zunehmen. Wenn das Taktignal PK auf "H" gebracht ist, dann wird der Transistor 3042 ausgeschaltet, und das Verriegelungssignal PLC wird durch die Inverterschaltungen 3048 und 3046 auf "H" verriegelt. In einem vorgeschriebenen Zeitabschnitt wird das Potential des Knotens 3042Y durch die Funktion des Transistors 3062 auf "H" gebracht, und das Verriegelungssignal PLC nimmt auf "L" ab. In diesem Fall kann das eine konstante Impulsbreite aufweisende Verriegelungssignal PLC mit einer hohen Geschwindigkeit mit verkleinertem Stromverbrauch und verkleinerter eingenommener Fläche sicher erzeugt werden.

Fig. 41 ist ein Schaltbild, welches den Aufbau der Verriegelungsschaltungen 2110 und 2212 und der Schaltungen zur Erzeugung eines Stromverkleinerungssignals 2114 und 2116 zeigt, welche in Fig. 35 dargestellt sind. In Fig. 41 werden das Signal zur Ermittlung eines Stromverkleinerungsmodus des SRAMs ZSPDE und das Signal zur Ermittlung eines Stromverkleinerungsmodus des DRAMs ZDPDE durch denselben Schaltungsaufbau erzeugt, und daher werden die Signale ZSPDE und ZDPDE allgemein als Signal ZPDE bezeichnet. Ähnlich werden die internen Taktsignale ZCMF und ZCMDF mit dem Bezugszeichen ZCMF bezeichnet.

In Fig. 41 umfaßt eine Verriegelungsschaltung 2113 (welche der Verriegelungsschaltung 2110 oder 2112 entspricht) ein Zwei-Richtungs-Transfergate 2113a, welches in Reaktion auf Verriegelungssignale PLC und ZPLC eingeschaltet/ausgeschaltet wird, und einen Taktinverter 2113b, welcher in Reaktion auf die Verriegelungssignale PLC und ZPLC so betrieben wird, daß er ein aus dem Transfergate 2113a übertragenes Signal invertiert.

Das Transfergate 2113a erreicht einen Nicht-Leitungszustand, wenn das Verriegelungssignal PLC auf "H" ist, und einen Leitungszustand, wenn das Verriegelungssignal auf "L" ist. Der Taktinverter 2113b erreicht einen Betriebszustand, wenn das Verriegelungssignal PLC auf "H" ist, und er erreicht einen Nicht-Betriebszustand, mit anderen Worten einen Ausgangs-Hochimpedanzzustand, wenn das Verriegelungssignal PLC auf "L" ist.

Die Verriegelungsschaltung 2113 erreicht einen Zustand zum Verriegeln des Taktmaskensignals ZCMF, wenn das Verriegelungssignal PLC auf "H" ist. Die Verriegelungsschaltung 2113 erreicht einen Ausgangs-Hochimpedanzzustand, wenn das Verriegelungssignal PLC auf "L" ist, und behält einen vorher verriegelten Zustand.

Eine Schaltung zur Erzeugung eines Stromverkleinerungssignals 2115 (welche der Schaltung zur Erzeugung eines Stromverkleinerungssignals 2114 oder 2116 entspricht) umfaßt eine Master-Verriegelungseinrichtung 3070, welche den Ausgang der Verriegelungsschaltung 2113 in Reaktion auf ein Taktignal zur Bestimmung eines Stromverkleinerungsmodus PK (siehe Fig. 37) verriegelt, und eine Slave-Verriegelungseinrichtung 3080, welche das Ausgangssignal der Master-Verriegelungseinrichtung 3070 in Reaktion auf das Taktignal ZPK verriegelt. Die Master-Verriegelungseinrichtung 3070 enthält eine NAND-Schaltung 3072, welche das Taktignal PK und das Ausgangssignal des in der Ver-

riegelungsschaltung 2113 enthaltenen Taktinverters 2213b empfängt, eine NAND-Schaltung 3074, welche das Taktignal PK und ein Ausgangssignal des Transfergates 2113a empfängt, und NAND-Schaltungen 3076 und 3078, welche den einen der Eingänge und die Ausgänge kreuzweise miteinander verbunden haben.

Die NAND-Schaltung 3076 empfängt das Ausgangssignal der NAND-Schaltung 3072 an dem anderen Eingang, und die NAND-Schaltung 3078 empfängt das Ausgangssignal der NAND-Schaltung 3074 an ihrem anderen Eingang. Wenn das Taktignal PK auf "L" ist, dann sind die Ausgangssignale der NAND-Schaltungen 3072 und 3074 beide auf "H" und dann ändern sich die Zustände der Ausgangssignale der NAND-Schaltungen 3076 und 3078 nicht. Wenn das Taktignal PK auf "H" zunimmt, dann funktionieren die NAND-Schaltungen 3072 und 3074 als Inverter und invertieren die entsprechenden angelegten Signale. Die Zustände der Ausgangssignale der NAND-Schaltungen 3076 und 3078 ändern sich in Reaktion auf die aus den NAND-Schaltungen 3072 und 3074 angelegten Signale. Wenn insbesondere das Taktignal PK auf "H" ist, dann übernimmt und verriegelt die Master-Verriegelungseinrichtung 3070 ein angelegtes Signal und gibt es aus, und sie behält ein Potential des Verriegelungssignals bei, wenn das Taktignal PK auf "L" ist.

Die Slave-Verriegelungseinrichtung 3080 enthält NAND-Schaltungen 3082, 3084, 3086 und 3088, die ähnlich wie in der Master-Verriegelungseinrichtung 3070 gebildet sind. Die NAND-Schaltungen 3082 und 3084 in der Eingangsstufe empfangen an einem ihrer Eingänge ein Taktignal ZPK. Die Zustände der Ausgangssignale der NAND-Schaltungen 3086 und 3088, welche über Kreuz verbunden sind, um ein Flipflop zu bilden, hängen von den Zuständen der Ausgangssignale der NAND-Schaltungen 3082 und 3084 ab. Das Stromverkleinerungsmodus-Ermittlungssignal ZPDE (ZSPDE oder ZDPDE) wird von der NAND-Schaltung 3086 mittels einer Inverterschaltung 3089 erzeugt. Die Inverterschaltung ist am Ausgangsabschnitt der NAND-Schaltung 3088 vorgesehen, um die Ausgangslasten der NAND-Schaltungen 3086 und 3088 anzugleichen und um die Reaktionscharakteristiken des Flipflops 3086 und 3088 zu verbessern.

Wie im Falle der Master-Verriegelungseinrichtung 3070 übernimmt die Slave-Verriegelungseinrichtung 3080 das Ausgangssignal der Master-Verriegelungseinrichtung 3070, wenn das Taktignal ZPK auf "H" ist, und es erreicht einen Signalverriegelungszustand, wenn das Taktignal ZPK auf "L" ist. Nun wird der Betrieb der in Fig. 41 gezeigten Schaltung kurz beschrieben.

Wenn das Taktmaskensignal ZCMF auf "H" ist, dann wird das Signal ZCMF mit dem auf "H" liegenden Verriegelungssignal PLC in der Verriegelungsschaltung 2113 verriegelt und der Ausgang der Inverterschaltung 2013b auf "L" gebracht. In Reaktion auf ein Zunehmen des Taktsignals PK werden in der Master-Verriegelungseinrichtung 3070 die Ausgänge der entsprechenden NAND-Schaltungen 3076 und 3078 auf "L" bzw. "H" gebracht. In der Slave-Verriegelungseinrichtung 3080 wird in Reaktion auf ein Zunehmen des Taktsignals ZPK der Ausgang der entsprechenden NAND-Schaltungen 3086 und 3088 auf "L" bzw. "H" gebracht. Somit wird von der Inverterschaltung 3080 ein Stromverkleinerungsmodus-Ermittlungssignal ZPDE erzeugt, welches auf "H" ist. In diesem Zustand wird ein Stromverkleinerungsmodus nicht spezifiziert. Wenn das Taktmaskensignal ZCMF auf "L" ist und ein Stromverklei-

rungsmode spezifiziert ist, dann ist das Stromverkleinerungsmodus-Ermittlungssignal ZPDE auf "L".

Fig. 42 ist ein Schaltbild, welches speziell den Aufbau einer in Fig. 35 dargestellten Schaltung zur Erzeugung eines internen Taktsignals für den SRAM zeigt. Der Aufbau der in Fig. 42 gezeigten Schaltung zur Erzeugung eines internen Taktsignals 2118 ist im wesentlichen mit dem Aufbau der in Fig. 37 dargestellten Schaltung zur Erzeugung eines internen Taktsignals zur Stromverkleinerungsbestimmung 2106 identisch. Der in Fig. 37 dargestellte Schaltungsaufbau unterscheidet sich von dem in Fig. 42 gezeigten Schaltungsaufbau dadurch, daß ein Stromverkleinerungs-Ermittlungssignal ZSPDE statt des Aktivierungssignals PKE in der Schaltung zur Erzeugung eines internen Taktsignals für den SRAM 2118 angelegt wird und daß zum Erzeugen eines Rücksetzsignals SKRST eine vergrößerte Anzahl von Stufen der Inverter vorgesehen ist. Ferner sind die Elemente mit verschiedenen Bezugszeichen bezeichnet. Folglich wird die in Fig. 42 gezeigte Schaltung zur Erzeugung eines internen Taktsignals für den SRAM 2118 nicht detailliert beschrieben werden. Die Operations-Wellenform-Darstellung für die in Fig. 42 gezeigte Schaltung zur Erzeugung eines internen Taktsignals für den SRAM wird anhand von Fig. 43 beschrieben werden.

Wie aus der Operations-Wellenform-Darstellung in Fig. 43 zu ersehen ist, wird das interne Taktsignal SK in Reaktion auf ein Zunehmen des externen Taktsignals extK erzeugt, und es nimmt durch eine durch die Schaltung selbst gegebene Zeitverzögerung automatisch auf "L" ab. Folglich kann das interne Taktsignal SK mit einer konstanten Impulsbreite frei vom Einfluß eines Abnehmens des externen Taktsignals extK immer erzeugt werden. Hierin wird bei dem in Fig. 42 gezeigten Aufbau das Taktabtast-Sperrsignal KDIS aus der Schaltung zur Erzeugung eines internen Taktsignals zur Stromverkleinerungsmodusbestimmung 2106 bereitgestellt.

Bezüglich der Größe des Transistors 3128 ist die Gatebreite ausreichend groß, zum Beispiel etwa sechsmal so groß wie diejenige des Transistors 3130. Die Größe des p-Kanal-MOS-Transistors zur Ausgangsladung der NOR-Schaltung 3116 ist genügend kleiner als die Größe eines Transistors zur Entladung im Innern gewählt. Das Verhältnis Gatebreite/Gatelänge ist ebenfalls klein. Die Größe des Entladetransistors in der NOR-Schaltung 3116 ist kleiner als die Größe eines die Inverterschaltung 3118 bildenden MOS-Transistors. Folglich ist es nicht erforderlich, daß die das Taktsignal SKT erzeugende Inverterschaltung 3114 eine beliebig große Treibfähigkeit hat, und sie kann das interne Taktsignal SK mit einer großen Geschwindigkeit erzeugen. Nach Ablauf eines vorgeschriebenen Zeitabschnitts seit der Erzeugung des Taktsignals SK leitet der p-Kanal-MOS-Transistor 3128 aufgrund der Funktion der NAND-Schaltung 3126. Die Stromversorgung des Transistors 3128 wird größer als diejenige des Entladetransistors in der NOR-Schaltung 3116 gemacht, und daher kann der Knoten 3116Y mit hoher Geschwindigkeit auf einen "H"-Pegel geladen werden. Wenn das interne Taktsignal SK nach dem Laden des Knotens 3116Y auf "L" abnimmt, dann wird das Ausgangssignal der NAND-Schaltung 3126 nach Ablauf einer vorgeschriebenen Zeit auf "H" gezogen und der Transistor 3128 ausgeschaltet. Zu der Zeit wird das Potential des Knotens 3116Y durch den Transistor 3130 gehalten. Die Größe des Transistors 3130 ist ausreichend klein, und die Größe des Entladetransistors in der NOR-Schaltung 3116 ist

kleiner als diejenige des Transistors 3130, so daß der Stromverbrauch bei dieser "L"-Halteoperation des Taktsignals SK sehr klein ist.

Die Schaltung zur Erzeugung eines internen Taktsignals für den DRAM ist ähnlich aufgebaut wie die Schaltung zur Erzeugung eines internen Taktsignals für den SRAM 2118, und daher wird der Aufbau hier nicht beschrieben.

Fig. 44 ist eine Operations-Wellenform-Darstellung, welche den Gesamtbetrieb der in Fig. 35 dargestellten Schaltung zeigt. Im vorstehenden wird der Betrieb mit den auf "H" liegenden Taktmaskensignalen CMs #, CMd # beschrieben. Wenn das Taktmaskensignal CMs # bei einer zunehmenden Flanke des externen Taktsignals extK auf "L" gesetzt wird, dann wird der folgende Betrieb ausgeführt. Im Taktzyklus erreicht das Aktivierungssignal PKE einen "H"-Pegel. Die Taktsignale PKT, PK und PLC werden daher aufeinanderfolgend erzeugt. In Reaktion auf ein Abnehmen des Taktsignals PK wird das Stromverkleinerungsmodus-Ermittlungssignal ZSPDE auf "L" gebracht. Da jedoch ein Abtasten des externen Taktsignals extK in Reaktion auf ein Zunehmen des Taktsignals PKT durchgeführt worden ist und da das Taktabtastsignal KDIS auf "H" ist, wird das interne Taktsignal SK für einen vorgeschriebenen Zeitabschnitt in diesem Taktzyklus erzeugt. Im darauf folgenden Taktzyklus wird das Taktmaskensignal CMs # auf "H" gesetzt. Zu der Zeit werden die Taktsignale PKT, PK und PLC aufeinanderfolgend erzeugt. Der Verriegelungszustand der Verriegelungsschaltung ändert sich durch das Verriegelungssignal PLC, und das Stromverkleinerungsmodus-Ermittlungssignal ZPDE nimmt in Reaktion auf ein Abnehmen des Taktsignals PK auf "H" zu. Bei einer zunehmenden Flanke des externen Taktsignals extK wird jedoch das Stromverkleinerungsmodus-Ermittlungssignal ZPDE auf "L" gebracht, und daher wird das externe Taktsignal extK nicht abgetastet und daher das interne Taktsignal SK nicht erzeugt, wenn das Taktabtast-Sperrsignal KDIS auf "H" ist. Das Signal KDIS ist ein Signal zum Sperren des Abtastens eines externen Taktsignals, und daher wird das Abtasten des externen Taktsignals extK gesperrt, wenn dieses Signal KDIS auf "L" ist. Der Zustand des externen Taktsignals extK während dieses Zeitabschnitts beeinflußt das interne Taktsignal SK nicht.

Wie vorstehend beschrieben, wird die Erzeugung des internen Taktsignals SK im darauffolgenden Taktzyklus unterbrochen, wenn das Taktmaskensignal CMs # auf "L" gesetzt und ein Stromverkleinerungsmodus spezifiziert wird.

Derselbe Betrieb wird in der Schaltung zur Erzeugung eines internen Taktsignals für den DRAM 2120 ausgeführt. In diesem Fall nimmt das Signal PKE in Reaktion auf ein Abnehmen des Taktmaskensignals CMs # nach einem vorgeschriebenen Zeitabschnitt auf "L" ab. Auch in diesem Fall werden die internen Taktsignale PKT, PK und PLC aufeinanderfolgend erzeugt, und auf Grundlage des Taktmaskensignals CMd # wird die Erzeugung eines internen Taktsignals PK im darauf folgenden Zyklus gesperrt (es wird darauf hingewiesen, daß sich das Signal PKE später als das interne Taktmaskensignal ändert; siehe Fig. 36). Wenn ein Auffrischmodus spezifiziert ist, dann wird das Signal ZRFS auf "L" gebracht, das Signal PKE auf "L", und die Taktmaskensignale ZCMSP und ZCMDF erreichen einen mit "L" zu maskierenden aktiven Zustand. Somit werden die Stromverkleinerungsmodus-Ermittlungssignale ZSPDE und ZPDE auf "L" gebracht, wobei die Erzeugung der

internen Taktsignale SK und DK gestoppt und ein Auffrischbetrieb für die DRAM-Anordnung mit einem Selbstzeitgeber im Innern ausgeführt wird.

Ein anderer Aufbau einer Anordnung zur Erzeugung eines internen Takts

Fig. 45A ist ein Schaltbild, welches einen anderen Aufbau einer Anordnung zur Erzeugung eines internen Takts zeigt. Da in Fig. 45A derselbe Aufbau sowohl für die SRAM- als auch für die DRAM-Abschnitte verwendet wird, wird CLK dazu verwendet, ein internes Taktsignal zu bezeichnen, und das externe Taktsperrsignal extCKE wird dazu verwendet, ein Taktmaskensignal zu bezeichnen. Wenn das externe Taktsperrsignal extCKE auf "H" ist, dann wird ein internes Taktsignal CLK erzeugt. Folglich weist das Signal extCKE dieselbe Logik wie die vorstehend beschriebenen internen Taktmaskensignale CMs# und CMd# auf.

In Fig. 45A umfaßt das System zur Erzeugung eines internen Taktsignals eine Schaltung zur Erzeugung eines ersten internen Takts 2130 zum Erzeugen eines ersten internen Taktsignals CKE0D auf Grundlage des externen Taktsignals extK und des Signals zum Ent sperren eines externen Taktsignals extCKE, eine Schaltung zur Erzeugung eines zweiten internen Taktsignals 2132 zum Erzeugen eines Signals zum Ent sperren eines zweiten internen Taktsignals CKE1 auf Grundlage des Signals zum Ent sperren des ersten internen Takts CKE0D und des externen Taktsignals extK aus der Schaltung zur Erzeugung eines ersten internen Takts 2130 und eine Schaltung zur Erzeugung eines dritten internen Takts 2134 zum Erzeugen eines internen Taktsignals CLK auf Grundlage des externen Taktsignals extK und des Signals zum Ent sperren eines zweiten internen Takts CKE.

Die Schaltung zur Erzeugung eines ersten internen Takts 2130 umfaßt eine Inverterschaltung 2130b, welche das externe Taktsignal extK empfängt, eine NAND-Schaltung 2130c, welche das externe Taktsignal extK und den Ausgang der Inverterschaltung 2130b empfängt, eine Inverterschaltung 2130d, welche den Ausgang der NAND-Schaltung 2130c empfängt, eine in Reaktion auf das Ausgangssignal der NAND-Schaltung 2130c und das Ausgangssignal der Inverterschaltung 2130d aktivierte getaktete Inverterschaltung 2130a zum Invertieren des Signals zum Ent sperren eines internen Takts extCKE und Inverterschaltungen 2130e und 2130f zum Verriegeln des Ausgangs der Inverterschaltung 2130a.

Die Inverterschaltung 2130b verzögert das externe Taktsignal extK um einen vorgeschriebenen Zeitabschnitt und invertiert dessen Logik. Die NAND-Schaltung 2130c erzeugt daher ein Einzelimpuls-Signal, das nur während eines vorgeschriebenen Zeitabschnitts seit einem Zunehmen des externen Taktsignals extK auf "L" gebracht wird. Der Taktinverter 2130a erreicht einen Betriebszustand, wenn das Ausgangssignal der NAND-Schaltung 2130c auf "L" ist, und er invertiert das Signal zum Ent sperren eines externen Takts extCKE. Wenn der Ausgang der NAND-Schaltung 2130c auf "H" ist, dann erreicht der getaktete Inverter 2130a einen Ausgangs-Hochimpedanzzustand. Die Inverterschaltung 2130e invertiert den Ausgang des Taktinverters 2130a und erzeugt das Signal zum Ent sperren eines ersten internen Takts CKE0D. Die Inverterschaltung 2130f invertiert das Signal zum Ent sperren eines ersten internen Takts CKE0D zur Übertragung an den Eingang der

Inverterschaltung 2130e. Die Schaltung zur Erzeugung eines ersten internen Takts 2130 taster daher das Signal zum Ent sperren eines externen Takts extCKE in Reaktion auf ein Zunehmen des externen Taktsignals extK ab und verriegelt es und erzeugt das Signal zum Ent sperren eines ersten internen Takts CKE0D.

Die Schaltung zur Erzeugung eines zweiten internen Takts 2132 umfaßt eine Inverterschaltung 2132a, welche das externe Taktsignal extK empfängt, eine Inverterschaltung 2132c, welche das Signal zum Ent sperren eines ersten internen Takts CKE0D empfängt, eine NAND-Schaltung 2132b, welche die Ausgangssignale der Inverterschaltungen 2132a und 2130e empfängt, eine NAND-Schaltung 2132d, welche die Ausgangssignale der Inverterschaltungen 2132a und 2132c empfängt, und ein Flipflop, das auf Grundlage der Ausgangssignale der NAND-Schaltungen 2132b und 2132d gesetzt/rückgesetzt wird. Das Flipflop enthält über Kreuz verbundene NAND-Schaltungen 2132f und 2132e. Die NAND-Schaltung 2132f ist mit dem Ausgangssignal der NAND-Schaltung 2132b versehen, und die NAND-Schaltung 2132e ist mit dem Ausgangssignal der NAND-Schaltung 2132d versehen. Die NAND-Schaltung 2132f erzeugt das Signal zum Ent sperren eines zweiten internen Takts CKE1. Die Schaltung zur Erzeugung eines zweiten internen Takts 2132 hat die Aufgabe, das Signal zum Ent sperren eines ersten internen Takts CKE0D um einen halben Taktzyklus des Taktsignals extK zur Übertragung zu verzögern.

Die Schaltung zur Erzeugung eines dritten internen Takts 2134 umfaßt eine NAND-Schaltung 2134a, welche das Signal zum Ent sperren eines zweiten internen Takts CKE1 und das externe Taktsignal extK empfängt, und eine Inverterschaltung 2134b zum Invertieren des Ausgangssignals der NAND-Schaltung 2134a und zum Erzeugen des internen Taktsignals CLK. Der Betrieb des in Fig. 45A dargestellten Systems zur Erzeugung eines internen Takts wird nun in Verbindung mit dessen Operations-Wellenform-Darstellung in Fig. 45B beschrieben.

In Reaktion auf ein Zunehmen des externen Taktsignals extK wird aus der NAND-Schaltung 2130c ein Einzelimpuls-Signal erzeugt, und der Taktinverter 2130a erreicht einen Operationszustand. Wenn das Signal zum Ent sperren eines externen Takts extCKE auf "H" ist, dann ist das von der Inverterschaltung 2130e erzeugte Signal zum Ent sperren eines ersten internen Takts CKE0D auf "H". Wenn das Signal zum Ent sperren eines ersten internen Takts CKE0D auf "H" ist, dann arbeiten die NAND-Schaltungen 2132b und 2132d als Inverterschaltung, wobei das Ausgangssignal der NAND-Schaltung 2132b in Reaktion auf ein Zunehmen des externen Taktsignals extK auf "L" abnimmt, wobei jenes in Reaktion darauf das Ausgangssignal der NAND-Schaltung 2132f verursacht, mit anderen Worten, so daß das Signal zum Ent sperren eines zweiten internen Takts CKE1 auf "H" ist, und dann wird das in Reaktion auf das Zunehmen des externen Taktsignals extK auf "H" zunehmende interne Taktsignal CLK von der Schaltung zur Erzeugung eines dritten internen Takts 2134 erzeugt.

Wenn das Signal zum Ent sperren eines externen Takts extCKE zur Zeit des Zunehmens des externen Taktsignals extK auf "L" ist, dann nimmt das Signal zum Ent sperren eines ersten internen Takts CKE0D in Reaktion auf das Zunehmen des externen Taktsignals extK auf "L" ab. Das auf "H" liegende Signal zum Ent sperren eines ersten internen Takts CKE0D wird mittels der

Schaltung zur Erzeugung eines ersten internen Takts 2130 bis zum nächsten Zunehmen des externen Taktsignals extK verriegelt. Der Grund dafür ist, daß der Taktinverter 2130a das Signal zum Entsperren eines externen Takts extPKE abtastet und dann einen Ausgangs-Hochimpedanzzustand erreicht.

Wenn das Signal zum Entsperren eines internen Takts CKE0D auf "L" abnimmt, dann nimmt das Ausgangssignal der Inverterschaltung 2132a in Reaktion auf ein Zunehmen des externen Taktsignals extK auf "L" ab, wobei die Ausgangssignale der NAND-Schaltungen 2132b und 2132d auf "H" sind, und dann ändert das Signal zum Entsperren eines zweiten internen Takts CKE1 seinen Zustand nicht und bleibt auf "H". Das interne Taktsignal CLK wird daher von der Schaltung zur Erzeugung eines dritten internen Takts 2134 in Reaktion auf ein Zunehmen des externen Taktsignals extK erzeugt.

In Reaktion auf ein Abnehmen des externen Taktsignals extK auf "L" nimmt das Ausgangssignal der Inverterschaltung 2132a auf "H" zu, und die NAND-Schaltungen 2132b und 2132d funktionieren als Inverterschaltung. Das Ausgangssignal der NAND-Schaltung 2132d nimmt auf "L" ab, und das Ausgangssignal der NAND-Schaltung 2132e nimmt auf "H" zu. Da das Ausgangssignal der NAND-Schaltung 2132b auf "H" ist, nimmt das von der NAND-Schaltung 2132f erzeugte Signal zum Entsperren eines zweiten internen Takts CKE1 auf "L" ab. Dieser Zustand wird solange beibehalten, bis das externe Taktsignal extK das nächste Mal abnimmt. Selbst wenn das externe Taktsignal extK das nächste Mal auf "H" zunimmt, hält das interne Taktsignal CLK daher "L" aufrecht, da das Signal zum Entsperren eines zweiten internen Takts CKE1 auf "L" ist.

Durch den in Fig. 45A dargestellten Aufbau kann die Erzeugung des internen Takts CLK im darauffolgenden Taktzyklus auf Grundlage des Signals zum Entsperren eines externen Takts extCKE ohne irgendeine komplizierte Logik unterbrochen werden. Da ferner jedes Signal zum Entsperren eines internen Takts in Synchronisation mit dem externen Takt signal extK erzeugt wird, kann das interne Takt signal CLK auf Grundlage des externen Takt signal extK mit einer hohen Geschwindigkeit erzeugt werden.

#### Das Beispiel eines speziellen Aufbaus

Fig. 46 ist ein Schaltbild, welches einen speziellen Aufbau der Schaltung zur Erzeugung eines internen Takts in Fig. 45A detailliert zeigt. In Fig. 46 umfaßt eine Schaltung zur Erzeugung eines ersten internen Takts 2130 zwei Stufen von Inverterschaltungen 3202 und 3204, welche ein externes Takt signal extK empfangen, eine Inversions-Verzögerungsschaltung 3208 zum Verzögern des Ausgangssignals der Inverterschaltung 3204 um einen vorgeschriebenen Zeitabschnitt und zum Invertieren des Ausgangssignals, eine NAND-Schaltung 3210, welche die Ausgänge der Inverterschaltung 3204 und der Inversions-Verzögerungsschaltung 3208 empfängt, und eine Inverterschaltung 3212, welche das Ausgangssignal der NAND-Schaltung 3210 empfängt. Die Inversions-Verzögerungsschaltung 3208 ist aus einer Mehrzahl von in Kaskade geschalteten Inverterschaltungen gebildet (im dargestellten Beispiel sind es 9). Die Inverterschaltung 3212 erzeugt ein Takt-Entsperrsignal CLKE.

Die Schaltung zur Erzeugung eines ersten internen Takt signals 2130 umfaßt ferner ein in Reaktion auf das

Signal zum Entsperren eines internen Takts CLKE aktivierte Register 3214 zum Verriegeln eines Signals zum Entsperren eines externen Takts extCKE, Inverterschaltungen 3215 und 3216 zum Invertieren entsprechender komplementärer Ausgangssignale ZCKE0 und CKE0 aus dem Register 3214, und ein Flipflop, welches durch die Ausgänge der Inverterschaltungen 3215 und 3216 gesetzt/rückgesetzt wird. Das Flipflop enthält eine NAND-Schaltung 3217, welche den Ausgang der Inverterschaltung 3215 empfängt, und eine NAND-Schaltung 3218, welche das Ausgangssignal der Inverterschaltung 3216 empfängt. Das Signal zum Entsperren eines ersten internen Takts CKE0D wird von der NAND-Schaltung 3218 erzeugt, und ein komplementäres Signal zum Entsperren eines internen Takts ZCKE0D wird von der NAND-Schaltung 3217 erzeugt. Der Aufbau des Registers 3214 ist in Fig. 47 gezeigt.

Unter Bezugnahme auf Fig. 47 umfaßt das Register 3214 einen n-Kanal-MOS-Transistor 3214a, welcher das Takt-Entsperrsignal extCKE an seinem Gate empfängt, einen n-Kanal-MOS-Transistor 3214b, welcher eine Referenzspannung Vref an seinem Gate empfängt, einen n-Kanal-MOS-Transistor 3214m, welcher zwischen den Transistoren 3214a und 3214b und einem Massepotentiometer vorgesehen ist und das Takt-Entsperrsignal CLKE an seinem Gate empfängt, einen n-Kanal-MOS-Transistor 3214j, welcher zwischen einem Ausgangsknoten N0a und dem MOS-Transistor 3214a vorgesehen ist und das Potential eines Signals an einem anderen Ausgangsknoten N0b an seinem Gate empfängt, einen n-Kanal-MOS-Transistor 3214k, welcher zwischen dem Ausgangsknoten N0b und dem MOS-Transistor 3214b vorgesehen ist und ein Potential am Ausgangsknoten N0a an seinem Gate empfängt, ein p-Kanal-MOS-Transistor 3214c, welcher zwischen einem Stromversorgungspotentialknoten und dem Ausgangsknoten N0a vorgesehen ist und das Takt-Entsperrsignal CLKE an seinem Gate empfängt, ein p-Kanal-MOS-Transistor 3214d, welcher zwischen dem Stromversorgungspotentialknoten und dem Ausgangsknoten N0a vorgesehen ist und das Potential des Signals am Ausgangsknoten N0b seinem Gate empfängt, ein p-Kanal-MOS-Transistor 3214e, welcher zwischen dem Stromversorgungspotentialknoten und dem Ausgangsknoten N0b vorgesehen ist und das Potential des Signals am Ausgangsknoten N0a an seinem Gate empfängt, ein p-Kanal-MOS-Transistor 3214f, welcher zwischen dem Stromversorgungspotentialknoten und dem Ausgangsknoten N0b vorgesehen ist und das Takt-Entsperrsignal CLKE an seinem Gate empfängt, und Inverterschaltungen 3214i und 3214h zum Invertieren der Signale an den entsprechenden Ausgangsknoten N0a und N0b.

Das in Fig. 47 dargestellte Register 3214 erreicht einen Operationszustand, wenn das Takt-Entsperrsignal CLKE auf "H" ist, wobei es das Signal zum Entsperren eines externen Takts extCKE und die Referenzspannung Vref vergleicht und auf Grundlage des Ergebnisses des Vergleichs Signale an den Ausgangsknoten N0a und N0b erzeugt. Wenn das Takt-Entsperrsignal CLKE auf "L" ist, dann wird der MOS-Transistor 3214m ausgeschaltet, wobei keine derartige Vergleichsoperation durchgeführt wird und die Ausgangsknoten N0a und N0b beide durch die Transistoren 3214c und 3214f auf den Stromversorgungspotentialpegel aufgeladen werden, und die aus der Inverterschaltung 3214i und 3214h ausgegebenen Signale CKE0 und ZCKE0 werden auf "L" gebracht. Der Aufbau wird gewöhnlich "dynamische Verriegelungseinrichtung" genannt.

Unter Bezugnahme auf Fig. 46 umfaßt die Schaltung zur Erzeugung eines zweiten internen Takts 2132 eine NAND-Schaltung 3220, welche die Ausgangssignale ZCLKE und ZCKE0D aus der Schaltung zur Erzeugung eines ersten internen Takts 2130 empfängt, eine NAND-Schaltung 3221, welche die Ausgangssignale ZCLKE und CLKE0D empfängt, und ein Flipflop, welches auf Grundlage der Ausgangssignale der NAND-Schaltungen 3220 und 3221 gesetzt/rückgesetzt wird. Das Flipflop enthält NAND-Schaltungen 3222 und 3223, bei weichen der Ausgang und der eine Eingang über Kreuz miteinander verbunden sind. Die NAND-Schaltung 3222 empfängt das Ausgangssignal der NAND-Schaltung 3220 an dem anderen Eingang, und die NAND-Schaltung 3223 empfängt das Ausgangssignal der NAND-Schaltung 3221 an dem anderen Eingang. Die Schaltung zur Erzeugung eines zweiten internen Takts 2132 umfaßt ferner eine Inverterschaltung 3224, welche das Ausgangssignal der NAND-Schaltung 3222 empfängt, und eine Inverterschaltung 3225, welche den Ausgang der NAND-Schaltung 3223 empfängt. Das Signal zum Ent sperren eines zweiten internen Takts CKE1 wird von der Inverterschaltung 3224 erzeugt.

Die Schaltung zur Erzeugung eines dritten internen Takts 2134 umfaßt eine NAND-Schaltung 3230, welche das externe Signal extK und das Signal zum Ent sperren eines zweiten internen Takts CKE1 empfängt, eine Inverterschaltung 3232 zum Invertieren des Ausgangssignals der NAND-Schaltung 3230, eine Inversions-/Verzögerungsschaltung 3234, welche das Ausgangssignal der Inverterschaltung 3232 invertiert und um einen vorgeschriebenen Zeitabschnitt verzögert, eine NAND-Schaltung 3236, welche das Ausgangssignal der Inverterschaltung 3232 und das Ausgangssignal der Inversions-/Verzögerungsschaltung 3234 empfängt, eine Inverterschaltung 3238, welche das Ausgangssignal der NAND-Schaltung 3236 empfängt, und eine Inverterschaltung 3239, welche das Ausgangssignal der Inverterschaltung 3238 empfängt. Die internen Taktsignale CLK und ZCLK werden von den entsprechenden Inverterschaltungen 3238 und 3239 erzeugt. Die Inversions-/Verzögerungsschaltung 3234 ist aus einer Mehrzahl von in Kaskade geschalteten Invertern gebildet (im dargestellten Beispiel sind es 9). Der Betrieb der in den Fig. 46 und 47 dargestellten Schaltungseinrichtung zur Erzeugung eines internen Taktsignals wird in Verbindung mit deren Operations-Wellenform-Darstellung in Fig. 48 beschrieben.

In Reaktion auf ein Zunehmen des externen Taktsignals extK auf "H" nimmt das Takt-Entsperrsignal CLKE aus der Inverterschaltung 3232 für einen vorgeschriebenen Zeitabschnitt auf "H" zu. Der Zeitabschnitt, während dem das Signal zum Ent sperren eines internen Takts CLKE auf "H" ist, wird aufgrund einer durch die Inversions-/Verzögerungsschaltung 3208 gegebenen Verzögerungszeit bestimmt. Das Takt-Entsperrsignal ZCLKE aus der Inverterschaltung 3206 nimmt in Reaktion auf ein Zunehmen des externen Taktsignals extK auf "L" ab. Somit sind in der Schaltung zur Erzeugung eines zweiten internen Takts 2132 die Ausgangssignale der NAND-Schaltungen 3220 und 3221 auf "H" festgelegt, und die Zustände der Taktsignale CK1 und ZCK1 ändern sich während dieses Zeitabschnitts nicht.

Wenn das Signal zum Ent sperren eines internen Takts CLKE auf "H" ist, dann erreicht das Register 3214 einen Operationszustand, wobei es das Signal zum Ent sperren eines externen Takts extCKE übernimmt und verriegelt. Wenn das Signal zum Ent sperren eines externen Takts

extCKE auf "H" ist, dann wird der Ausgangsknoten N0a durch die Transistoren 3214a und 3214b entladen, und das Potential an demselben nimmt ab. In Reaktion darauf wird der MOS-Transistor 3214k ausgeschaltet und der Ausgangsknoten N0b durch den MOS-Transistor 3214e auf den Stromversorgungs-Potentialpegel aufgeladen. Somit werden die aus dem Register 3214 ausgegebenen Takt-Entsperrsignale CKE0 und ZCKE0 entsprechend auf "H" bzw. "L" gebracht. Obgleich nicht dargestellt, ist die mit den Takt-Entsperrsignalen CKE0 und ZCKE0 zu versehende Schaltung eine Schaltung, welche einen in der DRAM-Steuerschaltung enthaltenen Befehl zum Spezifizieren eines Selbstauffrischens decodiert. Das dient einer Bestimmung davon, ob eine Auffrischoperation mit einem vorgeschobenen Timing spezifiziert ist oder nicht. Das auf "H" liegende Takt-Entsperrsignal CKE0 und das auf "L" liegende Takt-Entsperrsignal ZCKE0 werden durch das aus den NAND-Schaltungen 3217 und 3218 gebildete Flipflop mittels der Inverterschaltungen 3216 und 3215 verriegelt. Folglich ist in diesem Zustand das Signal zum Ent sperren eines internen Takts CKE0D auf "H" und das komplementäre Signal zum Ent sperren eines internen Takts ZCKE0D auf "L".

In einem vorgeschriebenen Zeitabschnitt wird das Takt-Entsperrsignal CLKE auf "L" und werden die Ausgangssignale ZCKE0 und CKE0 des Registers 3214 auf "L" gebracht. In Reaktion darauf werden die Ausgangssignale der Inverterschaltungen 3215 und 3216 beide auf "H" gebracht, und die Zustände der Ausgangssignale ZCKE0D und CKE0D der entsprechenden NAND-Schaltungen 3217 und 3218 ändern sich nicht.

In Reaktion auf ein Abnehmen des externen Taktsignals extK nimmt das interne Taktsignal ZCLKE von "L" auf "H" zu, und die NAND-Schaltungen 3220 und 3221 funktionieren als Inverter. Somit wird das Ausgangssignal der NAND-Schaltung 3220 auf "H" und der Ausgang der NAND-Schaltung 3221 auf "L" gebracht, wobei das Signal zum Ent sperren eines zweiten internen Takts CKE1 auf "H" und das Signal zum Ent sperren eines ersten internen Takts ZCKE1 auf "L" gebracht wird.

Wenn das Signal zum Ent sperren eines zweiten internen Takts CKE1 in der Schaltung zur Erzeugung eines dritten internen Takts 2134 auf "H" ist, dann werden die internen Taktsignale CLK und ZCLK von der NAND-Schaltung 3230 und der Inverterschaltung 3232 auf Grundlage des externen Taktsignals extK erzeugt. Der Zeitabschnitt, während dem das Ausgangssignal der NAND-Schaltung 3236 auf "H" ist, wird aufgrund einer durch die Inversions-/Verzögerungsschaltung 3234 gegebenen Zeitverzögerung bestimmt. Das von der Inverterschaltung 3238 erzeugte interne Taktsignal CLK nimmt in Reaktion auf ein Zunehmen des externen Taktsignals extK daher auf "H" zu und bleibt während des Zeitabschnitts, der aufgrund der durch die Inversions-/Verzögerungsschaltung 3234 gegebenen Zeitverzögerung bestimmt wird, auf "H" und nimmt dann auf "L" ab. Auch bei diesem Aufbau weist das interne Taktsignal CLK unabhängig vom Timing des Abnehmens des externen Taktsignals extK immer eine konstante Impulsbreite auf.

Wenn das Signal zum Ent sperren eines externen Takts extCKE bei einem Zunehmen des externen Taktsignals extK auf "L" gesetzt wird, dann werden die von der Registerschaltung 3214 erzeugten Takt-Entsperrsignale CKE0 und ZCKE0 entsprechend auf "L" bzw. "H" gebracht, und in Reaktion darauf werden die Signale

zum Entsperrern eines ersten internen Takts ZCKE0D und CKE0D entsprechend auf "H" bzw. "L" gebracht. Die Zustände der Ausgangssignale der NAND-Schaltungen 3217 und 3218 werden bis zum nächsten Zunehmen des externen Taktsignals extK beibehalten. Wenn das externe Taktsignal extK wieder zunimmt, zu welcher Zeit das Signal zum Entsperrern eines zweiten internen Takts CKE1 noch auf "H" ist, dann wird ein internes Taktsignal CLK mit einer vorgeschriebenen Zeitbreite von der Schaltung zur Erzeugung eines dritten internen Takts 2134 erzeugt.

Wenn das externe Taktsignal extK in der Schaltung zur Erzeugung eines zweiten internen Takts 2132 auf "L" abnimmt, dann werden die Zustände der Ausgangssignale der NAND-Schaltungen 3222 und 3223 invertiert, und das Signal zum Entsperrern eines zweiten internen Takts CKE1 wird auf "L" gebracht. Dieser Zustand wird bis zum nächsten Abnehmen des externen Taktsignals extK beibehalten. Selbst wenn das externe Taktsignal extCLK im nächsten Zyklus auf "H" zunimmt, wird folglich das interne Taktsignal CLK von der Schaltung zur Erzeugung eines dritten internen Takts 2134 nicht erzeugt.

Ein anderer Aufbau der Schaltung zur Erzeugung eines internen Takts

Fig. 49 ist eine Darstellung, welche einen anderen Aufbau eines Systems zur Erzeugung eines internen Taktsignals zeigt. In Fig. 49 umfaßt das System zur Erzeugung eines internen Taktsignals eine Pufferschaltung 2138 zum Puffern eines externen Taktsignals extK, eine Pufferschaltung 2137 zum Puffern eines Signals zum Entsperrern eines externen Takts extCKE, eine Schaltung zur Erzeugung eines ersten internen Takts 2131 zum Erzeugen eines Takt-Entsperrsignals CLKE auf Grundlage eines Taktsignals K0 aus der Pufferschaltung 2138 und eines Stromverkleinerungs-Ermittlungssignals ZPDE aus einer Schaltung zur Erzeugung eines zweiten internen Takts 2133, die Schaltung zur Erzeugung eines zweiten internen Takts 2133 zum Erzeugen interner Takt-Entsperrsignale CKE0, CKE1 und des Stromverkleinerungsmodus-Ermittlungssignal ZPDE auf Grundlage des Takt-Entsperrsignals CLKE und eines Auffrischmodus-Ermittlungssignals RFS und eines aus der Pufferschaltung 2137 empfangenen Takt-Entsperrsignals CKE und eine Schaltung zur Erzeugung eines dritten internen Takts 2134 zum Erzeugen eines internen Taktsignals CLK auf Grundlage des internen Takt-Entsperrsignals CKE1 aus der Schaltung zur Erzeugung eines zweiten internen Takts und des Taktsignals K0. Das Takt-Entsperrsignal CKE0 aus der Schaltung zur Erzeugung eines zweiten internen Takts ist an einen in der Steuerschaltung enthaltenen Auffrischbefehlsdecodierer 2139 gelegt. Der Auffrischbefehlsdecodierer 2139 ist in Reaktion auf das Takt-Entsperrsignal CKE0 aktiviert und erzeugt das Auffrischmodus-Ermittlungssignal RFS, welches auf Grundlage einer Bestimmung der Zustände der externen Steuersignale anzeigt, ob ein Auffrischmodus spezifiziert ist oder nicht.

Bei dem in Fig. 49 dargestellten Aufbau wird das Stromverkleinerungsmodus-Ermittlungssignal ZPDE verwendet. Das interne Taktsignal CLK wird jedoch für einen vorgeschriebenen Zeitabschnitt auf Grundlage des externen Taktsignals extK (K0) bei "H" erzeugt. Daher kann auch bei dem in Fig. 49 gezeigten Aufbau das interne Taktsignal CLK mit einer vorgeschriebenen Impulsbreite unabhängig vom Einfluß einer Änderung

des folgenden externen Taktsignals extK sicher erzeugt werden. Der Aufbau von jeder Schaltung wird nun detailliert beschrieben werden.

Die in Fig. 49 gezeigten Pufferschaltungen 2137 und 2138 sind jeweils aus zweistufigen in Kaskade geschalteten Inverterschaltungen gebildet. Der Aufbau wird daher nicht speziell beschrieben.

Fig. 50 ist ein Schaltbild, welches den Aufbau der in Fig. 49 dargestellten Schaltung zur Erzeugung eines zweiten internen Takts 2133 detailliert zeigt. Unter Bezugnahme auf Fig. 50 umfaßt die Schaltung zur Erzeugung eines zweiten internen Takts 2133 ein Register 3250, das ein Takt-Entsperrsignal CLKE aus der Schaltung zur Erzeugung eines ersten internen Takts 2132 und ein Stromverkleinerungs-Ermittlungssignal ZPDE empfängt, welches ein Signal zum Entsperrern eines internen Takts erzeugt, so daß es ein Signal zum Entsperrern eines ersten internen Takts ZCKE0 erzeugt. Das Register 3250 erreicht einen Operationszustand, wobei es das Takt-Entsperrsignal CKE (CKE0, ZCKE0) nur dann übernimmt und ausgibt, wenn die Signale CLKE und ZPDE beide auf "H" sind. Wenn wenigstens eines der Signale CLKE und ZPDE auf "L" ist, dann sind die Ausgangssignale CKE0 und ZCKE0 aus dem Register 3250 beide auf "L". Ein spezieller Aufbau des Registers 3250 ist in Fig. 51 dargestellt.

Unter Bezugnahme auf Fig. 51 umfaßt das Register 3250 drei Stufen in Kaskade geschalteter Inverterschaltungen 4019a, 4019b und 4019c zum Invertieren von Signalen an einem Ausgangsknoten ORL, drei Stufen in Kaskade geschalteter Inverterschaltungen 4018a, 4018b, 4018c, welche das Potential eines Signals an einem Ausgangsknoten ZORL empfangen, p-Kanal-MOS-Transistoren 4012, 4014 und 4016, welche zwischen einem Stromversorgungs-Potentialknoten und einem Knoten NDe parallel vorgesehen sind, n-Kanal-MOS-Transistoren 4010a, 4010b, 4008a und 4008b, welche zwischen dem Knoten NDe und einem Knoten NDC geschaltet sind, und n-Kanal-MOS-Transistoren 4011a, 4011b, 4009a und 4009b, welche zwischen einem Knoten NDF und dem Knoten NDb vorgesehen sind.

Der MOS-Transistor 4012 leitet in Reaktion darauf, daß das Signal ZPDE auf "L" ist, und überträgt die Spannungen vom Stromversorgungs-Potentialknoten an den Knoten NDe. Der p-Kanal-MOS-Transistor 4014 leitet in Reaktion darauf, daß das Signal CLKE auf "L" ist, und versorgt den Knoten NDe mit Strom aus dem Stromversorgungs-Potentialknoten. Der p-Kanal-MOS-Transistor 4016 leitet, wenn der Ausgangsknoten ZORL auf "L" ist, und überträgt Spannung/Strom aus dem Stromversorgungs-Potentialknoten an den Knoten NDe.

Die MOS-Transistoren 4010a und 4010b empfangen das Signal CLKE an ihren Gates, und die MOS-Transistoren 4008a und 4008b empfangen das Signal ZPDE an ihren Gates. Die Transistoren 4010a und 4008a sind in Reihe geschaltet, und die Transistoren 4010b und 4008b sind in Reihe geschaltet. Die zwei das Signal CLKE empfangende Transistoren sind parallel vorgesehen, und die zwei das Signal ZPDE an ihren Gates empfangende Transistoren sind parallel vorgesehen, da der Knoten NDe manchmal durch die beiden Transistoren 4012 und 4014 aufgeladen wird und daher der Entladestrom am Knoten NDe dem Ladestrom angepaßt sein sollte.

Der p-Kanal-MOS-Transistor 4013 empfängt ein Stromverkleinerungsmodus-Ermittlungssignal ZPDE an seinem Gate, der MOS-Transistor 4015 empfängt ein Takt-Entsperrsignal CLKE an seinem Gate, und das Ga-

te des MOS-Transistors 4017 ist mit dem Ausgangsknoten QRL verbunden. Die MOS-Transistoren 4011a und 4011b empfangen das Takt-Entsperrsignal CLKE an ihren Gates. Die MOS-Transistoren 4009a und 4009b empfangen das Signal ZPDE an ihren Gates.

Das Register 3250 umfaßt ferner n-Kanal-MOS-Transistoren 4004a, 4004b und 4004c, welche das Potential des Signals am Ausgangsknoten ZORL an ihren Gates empfangen, n-Kanal-MOS-Transistoren 4005a, 4005b und 4005c, welche das Signal am Ausgangsknoten ORL an ihren Gates empfangen, n-Kanal-MOS-Transistoren 4006a und 4006b, welche leiten, wenn das Signalkontrollpotential am Ausgangsknoten ZORL auf "H" ist, und welche den Knoten NDc auf einen Massepotentialpegel entladen, und n-Kanal-MOS-Transistoren 4007a und 4007b, welche leiten, wenn das Signalkontrollpotential am Ausgangsknoten ORL auf "H" ist, und welche den Knoten NDd auf den Massepotentialpegel entladen. Die MOS-Transistoren 4004b und 4004c sind zwischen dem Knoten NDc und dem Knoten NDa parallel vorgesehen. Die MOS-Transistoren 4005b und 4005c sind zwischen dem Knoten NDb und dem Knoten NDd parallel vorgesehen. Der eine Leitungsanschluß der MOS-Transistoren 4004a und 4005a ist mit dem entsprechenden Knoten NDa bzw. NDb verbunden, und der andere Leitungsanschluß wird in einen Schwebezustand gebracht. Das hat den Zweck, eine mit den Ausgangsknoten ORL und ZORL verbundene Gatekapazität einzustellen und die Größe von jedem Transistor zu verkleinern.

Das Register 3250 umfaßt ferner n-Kanal-MOS-Transistoren 4002a, 4002b und 4002c, welche ein Takt-Entsperrsignal CKE an ihren Gates empfangen, und n-Kanal-MOS-Transistoren 4003a, 4003b und 4003c, welche eine Referenzspannung Vref an ihren Gates empfangen. Die MOS-Transistoren 4002b und 4002c sind zwischen dem Knoten NDa und dem Massepotentialknoten parallel vorgesehen, und die MOS-Transistoren 4003b und 4003c sind zwischen dem Knoten NDb und dem Massepotentialknoten parallel vorgesehen. Die Leitungsanschlüsse der MOS-Transistoren 4002a und 4003a sind so geschaltet, daß sie das Massepotential empfangen, und die anderen Leitungsanschlüsse sind in einen Schwebezustand gebracht. Die Lastkapazitäten der Signale CKE, CLKE und ZPDE sind auf einen optimalen Wert angeglichen, so daß die Entladegeschwindigkeit am Knoten NDd bei einem auf "H" liegenden Signal CKE ebenso groß ist wie die Entladegeschwindigkeit am Knoten NDc, wenn der Ausgangsknoten ZORL auf "H" und das Signal CKE auf "L" ist.

Wenn die Signale CLKE und ZPDE beide auf "L" sind, dann werden in dem in Fig. 51 dargestellten Register die Knoten NDc und NDd durch die entsprechenden Transistoren 4012 bzw. 4014 auf den Stromversorgungspotentialpegel aufgeladen und die Ausgangsknoten ORL und ZORL auf "H" gebracht. In diesem Zustand sind die Signale CKE0 und ZCKE0 beide auf "L". Zu dieser Zeit werden die Knoten NDc und NDd durch die Transistoren 4006a, 4006b und 4007a und 4007b auf das Massepotential entladen. Wenn das Signal CKE auf einem im Vergleich zum Referenzpotential Vref höheren Potential ist, dann wird der Knoten NDc durch die Transistoren 4004b, 4004c, 4002b und 4002c entladen.

Wenn die Signale CLKE und ZPDE beide auf "H" sind, dann sind die MOS-Transistoren 4012, 4014, 4013 und 4015 ausgeschaltet und die Transistoren 4010a, 4010b, 4008a, 4008b, 4009a, 4009b, 4011a und 4011b eingeschaltet. Wenn das Signal CKE zu der Zeit auf "H" ist, dann leiten die Transistoren 4002c und 4002b, so daß sie

den Knoten NDc auf den Massepotentialpegel entladen. Dadurch wird das Potential des Knotens NDc verkleinert, und es wird fortgefahren, den Ausgangsknoten ZORL durch den Transistor 4017 zu laden, so daß jener den Stromversorgungspotentialpegel beibehält, wogegen der Ausgangsknoten ORL auf den Massepotentialpegel entladen wird und das Signal CKE0 auf "H" und das Signal ZCKE0 auf "L" gebracht wird. Wenn das Signal CKE auf "L" ist, dann ist das Signal CKE0 auf "L" und das Signal ZCKE0 auf "H".

Wie vorstehend beschrieben, erzeugt das Register 3250 die Signale CKE0 und ZCKE0 auf Grundlage des Signals CKE nur dann, wenn die Signale CLKE und ZPDE beide auf "H" sind.

Unter Rückbezugnahme auf Fig. 50 umfaßt die Schaltung zur Erzeugung eines zweiten internen Takts 2113 NAND-Schaltungen 3252 und 3253, welche ein Stromversorgungspotential Vdd an dem einen Eingangsknoten und die Signale ZCKE0 und CKE0 an dem anderen Eingang empfangen, ein Flipflop, welches auf Grundlage der Ausgangssignale der NAND-Schaltungen 3252 und 3253 gesetzt/rückgesetzt wird, NAND-Schaltungen 3255 und 3256, welche durch das Signal ZCLKE aktiviert sind und welche die Ausgangssignale Q und /Q des Flipflops 3254 zum Durchgang invertieren, ein Flipflop 3257, welches auf Grundlage der Ausgangssignale der NAND-Schaltungen 3255 und 3256 gesetzt und rückgesetzt wird, und Inverterschaltungen 3258 und 3259 zum Invertieren der entsprechenden Ausgänge Q bzw. /Q des Flipflops 3257. Ein Takt-Entsperrsignal CKE1 wird von der Inverterschaltung 3258 erzeugt, und ein komplementäres Takt-Entsperrsignal ZCKE1 wird von der Inverterschaltung 3259 erzeugt.

Das an die NAND-Schaltungen 3255 und 3256 gelegte Signal ZCLKE ist das Inverse des an das Register 3250 gelegten Signals CLKE. Wenn folglich das Signal CLKE auf "H" ist und der Ausgang des Registers 3250 festgelegt ist, dann wird das Ausgangssignal des Flipflops 3254 in Reaktion auf ein Abnehmen des Signals CLKE in das Flipflop 3257 übertragen. Die Schaltung zur Erzeugung eines zweiten internen Takts 2113 umfaßt ferner eine NAND-Schaltung 3260, welche das Takt-Entsperrsignal CKE und das Aufrischmodus-Ermittlungssignal RFS empfängt, und eine Inverterschaltung 3261, welche das Ausgangssignal der NAND-Schaltung 3260 empfängt, einen p-Kanal-MOS-Transistor 3262, welcher das Signal der Inverterschaltung 3261 auf "L" hält, eine NAND-Schaltung 3263, welche das Signal ZCKE1 und das Aufrischmodus-Ermittlungssignal RFS empfängt, eine NOR-Schaltung 3264, welche ein Ausgangssignal CKE2 der Inverterschaltung 3261 und das Ausgangssignal der NAND-Schaltung 3263 empfängt, und eine Inverterschaltung 3265, welche das Ausgangssignal der NOR-Schaltung 3264 invertiert. Ein Signal PDE wird von der NOR-Schaltung 3264 erzeugt, und das Signal ZPDE wird von der Inverterschaltung 3265 erzeugt. Nun wird der Betrieb der in Fig. 50 gezeigten Schaltung zur Erzeugung eines zweiten internen Takts in Verbindung mit deren Operations-Wellenform-Darstellung in Fig. 52 beschrieben.

Die internen Taktsignale CKE1 und ZCKE1 behalten einen Zustand des vorhergehenden Taktzyklus bei einem Zunehmen des Takt-Entsperrsignals CLKE bei (die Änderung der Zustände der Signale CKE1 und ZCKE1 wird durch das Signal ZCLKE ausgeführt). Wenn das Aufrischmodus-Ermittlungssignal RFS auf "L" und das Takt-Entsperrsignal CKE1 im vorhergehenden Zyklus auf "H" ist, dann ist das Ausgangssignal der Inverter-

schaltung 3261 unabhängig vom Zustand des Signals CKE auf "L", wobei das Ausgangssignal der NAND-Schaltung 3263 auf "H" ist und daher das Signal PDE auf "L" und das Signal ZPDE auf "H" gebracht wird.

Es wird nun angenommen, daß das Signal CKE auf "L" gesetzt ist. Das Signal ZPDE ist zu der Zeit noch auf "H" (das Signal ZCKE1 wurde im vorhergehenden Zyklus auf "L" gesetzt). Das Register 3250 führt daher eine Verriegelungsoperation aus und bringt das Signal CKE0 auf "L". Dieser Zustand wird durch das Flipflop 3257 in Reaktion auf ein Zunehmen des Signals ZCLKE verriegelt. In Reaktion darauf erreicht das Signal ZCKE1 einen "H"-Pegel. Wenn das Auffrischmodus-Ermittlungssignal RFS auf "L" ist, dann behält jedoch das Signal PDE "L" aufrecht. Wenn das Auffrischmodus-Ermittlungssignal RFS auf "H" ist, dann nimmt das Signal CKE1 in Reaktion auf ein Abnehmen des Signals CKE auf "L" ab. In Reaktion darauf nimmt das Signal PDE auf "H" zu und behält während jenem Zeitabschnitt "H" bei, in welchem das Signal CKE auf "L" ist.

Wenn das Signal CKE auf "H" zunimmt, wobei das Selbstaufrisch-Ermittlungssignal RFS auf "H" ist, dann nimmt das Signal CKE2 auf "H" zu, wobei das Signal PDE dann mittels der NOR-Schaltung 3264 auf "H" zunimmt. Das Zunehmen des Signals PDE wird asynchron zum externen Taktignal K ausgeführt. Bei der nächsten zunehmenden Flanke des Taktsignals K wird ein Vorlademodus spezifiziert, und das Auffrischmodus-Ermittlungssignal RFS nimmt auf "L" ab (da das Signal PDE auf "L" ist, werden die Signale CKE0 und ZCKE0 in Synchronisation mit dem internen Taktignal K erzeugt). Wenn das Signal RFS auf "L" abnimmt, dann nimmt das Signal CKE2 auf "L" ab, und das aus der NAND-Schaltung 3264 ausgegebene Signal PDE wird auf Grundlage des Auffrischmodus-Ermittlungssignals RFS auf "L" behalten.

Wenn das externe Taktignal K auf "H" zunimmt, dann wird das Signal CLKE erzeugt, und in Reaktion darauf nimmt das Signal CKE1 auf "H" zu. Danach wird während des Zeitabschnitts, in welchem das Signal CKE1 auf "H" ist, das interne Taktignal CLK auf Grundlage des externen Taktsignals K erzeugt.

Fig. 53A ist ein Schaltbild, welches speziell den Aufbau der in Fig. 49 dargestellten Schaltung zur Erzeugung eines ersten internen Takts zeigt. Unter Bezugnahme auf Fig. 53A umfaßt die Schaltung zur Erzeugung eines ersten internen Takts 2131 eine NAND-Schaltung 3270, welche ein Signal ZPDE und ein Taktignal K0 (oder extK) empfängt, eine Inverterschaltung 3272 zum Invertieren des Ausgangs der NAND-Schaltung 3270, Verzögerungsschaltungen 3276a, 3276b und 3276c, welche den Ausgang der Inverterschaltung 3272 verzögern, eine NAND-Schaltung 3277, welche das Ausgangssignal der Inverterschaltung 3272 und das Ausgangssignal der Verzögerungsschaltung 3276c empfängt, und eine Inverterschaltung 3278, welche das Ausgangssignal der NAND-Schaltung 3277 empfängt. Ein Takt-Entsperrsignal CLKE wird von der Inverterschaltung 3278 erzeugt, und ein komplementäres Takt-Entsperrsignal ZCLKE wird von der Inverterschaltung 3279 erzeugt. Der p-Kanal-MOS-Transistor 3274, der das Ausgangssignal der Inverterschaltung 3272 an seinem Gate empfängt, lädt den Eingang der Inverterschaltung 3272 auf einen Stromversorgungs-Potentialpegel auf, wenn das Ausgangssignal der Inverterschaltung 3272 auf "L" ist, und erhält das "L"-Signal aus der Inverterschaltung 3272 stabil aufrecht.

Die Verzögerungsschaltung 3276a enthält eine gera-

de Anzahl von Inverterschaltungen IGA mit einer relativ großen Verzögerungszeit, welche durch Schalten von Schaltschaltungen SW der Reihe nach auf einen geeigneten Wert festgelegt wird. Die Verzögerungsschaltung 3276b umfaßt eine gerade Anzahl von Inverterschaltungen IGB, deren Verzögerungszeit durch Schalten von Kontakten der Schaltschaltungen SW auf einen geeigneten Wert festgelegt wird. Die Verzögerungsschaltung 3276c weist eine relativ kleine Zeitverzögerung auf und wird zur Feineinstellung der Verzögerungszeit verwendet. Die Verzögerungsschaltung 3276c umfaßt eine ungerade Anzahl von Stufen von Inverterschaltungen IGC, wobei sie die aus den Verzögerungsschaltungen 3276a und 3276b angelegten Signale um einen vorgeschriebenen Zeitabschnitt verzögert und die Logik eines empfangenen Signals zur Ausgabe invertiert. Der Betrieb der in Fig. 53A dargestellten Schaltung zur Erzeugung eines ersten internen Taktsignals wird in Verbindung mit der Operations-Wellenform-Darstellung in Fig. 53B beschrieben werden.

Wenn das Signal ZPDE auf "H" ist, dann funktioniert die NAND-Schaltung 3270 als Inverter. Folglich wird ein Taktignal vom Inverter 3272 auf Grundlage des externen Taktsignals extK (K0) erzeugt. Die NAND-Schaltung 3277 gibt in Reaktion auf auf "H" liegende Signale, die an beiden Eingängen angelegt sind, ein auf "L" liegendes Signal aus. Die Verzögerungszeiten der Verzögerungsschaltungen 3276a und 3276b sind mit zwei Inverterschaltungen als Einheit festgelegt. Die Verzögerungsschaltungen 3276a und 3276b verzögern das Ausgangssignal der Inverterschaltung 3272 um einen vorgeschriebenen Zeitabschnitt. Die Verzögerungsschaltung 3276c invertiert das Signal der Verzögerungsschaltung 3276a oder 3276b und verzögert es um einen vorgeschriebenen Zeitabschnitt. Daher ist ein von der NAND-Schaltung 3277 in Reaktion auf ein Zunehmen des Taktsignals K0 erzeugtes Signal während der durch die Verzögerungsschaltungen 3276a bis 3276c verwendeten Verzögerungszeit auf "L". Insbesondere das in Reaktion auf ein Zunehmen des externen Taktsignals extK (K0) erzeugte Signal CLKE aus der Inverterschaltung 3278 ist für einen vorgeschriebenen Zeitabschnitt auf "H". Die Impulsbreite des Signals CLKE wird durch die Verzögerungsschaltungen 3276a und 3276c bestimmt, und das Abtasten und Verriegeln des Signals zum Entsperrn eines externen Takts extCKE im in Fig. 50 dargestellten Register 3250 wird unter Verwendung des Signals CLKE ausgeführt.

Wenn das Signal ZPDE auf "L" ist, dann ist der Ausgang der NAND-Schaltung 3270 auf "H" und das Ausgangssignal der Inverterschaltung 3272 auf "L". Das Ausgangssignal der NAND-Schaltung 3277 ist daher auf "H", und das Signal CLKE aus der Inverterschaltung 3278 ist auf "L". In diesem Zustand wird das Takt-Entsperrsignal CKE nicht abgetastet.

Fig. 54A ist ein Schaltbild, welches speziell den Aufbau der in Fig. 49 dargestellten Schaltung zur Erzeugung eines dritten internen Takts zeigt. Unter Bezugnahme auf Fig. 54A umfaßt die Schaltung zur Erzeugung eines dritten internen Takts 2134 einen n-Kanal-MOS-Transistor 3282, dessen einer Leitungsanschluß mit einem Ausgangsknoten 3281 verbunden ist und welcher ein Takt-Entsperrsignal CKE1 an seinem Gate empfängt, einen p-Kanal-MOS-Transistor 3284, welcher zwischen einem Stromversorgungs-Potentialknoten und dem Ausgangsknoten 3281 vorgesehen ist und das Takt-Entsperrsignal CKE1 an seinem Gate empfängt, p-Kanal-MOS-Transistoren 3285a, 3285b und 3285c,

welche zwischen dem Ausgangsknoten 3281 und dem Stromversorgungs-Potentialknoten parallel vorgesehen sind und ein Taktignal K0 an ihren Gates empfangen, n-Kanal-MOS-Transistoren 3286a, 3286b und 3286c, welche zwischen dem MOS-Transistor 3282 und einem Massepotentialknoten parallel vorgesehen sind und das Taktignal K0 an ihren Gates empfangen, eine Inverterschaltung 3285, welche das Signal am Knoten 3281 empfängt, Verzögerungsschaltungen 3288a, 3288b und 3288c zum Verzögern des Ausgangssignals der Inverterschaltung 3285 um einen vorgeschriebenen Zeitabschnitt, eine NAND-Schaltung 3280, welche den Ausgang der Inverterschaltung 3285 und denjenigen der Verzögerungsschaltung 3288c empfängt, eine Inverterschaltung 3289a, welche das Ausgangssignal der NAND-Schaltung 3280 empfängt, und eine Inverterschaltung 3289b, welche das Ausgangssignal der Inverterschaltung 3289a empfängt.

Ein Taktignal CLK wird von der Inverterschaltung 3289a erzeugt, und ein komplementäres internes Taktignal ZCLK wird von der Inverterschaltung 3289b erzeugt. Die drei das Taktignal K0 empfangenden Transistoren sind parallel vorgesehen, um die eine relativ große Treibfähigkeit aufweisende Inverterschaltung 3285 mit hoher Geschwindigkeit zu treiben. Das Signal CKE1 muß bei einem Zunehmen des Taktsignals K nur auf "H" oder auf "L" sein, und eine Reaktionsfähigkeit auf daßelbe mit hoher Geschwindigkeit ist nicht erforderlich. Folglich ist nur der eine Transistor zum Empfangen des Signals CKE1 vorgesehen. Die Stromversorgungsfähigkeit des n-Kanal-MOS-Transistors 3282, der das Signal CKE1 an seinem Gate empfängt, ist im Vergleich zu derjenigen der MOS-Transistoren 3286a, 3286b und 3286c ausreichend größer. Die Verzögerungsschaltung 3288a ist mit Inverterschaltungen IGA gebildet, von denen jede eine relativ kleine Treibfähigkeit aufweist und deren Verzögerungszeit relativ groß ist. Die Verzögerungszeit wird durch Schalten der Kontakte von Schalterschaltungen SW darin auf einen geeigneten Wert eingestellt. Die Verzögerungsschaltung 3288b ist aus Inverterschaltungen IGB mit einer relativ großen Treibfähigkeit gebildet, und deren Verzögerungszeit kann feiner eingestellt werden. Die aus einer ungeraden Anzahl von Stufen von Inverterschaltungen IG gebildete Verzögerungsschaltung 3288c verzögert ein Verzögerungssignal aus der Verzögerungsschaltung 3288a oder 3288b um einen vorgeschriebenen Zeitabschnitt und invertiert die Logik eines empfangenen Signals zur Ausgabe. Der Betrieb der in Fig. 54A gezeigten Schaltung wird in Verbindung mit deren Operations-Wellenform-Darstellung in Fig. 54B beschrieben werden.

Wenn das Signal CKE1 auf "H" ist, dann erreicht der Transistor 3284 einen Ausschaltzustand und der Transistor 3282 einen Einschaltzustand. In diesem Zustand erscheint das Inverse des Taktsignals K0 am Ausgangsknoten 3281, und der Ausgang der Inverterschaltung 3285 ist auf einem dem Taktignal K0 entsprechenden Potential. Daher wird ein auf "L" liegendes Signal aus der Inverterschaltung 3289a ausgegeben, welches der durch die Verzögerungsschaltungen 3288a bis 3288c gegebenen Verzögerungszeit entspricht, und wird ein internes Taktignal CLK von der Inverterschaltung 3289a erzeugt, welches eine konstante Zeitbreite aufweist und in Reaktion auf das Taktignal K0 mit einer hohen Geschwindigkeit auf "H" zunimmt.

Wenn das Signal CKE1 auf "L" ist, erreicht der Transistor 3282 einen Ausschaltzustand, und der Transistor 3284 erreicht einen Einschaltzustand. Folglich ist in die-

sem Zustand der Ausgangsknoten 3281 unabhängig vom Zustand des Taktsignals K0 auf "H", und in Reaktion darauf ist das interne Taktignal CLK auf "L" festgelegt.

5 Ein anderer Aufbau der Schaltung zur Erzeugung eines internen Takts

Fig. 55 ist ein Blockschaltbild, welches einen anderen 10 Aufbau einer Schaltungseinrichtung zur Erzeugung eines internen Takts mit einer Taktmaskenfunktion schematisch darstellt. In Fig. 55 umfaßt die Schaltungseinrichtung zur Erzeugung eines internen Takts einen Block zur Bestimmung eines DRAM-Stromverkleinerungsmodus 2150, welcher auf Grundlage eines internen Taktmaskensignals CMd # und eines externen Taktsignals extK bestimmt, ob ein DRAM-Stromverkleinerungsmodus spezifiziert ist oder nicht, eine Schaltung 15 zur Erzeugung eines internen Takts für den DRAM 2160 zum Erzeugen interner Taktsignale für den DRAM DK und DKT auf Grundlage eines Stromverkleinerungsmodus-Ermittlungssignals ZDPDE aus dem Block zur Bestimmung eines DRAM-Stromverkleinerungsmodus 2150 und des externen Taktsignals extK, einen Block 20 zur Bestimmung eines SRAM-Stromverkleinerungsmodus 2170, welcher auf Grundlage eines externen Taktmaskensignals CMs # und des externen Taktsignals extK bestimmt, ob ein SRAM-Stromverkleinerungsmodus spezifiziert ist oder nicht, und eine Schaltung 25 zur Erzeugung eines internen Takts für den SRAM 2180 zum Erzeugen interner Taktsignale für den SRAM SK und SKT auf Grundlage eines Stromverkleinerungsmodus-Ermittlungssignals ZSPDE aus dem Block zur Bestimmung eines SRAM-Stromverkleinerungsmodus 2170 und des externen Taktsignals extK.

Der Block zur Bestimmung eines DRAM-Stromverkleinerungsmodus 2150 umfaßt eine Schaltung zur Erzeugung eines DRAM-Taktmaskensignals 2152 zum Erzeugen interner Taktmaskensignale SRFPD und ZSRFPD auf Grundlage des externen Taktmaskensignals CMd #, eines Auffrischmodus-Ermittlungssignals RFS und eines stromverkleinerungsmodus-Ermittlungssignals DPDE, eine Schaltung zur Erzeugung eines ersten Timing-Signals 2154 zum Erzeugen erster Timing-Signale CLK2 und CLK2F auf Grundlage des externen Taktsignals extK und des internen Taktmaskensignals SRFPD, eine Schaltung zur Erzeugung eines zweiten Timing-Signals 2156 zum Erzeugen interner Takt-Entsperrsignale CKE0 und ZCKE0 auf Grundlage des Taktmaskensignals ZSRFPD, der Timing-Signale CLK2 und CLK2F und des externen Taktmaskensignals CMd #, und eine Schaltung zur Erzeugung eines DRAM-Stromverkleinerungs-Signals 2158 zum Erzeugen der DRAM-Stromverkleinerungsmodus-Ermittlungssignale DPDE und ZDPDE auf Grundlage der internen Takt-Entsperrsignale CKE0 und ZCKE0, der internen Timing-Signale CLK2 und CLK2F und des SRAM-Stromverkleinerungsmodus-Ermittlungssignals ZSPDE.

Die Schaltung zur Erzeugung eines DRAM-Taktmaskensignals 2152 erzeugt die internen Taktmaskensignale SRFPD und ZSRFPD auf Grundlage des externen Taktmaskensignals GMd #, wenn das stromverkleinerungsmodus-Ermittlungssignal DPDE und das Auffrischmodus-Ermittlungssignal RFS inaktiv sind. Die Schaltung zur Erzeugung eines ersten Timing-Signals 2154 erzeugt die Timing-Signale CLK2 und CLK2F mit vorgeschriebenen Zeitbreiten auf Grundlage des exter-

nen Taktsignals extK, wenn das Taktmaskensignal SRFPD keine Taktmaske anzeigt. Die Schaltung zur Erzeugung eines zweiten Timing-Signals 2156 verriegelt und hält die Signale CMd # und ZSRFPD auf Grundlage des Timing-Signals CLK2 und erzeugt die internen Takt-Entsperrsignale CKE0 und ZCKE0. Die Schaltung zur Erzeugung eines DRAM-Stromverkleinerungs-Signals 2158 verriegelt die Takt-Entsperrsignale CKE0 und ZCKE0 auf Grundlage des Timing-Signals CLK2F und erzeugt die Stromverkleinerungsmodus-Ermittlungssignale ZDPDE und DPDE.

Der Block zur Bestimmung eines SRAM-Stromverkleinerungsmodus 2170 umfaßt eine Schaltung zur Erzeugung eines SRAM-Taktmaskensignals 2172 zum Erzeugen interner Taktmaskensignale CMSF und ZCMSF auf Grundlage des Timing-Signals CLK2, eines Auffrischmodus-Ermittlungssignals ZRFS und des externen Taktmaskensignals CMs # und eine Schaltung zur Erzeugung eines SRAM-Stromverkleinerungs-Signals 2174 zum Verriegeln der internen Taktmaskensignale für den SRAM CMSF und ZCMSF auf Grundlage des Timing-Signals CLK2 und zum Erzeugen von SRAM-Stromverkleinerungsmodus-Ermittlungssignalen ZSPDE und SPDE.

Die Auffrischmodus-Ermittlungssignale RFS und ZRFSF werden von einem nicht dargestellten Auffrischbefehlsdecodierer erzeugt, welcher in der Steuerschaltung enthalten ist, und das Auffrischmodus-Ermittlungssignal RFS wird auf Grundlage des Auffrischmodus-Ermittlungssignals ZRFSF erzeugt. Obwohl deren Timing und deren Logik verschieden sind, wird hier angenommen, daß die Signale RFS und ZRFSF so erzeugt (aktiviert) werden, daß deren Timing im wesentlichen gleich ist und daß deren Logik zueinander komplementär ist.

Bei dem in Fig. 55 gezeigten Aufbau wird das Stromverkleinerungsmodus-Ermittlungssignal im vorhergehenden Zyklus auf Grundlage der vom externen Taktsignal extK erzeugten Timing-Signale CLK2 und CLK2F erzeugt und wird das interne Taktsignal DK oder SK durch Verwenden der Logik des Stromverkleinerungsmodus-Ermittlungssignals ZDPDE oder ZSPDE und des externen Taktsignals extK erzeugt, und daher ist ein genaues Maskieren des internen Taktsignals DK oder SK gesichert. Da das Timing-Signal CLK2 eine vom Einfluß der Impulsbreite des externen Taktsignals extK befreite konstante Impulsbreite aufweist, kann das Stromverkleinerungsmodus-Ermittlungssignal mit einem genauen Timing erzeugt werden.

Fig. 56 ist ein Schaltbild, welches speziell den Aufbau der in Fig. 55 dargestellten Schaltung zur Erzeugung eines internen Takts für den DRAM 2160 zeigt. In Fig. 56 umfaßt die Schaltung zur Erzeugung eines internen Takts für den DRAM 2160 eine NAND-Schaltung 3300, welche ein externes Taktsignal extK und ein stromverkleinerungsmodus-Ermittlungssignal ZDPDE empfängt, eine Inverterschaltung 3302, welche den Ausgang der NAND-Schaltung 3300 empfängt, einen n-Kanal-MOS-Transistor 3304, welcher zwischen einem Eingangsknoten der Inverterschaltung 3302 und einem Massepotentialknoten vorgesehen ist und welcher einen Ausgang der Inverterschaltung 3302 an seinem Gate empfängt, und NAND-Schaltungen 3306 und 3308, welche ein Flipflop bilden. Der MOS-Transistor 3304 leitet dann, wenn ein Ausgangssignal DKF der Inverterschaltung 3302 auf "H" ist, so daß er den Eingangsknoten der Inverterschaltung 3302 auf den Massepotentialpegel entlädt. Die NAND-Schaltung 3306 empfängt ein Taktabtast-Sperrsignal KDIS, ein Stromverklei-

nerungsmodus-Ermittlungssignal ZDPDE und ein Ausgangssignal der NAND-Schaltung 3308. Die NAND-Schaltung 3308 empfängt das Ausgangssignal der Inverterschaltung 3302 und das Ausgangssignal der NAND-Schaltung 3306. Wenn das Ausgangssignal der NAND-Schaltung 3306 auf "H" ist, dann wird die Erzeugung eines internen Taktsignals gesperrt.

Die Schaltung zur Erzeugung eines internen Takts für den DRAM 2160 umfaßt ferner eine Inverterschaltung 3310, welche das Ausgangssignal der NAND-Schaltung 3306 empfängt, eine NAND-Schaltung 3312, welche das externe Taktsignal extK und das Ausgangssignal der Inverterschaltung 3310 empfängt, eine Inverterschaltung 3314 zum Erzeugen eines Taktsignals DKT in Reaktion auf ein aus der NAND-Schaltung 3312 empfangenes Ausgangssignal und einen n-Kanal-MOS-Transistor 3316, welcher zwischen dem Massepotentialknoten und dem Eingangsknoten der Inverterschaltung 3314 vorgesehen ist und welcher an seinem Gate das Ausgangssignal DKT der Inverterschaltung 3314 empfängt. Der MOS-Transistor 3316 leitet dann, wenn das Taktsignal DKT auf "H" ist, so daß er den Eingangsknoten der Inverterschaltung 3314 auf den Massepotentialpegel entlädt. Der MOS-Transistor 3316 hat die Aufgabe, das Taktsignal DKT mit hoher Geschwindigkeit zu vergrößern und den "H"-Pegel des Signals DKT stabil beizubehalten. Wenn das Ausgangssignal der Inverterschaltung 3310 auf "L" ist, dann ist das Taktsignal DKT unabhängig vom Zustand des externen Taktsignals extK auf "L" festgelegt. Wenn das Ausgangssignal der Inverterschaltung 3310 auf "H" ist, dann nimmt das Taktsignal DKT auf Grundlage des externen Taktsignals extK auf "H" zu.

Die Schaltung zur Erzeugung eines internen Takts für den DRAM 2160 umfaßt ferner eine Inverterschaltung 3318 zum Invertieren eines Signals an einem Knoten 3329 und zum Erzeugen eines internen Taktsignals DK, eine Verzögerungsschaltung 3320 zum Verzögern des internen Taktsignals DK um einen vorgeschriebenen Zeitabschnitt, eine NAND-Schaltung 3322, welche das Ausgangssignal der Verzögerungsschaltung 3320 und das interne Taktsignal DK empfängt, eine Inverterschaltung 3324, welche das Ausgangssignal der NAND-Schaltung 3322 empfängt, eine NAND-Schaltung 3328, welche das Ausgangssignal der Inverterschaltung 3324 und das interne Taktsignal DK empfängt, einen p-Kanal-MOS-Transistor 3330, welcher zwischen einem Stromversorgungs-Potentialknoten und dem Knoten 3329 vorgesehen ist und das Ausgangssignal der NAND-Schaltung 3328 an seinem Gate empfängt, und einen p-Kanal-MOS-Transistor 3326, welcher zwischen dem Stromversorgungs-Potentialknoten und dem Knoten 3329 vorgesehen ist und das interne Taktsignal DK an seinem Gate empfängt. Die Verzögerungszeit der eine NAND-Schaltung und eine Inverterschaltung umfassenden Verzögerungsschaltung 3320 kann durch Schalten der Kontakte von darin enthaltenen Schaltern festgelegt werden. Der MOS-Transistor 3326 lädt den Knoten 3329 auf den Stromversorgungs-Potentialpegel auf, wenn das interne Taktsignal DK auf "L" ist. Die Stromversorgungsfähigkeit des MOS-Transistors 3326 ist groß. Der MOS-Transistor 3330 hält den Knoten 3329 auf dem Stromversorgungs-Potentialpegel, wenn das interne Taktsignal DK auf "H" ist. Der MOS-Transistor 3330 hat einfach die Aufgabe, das Potential des Knotens 3329 auf "H" zu halten, und dessen Stromversorgungsfähigkeit ist klein.

Die Schaltung zur Erzeugung eines internen Takts für den DRAM 2160 umfaßt ferner p-Kanal-MOS-Transi-

storen 3325 und 3327, welche zwischen dem Knoten 3329 und dem Stromversorgungs-Potentialknoten in Reihe vorgesehen sind und die Taktsignale DKT und DK an ihren entsprechenden Gates empfangen. einen p-Kanal-MOS-Transistor 3323, welcher zwischen dem Knoten 3329 und dem Massepotentialknoten vorgesehen ist und das interne Taktsignal DKT an seinem Gate empfängt, und n-Kanal-MOS-Transistoren 3321a und 3321b, welche zwischen dem Knoten 3329 und dem Massepotentialknoten in Reihe vorgesehen sind und das interne Taktsignal DK an ihrem Gate empfangen. Die MOS-Transistoren 3321a, 3321b, 3323, 3325 und 3327 bilden eine 2-Eingangs-NOR-Schaltung. Die n-Kanal-MOS-Transistoren 3321a und 3321b sind zwischen dem Knoten 3329 und dem Massepotentialknoten in Reihe vorgesehen. Da es nur notwendig ist, das Potential des Knotens 3329 auf den Massepotentialpegel zu bringen, nachdem der MOS-Transistor 3323 mit großer Stromtreibfähigkeit leitet, daher ist die Stromversorgungsfähigkeit jedes der Transistoren 3321a und 3321b klein, und die Kapazität ist für den Knoten 3329 zwischen dem Fall von auf "L" liegenden Signalen DKT und DT und dem Fall eines auf "H" liegenden Signals DK ausgeglichen (Lade- und Entladestrom sind ausgeglichen). Der Knoten 3329 wird durch die Transistoren 3325 und 3327 aufgeladen, wogegen er durch die Transistoren 3321a und 3321b entladen wird.

Das Ausgangssignal der das interne Taktsignal DK empfangenden Inverterschaltung 3301 oder das Signal am Knoten 3329 wird mittels einer Schaltschaltung an die NAND-Schaltung 3306 gelegt, um die Verzögerungszeit für das Taktabtastsperrsignal KDIS auf einen geeigneten Wert für die NAND-Schaltung 3306 festzulegen.

Der Aufbau der in Fig. 55 dargestellten Schaltung zur Erzeugung eines internen Takts für den DRAM ist im wesentlichen mit demjenigen der in Fig. 42 gezeigten Schaltung zur Erzeugung eines internen Takts 2188 identisch. Daher wird hier eine detaillierte Beschreibung nicht vorgesehen und nur der Betrieb kurz beschrieben. Wenn das Signal ZPDE auf "H" ist und das externe Taktsignal extK auf "H" zunimmt, dann wird das (aus den NAND-Schaltungen 3306 und 3308 gebildete) Flipflop so gesetzt, daß es das Ausgangssignal der Inverterschaltung 3310 auf "H" bringt, und dann nimmt das interne Taktsignal DKT auf "H" zu. Somit wird der Knoten 3329 durch den MOS-Transistor 3323 mit hoher Geschwindigkeit entladen und das interne Taktsignal DK durch die Funktion der Inverterschaltung 3318 auf "H" vergrößert. Wenn das Potential des Knotens 3329 auf den Massepotentialpegel entladen ist, dann nimmt das Signal KDIS auf "L" ab, wobei das Ausgangssignal der Inverterschaltung 3310 auf "L" abnimmt und das Taktsignal DKT auf "L" abnimmt. In diesem Zustand wird der Knoten 3329 durch die Funktion der MOS-Transistoren 3321a und 3321b auf dem Massepotentialpegel behalten.

In einem vorgeschriebenen Zeitabschnitt nimmt das Ausgangssignal DKRST aus der Inverterschaltung 3324 auf "H" zu, wobei der MOS-Transistor 3330 durch die NAND-Schaltung 3328 leitet und das Potential des Knotens 3329 sowohl infolge der ausreichend großen Stromversorgungsfähigkeit des Transistors 3330 als auch infolge der ausreichend großen Stromversorgungswerte der Transistoren 3321a und 3321b mit hoher Geschwindigkeit zunimmt. Somit nimmt das aus der Inverterschaltung 3318 ausgegebene interne Taktsignal DK auf "L" ab, wobei die MOS-Transistoren 3321a und 3321b beide ausgeschaltet werden und der Knoten 3329

durch die Transistoren 3325 und 3327 wieder aufgeladen wird. Da das Ausgangssignal der Inverterschaltung 3310 auf "L" festgelegt ist, wenn das Stromverkleinerungsmodus-Ermittlungssignal ZPDE auf "L" ist, bleiben die internen Taktsignale DK und DKT auf "L". Insbesondere die internen Taktsignale DK und DKT erreichen einen maskierten Zustand. Bei der in Fig. 56 gezeigten Schaltung zur Erzeugung eines internen Takts für den DRAM 2160 kann das eine festgelegte Impulsbreite aufweisende interne Taktsignal DK in Reaktion auf ein Zunehmen des externen Taktsignals extK mit einer hohen Geschwindigkeit erzeugt werden.

Fig. 57 ist ein Schaltbild, welches speziell den Aufbau der in Fig. 56 dargestellten Schaltung zur Erzeugung eines DRAM-Taktmaskensignals 2152 zeigt. Unter Bezugnahme auf Fig. 57 umfaßt die Schaltung zur Erzeugung einer DRAM-Taktmaske 2152 eine NAND-Schaltung 3350, welche das externe Taktmaskensignal CMd# und das Aufrischmodus-Ermittlungssignal RFS empfängt, eine Inverterschaltung 3352, welche das Ausgangssignal der NAND-Schaltung 3350 empfängt, eine NAND-Schaltung 3354, welche das Aufrischmodus-Ermittlungssignal RFS und das stromverkleinerungsmodus-Ermittlungssignal DPDE empfängt, eine NOR-Schaltung 3356, welche das Ausgangssignal der Inverterschaltung 3352 und das Ausgangssignal der NAND-Schaltung 3354 empfängt, und eine Inverterschaltung 3358, welche das Ausgangssignal der NOR-Schaltung 3356 empfängt. Ein Taktmaskensignal SRFPD wird von der NOR-Schaltung 3356 erzeugt, und ein komplementäres Taktmaskensignal ZSRFPD wird von der Inverterschaltung 3358 erzeugt. Der Betrieb wird nun in Verbindung mit Fig. 58 kurz beschrieben.

Wenn das Aufrischmodus-Ermittlungssignal RFS auf "L" ist, dann ist der Ausgang der NAND-Schaltung 3354 auf "H" und das aus der NOR-Schaltung 3356 ausgegebene Signal SRFPD auf "L". Wenn folglich ein Aufrischmodusbetrieb ausgeführt wird, dann ist das Signal SRFPD unabhängig vom Zustand des Taktmaskensignals CMd# auf "L" festgelegt. Das Signal CKE2 ist auch auf "L". Wenn das Aufrischmodus-Ermittlungssignal RFS auf "H" ist, dann funktionieren die NAND-Schaltungen 3350 und 3354 als Inverterschaltung. Wenn das externe Taktmaskensignal CMd# auf "H" ist, dann ist das Ausgangssignal der NAND-Schaltung 3350 auf "L", wobei das Signal CKE2 aus der Inverterschaltung 3352 auf "H" gebracht wird, und das Signal SRFPD ist auf "L".

In Reaktion auf ein Abnehmen des Signals CMd# auf "L" wird das Signal CKE2 auf "L" gezogen. Wenn das interne Stromverkleinerungsmodus-Sperrsignal DPDE gemäß dem externen Maskensignal CMd# auf "H" zunimmt, dann nimmt das Ausgangssignal SRFPD aus der NOR-Schaltung 3356 auf "H" zu. In diesem Zustand wird in Reaktion auf ein Zunehmen des Taktmaskensignals CMd# auf "H" das Signal CKE2 auf "H" und das Signal SRFPD auf "L" gezogen.

Insbesondere wird das Signal SRFPD nur dann erzeugt oder aktiviert, wenn das Taktmaskensignal CMd# in einem aktiven Zustand bei einem Aufrischmodusbetrieb extern angelegt wird.

Fig. 59 ist ein Schaltbild, welches den Aufbau der in Fig. 55 dargestellten Schaltung zur Erzeugung eines ersten Timing-Signals zeigt. Der Aufbau der in Fig. 59 dargestellten Schaltung zur Erzeugung eines ersten Timing-Signals 2154 ist mit dem Aufbau der in Fig. 56 gezeigten Schaltung zur Erzeugung eines internen Takts für den DRAM 2160 identisch. Die in Fig. 59 dar-

gestellte Schaltung zur Erzeugung eines ersten Timing-Signals unterscheidet sich von dem in Fig. 56 gezeigten Aufbau nur dadurch, daß ein Signal ZSRFPD anstelle des Signals ZDPDE vorgesehen ist und daß Signale CLK2 und CLK2F erzeugt werden. Deren Aufbau und deren Betrieb werden daher nicht detailliert beschrieben.

Bei der in Fig. 59 gezeigten Schaltung zur Erzeugung eines ersten Timing-Signals werden die internen Taktsignale CLK2 und CLK2F nicht erzeugt, wenn das Signal ZSRFPD auf "L" ist. Die internen Taktsignale CLK2 und CLK2F werden auf Grundlage des externen Taktsignals extK nur dann erzeugt, wenn das Signal ZSRFPD auf "H" ist. Das Taktsignal CLK2 hat eine konstante Impulsbreite, und die Impulsbreite des Taktsignals CLK2F wird auf Grundlage des internen Taktsignals extK bestimmt. Insbesondere wird die Erzeugung der Taktsignale CLK2 und CLK2F verhindert, wenn in einem Auffrischmodus ein aktives Taktmaskensignal CMd# angelegt ist.

Fig. 60 ist ein Schaltbild, welches speziell den Aufbau der in Fig. 55 gezeigten Schaltung zur Erzeugung eines zweiten Timing-Signals darstellt. Unter Bezugnahme auf Fig. 60 umfaßt die Schaltung zur Erzeugung eines zweiten Timing-Signals 2156 eine NAND-Schaltung 3400, welche das externe Taktmaskensignal CMd# und das Signal ZSRFPD empfängt, eine Inverterschaltung 3402, welche das Ausgangssignal der NAND-Schaltung 3400 empfängt, ein Zwei-Richtungs-Transfergate 3404, welches den Ausgang der Inverterschaltung 3404 auf Grundlage der Taktsignale CLK2 und ZCLK2 durchläßt, und Inverterschaltungen 3406a und 3406b zum Verriegeln eines durch das Transfergate 3404 durchgelassenen Signals. Zwischen dem Eingangsknoten der Inverterschaltung 3402 und einem Stromversorgungs-Potentialknoten ist ein p-Kanal-MOS-Transistor 3401 vorgesehen, welcher dann leitet, wenn das Ausgangssignal der Inverterschaltung 3402 auf "L" ist. Das Transfergate 3404 leitet, wenn das Taktsignal CLK2 auf "H" ist. Folglich bilden das Zwei-Richtungs-Transfergate 3404 und die Inverterschaltungen 3406a und 3406b eine Verriegelungsschaltung zum Übernehmen und Verriegeln eines angelegten Signals, wenn das Taktsignal CLK2 auf "H" ist, und zum Behalten des Verriegelungszustandes während eines Zeitabschnitts, in dem das Taktsignal CLK2 auf "L" ist.

Die Schaltung zur Erzeugung eines zweiten Timing-Signals 2156 umfaßt ferner eine Inverterschaltung 3407, welche den Ausgang der Inverterschaltung 3406a empfängt, eine NAND-Schaltung 3408a, welche das Ausgangssignal der Inverterschaltung 3406a, das Taktsignal CLK2 und das Signal ZSRFPD empfängt, eine Inverterschaltung 3409a, welche das Ausgangssignal der NAND-Schaltung 3408a empfängt, eine NAND-Schaltung 3408b, welche das Taktsignal CLK2, das Signal ZSRFPD und das Ausgangssignal der Inverterschaltung 3407 empfängt, und einen Inverter 3409b, welcher das Ausgangssignal der NAND-Schaltung 3408b empfängt. Ein Signal ZCKE0 wird von einer Inverterschaltung 3409a erzeugt, und ein Signal CKE0 wird von der Inverterschaltung 3409b erzeugt.

Wenn das Signal ZSRFPD auf "H" ist und ein Selbst-auffrischmodus nicht spezifiziert ist, dann wird das Taktsignal CLK2 auf Grundlage des externen Taktsignals extK erzeugt. In Reaktion auf ein Zunehmen des Taktsignals CLK2 leitet folglich das Zwei-Richtungs-Transfergate 3404, und ein aus dem Transfergate 3404 angelegtes Signal wird durch die Funktion der Inverterschaltun-

gen 3406a und 3406b verriegelt. Wenn das Signal CMd# auf "H" ist, dann ist das Ausgangssignal der Inverterschaltung 3402 auf "H". Das Ausgangssignal der Inverterschaltung 3406a ist daher auf "L", und das Signal ZCKE0 ist auf "L". Der Zustand des Signals ZCKE0 wird unabhängig vom Zustand des Taktsignals CLK2 gehalten. Inzwischen ist das Ausgangssignal der Inverterschaltung 3407 auf "H", und in Reaktion auf ein Zunehmen des Taktsignals CLK2 auf "H" wird das Ausgangssignal der NAND-Schaltung 3408b auf "L" gezogen, und das Signal CKE0 nimmt auf "H" zu. Wenn das Taktmaskensignal CMd# auf "L" ist, dann ist das Signal ZCKE0 auf "H" und das Signal CKE0 auf "L". Falls das Signal ZSRFPD auf "L" ist, dann sind die Signale CKE0 und ZCKE0 beide auf "L". Insbesondere wenn eine Operation zum Maskieren eines internen Taktmaskensignals bei einem Auffrischmodusbetrieb notwendig ist, werden die Signale CKE0 und ZCKE0 beide auf "L" gezogen. Die Zustände der Signale CKE0 und ZCKE0 werden für einen Taktzyklus-Zeitabschnitt durch das Transfergate 3404 beibehalten (wobei das Signal ZSRFPD auf "H" ist). Wenn folglich das externe Taktmaskensignal CMd# auf "L" festgelegt ist, dann werden die Signale CKE0 und ZCKE0 während des Taktzyklus-Zeitabschnitts (während des Zeitabschnitts, in dem das Taktsignal CLK2 auf "H" ist) entsprechend auf "L" bzw. "H" gebracht.

Fig. 61 ist ein Schaltbild, welches speziell den Aufbau der in Fig. 55 dargestellten Schaltung zur Erzeugung eines DRAM-Stromverkleinerungs-Signals 2158 zeigt. In Fig. 61 umfaßt die Schaltung zur Erzeugung eines DRAM-Stromverkleinerungs-Signals 2158 eine NAND-Schaltung 3420, welche die Stromverkleinerungs-Entsperrsignale ZDPDE und ZSPDE empfängt, eine AND-Schaltung 3422, welche das Ausgangssignal der NAND-Schaltung 3420 und das Taktsignal CLK2F empfängt, und eine NOR-Schaltung 3424, welche das Ausgangssignal der AND-Schaltung 3422 und das Taktsignal CLK2 empfängt. Das Taktsignal ZCLK2 wird von der NOR-Schaltung 3424 erzeugt. Wenn das Signal ZSRFPD auf "H" ist, mit anderen Worten, bei einem Normalbetrieb, werden die Taktsignale CLK2 und CLK2F auf Grundlage des externen Taktsignals extK erzeugt. Wenn zu der Zeit wenigstens eines der Signale ZDPDE und ZSPDE auf "L" ist, dann wird das Ausgangssignal der NAND-Schaltung 3420 auf "H" gebracht, und die AND-Schaltung 3422 läßt das Signal CLK2F hindurch. Das Ausgangssignal ZCLK2 der NOR-Schaltung 3424 wird auf "H" gebracht, wenn das Ausgangssignal der AND-Schaltung 3422 und das Taktsignal CLK2 beide auf "L" sind. Wenn die Signale ZDPDE und ZSPDE beide auf "H" sind, dann erreicht das Ausgangssignal der NAND-Schaltung 3420 einen "L"-Zustand, und das Ausgangssignal der AND-Schaltung 3422 wird auf "L" gebracht. In diesem Fall funktioniert die NOR-Schaltung 3424 als Inverter und invertiert das Taktsignal CLK2. Folglich hat das Taktsignal ZCLK2 bei einem Stromverkleinerungsmodus-Betrieb eine andere aktive Signalbreite.

Wenn das Signal ZSRFPD auf "L" ist, dann sind die Taktsignale CLK2F und CLK2 beide auf "L", und das Signal ZCLK2 ist auf "H".

Die Schaltung zur Erzeugung eines DRAM-Stromverkleinerungs-Signals 2158 umfaßt ferner NAND-Schaltungen 3426 und 3428, welche das Stromversorgungspotential Vdd an dem einen entsprechenden Eingang und die Signale ZCKE0 und CKE0 an den entsprechenden anderen Eingängen empfangen, ein Flipflop

3430, welches auf Grundlage der Ausgangssignale der NAND-Schaltungen 3426 und 3428 gesetzt/rückgesetzt wird, NAND-Schaltungen 3432 und 3433, welche die Ausgänge Q und /Q des Flipflops 3430 invertieren, so daß deren Durchgang dann erfolgt, wenn das Taktignal ZCLK2 auf "H" ist, ein Flipflop 3434, welches in Reaktion auf die Ausgangssignale der NAND-Schaltungen 3432 und 3433 gesetzt/rückgesetzt wird, und Inverterschaltungen 3436a und 3436b, welche die Ausgangssignale Q und /Q der Flipflopschaltung 3434 invertieren. Das Signal ZDPDE wird aus der Inverterschaltung 3436a ausgegeben, und das Signal DPDE wird von der Inverterschaltung 3436b erzeugt.

Wie in Fig. 60 dargestellt, werden die Signale CKE0 und ZCKE0 auf "L" festgelegt, wobei das Taktignal CLK2 auf "L" ist. Die NAND-Schaltungen 3426 und 3428 funktionieren in dieser Situation als Inverterschaltung und übertragen jeweils ein auf "H" liegendes Signal in das Flipflop 3430. In diesem Zustand ändert sich das Ausgangssignal des Flipflops 3430 nicht. Während dieses Zeitabschnitts ist das Signal ZCLK2 auf "H", wobei die NAND-Schaltungen 3432 und 3433 als Inverterschaltung funktionieren, und die Zustände der Ausgangssignale Q und /Q des Flipflops 3434 werden auf Grundlage der Ausgangssignale Q und /Q des Flipflops 3430 bestimmt.

In Reaktion auf ein Zunehmen des Signals CLK2 auf "H" werden die Zustände der Signale ZCKE0 und CKE0 auf Grundlage der Zustände der Signale CMd# und ZSRFPD bestimmt und in das Flipflop 3430 übertragen. Zu dieser Zeit ist das Signal ZCLK2 auf "L", und die Ausgangssignale des Flipflops 3430 werden nicht in das Flipflop 3434 übertragen.

Wenn das Signal ZSRFPD auf "H" und das Taktmaskensignal CMd# auf "H" ist, dann wird in Reaktion auf ein Zunehmen des Taktsignals CLK2 das Signal CKE0 auf "H" und das Signal ZCKE0 auf "L" gezogen. Der Q-Ausgang und der /Q-Ausgang des Flipflops 3430 wird entsprechend auf "L" bzw. "H" gezogen. Wenn das Taktignal CLK auf "L" abnimmt und das Taktignal ZCLK2 auf "H" zunimmt, dann werden die Ausgänge Q und /Q des Flipflops 3434 auf "L" bzw. "H" gesetzt. In diesem Zustand ist das Signal DPDE auf "L" und das Signal ZDPDE auf "H".

In Reaktion auf ein Abnehmen des externen Taktmaskensignals CMd# auf "L" werden die Signale ZCKE0 und CKE0 in Reaktion auf ein Zunehmen des Taktsignals CLK2 auf "H" bzw. "L" gebracht. In Reaktion auf ein anschließendes Zunehmen des Signals ZCLK2 auf "H" werden der Q-Ausgang und der /Q-Ausgang des Flipflops 3434 entsprechend auf "H" bzw. "L" und werden die Signale DPDE und ZDPDE entsprechend auf "H" bzw. "L" gebracht. Wenn das Signal ZDPDE auf "L" abnimmt, dann wird das Signal ZCLK2 auf Grundlage des Taktsignals CLK2F aus dem nächsten Taktzyklus erzeugt. Im Ergebnis wird das Signal DPDE an die Schaltung zur Erzeugung eines internen Takts für den DRAM 2160 gelegt, so daß die Erzeugung des internen Taktsignals DK im nächsten Taktzyklus gesperrt ist.

Wenn das Signal ZSRFPD in einem Selbstauffrischmodus auf "L" gesetzt ist, dann werden die Signale CKE0 und ZCKE0 auf "L" gesetzt. In diesem Zustand ändert sich der Signalverriegelungszustand des Flipflops 3430 nicht, und es wird verhindert, daß die internen Taktsignale CLK2, CLK2F und ZCLK2 erzeugt werden. Das Taktignal ZCLK2 bleibt daher auf "H", und die Signale DPDE und ZDPDE behalten ihre vorhergehenden

den Zustände bei. Das Signal ZSRFPD nimmt nur dann auf "L" ab, nachdem das externe Maskensignal CMd# bei einer Selbstauffrischoperation auf "L" gesetzt wurde und nachdem das Signal DPDE auf "H" zugenommen hat (siehe Fig. 58). Wenn folglich bei einem angewiesenen Auffrischmodus das externe Taktmaskensignal CMd# einen aktiven Zustand erreicht, kann die Erzeugung eines internen Taktsignals DK sicher verhindert werden. Bei diesem Aufbau wird bei einer Auffrischmodus-Anweisung durch Anlegen eines externen Taktmaskensignals verhindert, daß im Ergebnis ein internes Taktsignal erzeugt wird.

Fig. 62 ist ein Schaltbild, welches speziell den Aufbau der Schaltung zur Erzeugung einer SRAM-Taktmaske und der Schaltung zur Erzeugung eines SRAM-Stromverkleinerungs-Signals zeigt, welche in Fig. 55 dargestellt sind. In Fig. 62 umfaßt die Schaltung zur Erzeugung eines SRAM-Taktmaskensignals 2172 eine NAND-Schaltung 3450, welche das Stromversorgungspotential Vdd an ihrem einen Eingang und das externe Taktmaskensignal CMs# an ihrem anderen Eingang empfängt, eine Inverterschaltung 3452, welche das Ausgangssignal der NAND-Schaltung 3450 empfängt, ein Zwei-Richtungs-Transfertage 3454, welches den Ausgang der Inverterschaltung 3452 auf Grundlage der Taktsignale CLK2 und ZCLK2 durchläßt, und eine NAND-Schaltung 3458, welche das Auffrischmodus-Ermittlungssignal ZRFSF und ein durch das Transfertage 3454 übertragenes Signal empfängt. Zwischen dem Eingangsknoten der Inverterschaltung 3452 und dem Stromversorgungs-Potentialknoten ist ein p-Kanal-MOS-Transistor 3451 vorgesehen, welcher in Reaktion darauf, daß das Ausgangssignal der Inverterschaltung 3452 auf "L" ist, leitet. Das Zwei-Richtungs-Transfertage 3454 leitet dann, wenn das Taktignal CLK2 auf "L" ist. Das Ausgangssignal der NAND-Schaltung 3458 wird an deren einen Eingang mittels der Inverterschaltung 3456 rückgekoppelt.

Die Schaltung zur Erzeugung eines SRAM-Taktmaskensignals 2172 umfaßt ferner eine Inverterschaltung 3460, welche das Ausgangssignal der NAND-Schaltung 3458 empfängt, eine NAND-Schaltung 3462, welche das Ausgangssignal der NAND-Schaltung 3458 und das Taktignal CLK2 empfängt, und eine NAND-Schaltung 3464, welche das Taktignal CLK2 und das Ausgangssignal der Inverterschaltung 3460 empfängt. Jede der NAND-Schaltungen 3462 und 3464 funktioniert als Inverterschaltung, wenn das Taktignal CLK2 einen "H"-Pegel erreicht.

Das Zwei-Richtungs-Transfertage 3454 erreicht einen Nicht-Leitungszustand, wenn das Taktignal CLK2 auf "H" zunimmt. Insbesondere wird der Zustand des externen Taktmaskensignals CMs# bei einem Zunehmen des externen Taktsignals extK mittels der durch die NAND-Schaltung 3458 und die Inverterschaltung 3456 gebildeten Verriegelungsschaltung verriegelt. Wenn das Signal ZRFSF auf "H" ist und das externe Taktmaskensignal CMs# bei einem Zunehmen des externen Taktsignals extK auf "L" festgelegt ist, dann nimmt das Ausgangssignal der NAND-Schaltung 3458 auf "H" zu, wobei (in Reaktion auf ein Zunehmen des Taktsignals CLK2) das Signal ZCMSF auf "L" abnimmt und das Signal CMSF auf "H" zunimmt. Wenn das Taktignal CLK2 auf "L" ist, dann sind die Signale ZCMSF und CMSF beide auf "H". In einem Auffrischmodus ist das Signal ZRFSF auf "L" gesetzt. In diesem Zustand, der demjenigen Zustand ähnlich ist, bei welchem das externe Taktmaskensignal CMs# auf "L" gesetzt ist, nimmt

das Taktmaskensignal CMSF auf "H" zu und das Signal ZCMSF auf "L" ab.

Wenn daher das Auffrischmodus-Ermittlungssignal ZRFSF erzeugt ist, dann erreicht das interne Taktignal einen maskierten Zustand, so wie das externe Taktmaskensignal CMs # einen aktiven Zustand erreicht.

Die Schaltung zur Erzeugung eines SRAM-Stromverkleinerungs-Signals 2174 umfaßt ein Flipflop 3470, welches die Signale ZCMSF und CMSF empfängt, NAND-Schaltungen 3472a und 3472b, welche die Ausgänge Q und /Q des Flipflops 3470 invertieren, so daß sie durch jene durchgelassen werden, wenn das Taktignal ZCLK2 auf "H" ist, ein Flipflop 3474, welches in Reaktion auf die Ausgangssignale der NAND-Schaltungen 3472a und 3472b gesetzt/rückgesetzt wird, und Inverterschaltungen 3476a und 3476b, welche die Ausgänge Q und /Q des Flipflops 3474 empfangen. Das Signal ZSPDE wird von der Inverterschaltung 3476a erzeugt, und das Signal SPDE wird von der Inverterschaltung 3476b erzeugt.

Wenn das Signal ZCMSF auf "L" ist, dann nimmt das Signal ZSPDE auf "L" ab, und wenn das Signal CMSF auf "L" ist, dann nimmt das Signal SPDE auf "L" ab. Insbesondere werden die Signale ZCMSF und CMSF auf Grundlage eines Zunehmens des Taktsignals ZCLK2 übertragen, und sie werden zu Signalen ZSPDE und SPDE.

Das Taktignal CLK2 wird in Reaktion auf ein Zunehmen des externen Taktsignals extK erzeugt, wie in Fig. 59 gezeigt. Somit verriegelt das Flipflop 3470 zunächst den Zustand des externen Taktmaskensignals CMs #. Wenn das Taktignal CLK2 abnimmt und das Taktignal ZCLK2 zunimmt, dann ändern sich die Signale ZSPDE und SPDE auf Grundlage der Zustände der Signale ZCMSF und CMSF. Die Flipflops 3470 und 3474 halten ihre jeweiligen Zustände während einem Zyklus der Taktsignale CLK2 und ZCLK2. Wenn daher das Taktmaskensignal CMs # aktiviert ist ("L"), nimmt das Signal SPDE in Reaktion auf ein Abnehmen des internen Taktsignals CLK2 in dem Taktzyklus auf "H" zu und das Signal ZSPDE auf "L" ab. Bei einem Zunehmen des externen Taktsignals extK im nächsten Taktzyklus wird folglich die Erzeugung des internen Taktsignals gesperrt (da das Signal SPDE auf "H" ist). Wie vorstehend beschrieben, wird der Zustand des externen Taktmaskensignals CMs # unter Verwendung der Taktsignale CLK2 und ZCLK2 übertragen, wobei die Impulsbreiten der Taktsignale CLK2 und ZCLK2 unabhängig von der Impulsbreite des externen Taktsignals extK konstant gehalten werden, und daher können die Signale SPDE und ZSPDE mit vorgeschriebenen Timings sicher erzeugt und die internen Signale maskiert werden.

Fig. 63 ist ein Schaltbild, welches speziell den Aufbau der in Fig. 55 gezeigten Schaltung zur Erzeugung eines internen Takts für den SRAM 2180 darstellt. Der Aufbau der Schaltung zur Erzeugung eines internen Takts für den SRAM 2180 in Fig. 63 ist im wesentlichen mit dem Aufbau der in Fig. 56 dargestellten Schaltung zur Erzeugung eines internen Takts für den DRAM identisch. Der in Fig. 63 gezeigte Aufbau unterscheidet sich von dem in Fig. 56 dargestellten Aufbau durch die Bezeichnungen und die Benennungen für das Stromverkleinerungsmodus-Ermittlungssignal und die Taktsignale. Bei der in Fig. 63 gezeigten Anordnung werden die internen Taktsignale SK und SKT auf Grundlage des Stromverkleinerungsmodus-Ermittlungssignals ZSPDE und des externen Taktsignals extK erzeugt. Die in

Fig. 63 dargestellte Anordnung ist dieselbe wie diejenige der in Fig. 56 gezeigten Schaltung, und daher werden die Struktur und der Betrieb hier nicht detailliert beschrieben. Falls bei der in Fig. 63 dargestellten Anordnung das stromverkleinerungsmodus-Ermittlungssignal ZSPDE auf "L" ist, wird die Erzeugung des internen Taktsignals SK gestoppt, und falls das Signal ZSPDE auf "H" ist, wird das interne Taktignal SK mit einer konstanten Impulsbreite auf Grundlage des externen Taktsignals extK erzeugt.

#### Die Schaltung zur Erzeugung eines Impulses zum Abtasten eines externen Signals

Bei den in den Fig. 5 und 6 gezeigten Anordnungen sind die Eingangspuffer, wie beispielsweise der Adressenpuffer und der WE-Puffer, so dargestellt, daß sie die externen Signale auf Grundlage des internen Takts SK oder DK übernehmen. Das Chip-Auswahlsignal CS wird an die Steuersignal-Erzeugungsschaltung gelegt und deren Entsperrnen/Sperren bestimmt. In diesem Fall verhindert jedoch das Erzeugen eines Impulses zum Abtasten eines externen Steuersignals gemäß dem Signal CS unnötige Abtastoperationen in den Eingangspuffern, und daher kann der Stromverbrauch verkleinert werden. Die Anordnung wird nun beschrieben.

Fig. 64A ist ein Schaltbild, welches den Aufbau eines Abschnitts zur Erzeugung eines Abtastimpulses schematisch zeigt. In Fig. 64A umfaßt der Abschnitt zur Erzeugung eines Abtastimpulses ein Transfergate 3550, welches ein internes Chip-Auswahlsignal CS aus einem CS-Puffer (nicht dargestellt) gemäß internen Taktsignalen SK und ZSK durchläßt, einen n-Kanal-MOS-Transistor 3558, welcher in Reaktion auf den Ausgang des Transfergates 3550 leitet, eine Verzögerungs-Inverterschaltung 3560 zum Invertieren des internen Taktsignals SK und zum Verzögern desselben um einen vorgeschriebenen Zeitabschnitt, einen n-Kanal-MOS-Transistor 3564, welcher in Reaktion auf ein Ausgangssignal ZSKD aus der Verzögerungs-Inverterschaltung 3560 leitet, einen n-Kanal-MOS-Transistor 3562, welcher in Reaktion auf das interne Taktignal SK leitet, und Inverterschaltungen 3554 und 3556 zum Verriegeln des Gatepotentials des Transistors 3558. Die Transistoren 3558, 3564 und 3562 sind zwischen einem Knoten 3551 und einem Massepotentialknoten in Reihe geschaltet. Das Transfergate 3550 enthält einen n-Kanal-MOS-Transistor 3550a, welcher das interne Taktignal SK an einem Gate empfängt, und einen n-Kanal-MOS-Transistor 3550b, welcher das invertierte interne Taktignal ZSK an einem Gate empfängt. Der Eingang der Inverterschaltung 3556 ist mit dem Gate des Transistors 3558 verbunden. Die Inverterschaltung 3554 erreicht in Reaktion auf ein auf "H" liegendes internes Taktignal SK einen Operations-Entsperrzustand und invertiert das Ausgangssignal der Inverterschaltung 3556 zur Übertragung an das Gate des Transistors 3558. Die Inverterschaltung 3554 erreicht einen Ausgangs-Hochimpedanzzustand, wenn das interne Taktignal SK auf "L" ist. Der Transistor 3562 ist mit dem Knoten 3551 verbunden, um den Knoten 3551 in Reaktion auf ein Zunehmen des internen Taktsignals SK mit hoher Geschwindigkeit zu entladen.

Das System zur Erzeugung eines Abtastimpulses umfaßt ferner eine Inverterschaltung 3566, welche ein Signal ZSLC am Knoten 3551 empfängt, eine Verzögerungsschaltung 3570 zum Verzögern des Ausgangs des Inverters 3566 um einen vorgeschriebenen Zeitab-

schnitt, eine NAND-Schaltung 3572, welche das Ausgangssignal der Inverterschaltung 3566 und das Ausgangssignal der Verzögerungsschaltung 3570 empfängt, einen p-Kanal-MOS-Transistor 3574, welcher zwischen dem Stromversorgungs-Potentialknoten und dem Knoten 3551 so vorgesehen ist, daß dessen Gate das Ausgangssignal der NAND-Schaltung 3572 empfängt, und eine Inverterschaltung 3568 zum Invertieren des Ausgangssignals SLC der Inverterschaltung 3566 zur Übertragung an den Knoten 3551. Die Inverterschaltung 3566 weist eine genügend große Treibfähigkeit auf, und die Inverterschaltung 3568 hat eine relativ kleine Treibfähigkeit. Die Inverterschaltung 3568 bewirkt nur, daß das Signal SLC auf "H" beibehalten wird. Die Transistoren 3562, 3564 und 3558 weisen relativ große Treibfähigkeiten auf, und der p-Kanal-MOS-Transistor 3574 hat ferner eine relativ große Treibfähigkeit. Nun wird der Betrieb der in Fig. 64A dargestellten Schaltung in Verbindung mit deren Operations-Wellenform-Darstellung in Fig. 64B beschrieben.

Es wird ein Betrieb beschrieben, bei welchem das Ausgangssignal CS aus dem CS-Puffer auf "H" ist. In Reaktion auf ein Zunehmen des internen Taktsignals SK auf "H" erreicht das Transfergate 3550 einen Nicht-Leitungszustand, und das Chip-Auswahlsignal CS wird an das Gate des Transistors 3558 gelegt. Wenn das interne Taktsignal SK auf "H" zunimmt, dann wird der Taktinverter 3554 entsperrt, und er verriegelt das Gate des MOS-Transistors 3558. Da das Signal CS auf "H" ist, wird der MOS-Transistor 3558 eingeschaltet. Ferner wird in Reaktion auf das Zunehmen des Signals SK auf "H" der MOS-Transistor 3562 eingeschaltet. Die Inverterschaltung 3560 sieht eine relativ große Zeitverzögerung vor, und das Signal ZSKD ist noch immer auf "H", wenn das Signal SK auf "H" zunimmt. Die MOS-Transistoren 3562, 3564 und 3558 sind daher alle eingeschaltet und entladen den Knoten 3551 auf das Massepotential. Wenn der Pegel des Signals ZSLC am Knoten 3551 abnimmt, dann erhöht die Inverterschaltung 3566 das Verriegelungssignal SLC mit einer hohen Geschwindigkeit auf "H". In einem vorgeschriebenen Zeitabschnitt nimmt das Ausgangssignal der NAND-Schaltung 3572 auf "L" ab, und der MOS-Transistor 3574 wird eingeschaltet, so daß er den Knoten 3551 auf den Stromversorgungs-Potentialpegel lädt. Zur Zeit des Ladens durch den Transistor 3574 ist kein Entladungspfad für den Knoten 3551 vorhanden, da das Signal ZSKD bereits auf "L" ist. Somit treibt die Inverterschaltung 3556 das Signal SLC auf "L".

Das Taktsignal SK aus der in Fig. 63 gezeigten Schaltung zur Erzeugung eines internen Takts treibt nur den MOS-Transistor 3562 und erzeugt das Abtastimpuls-Signal SLC. Die Schaltung zur Erzeugung eines internen Takts benötigt eine relativ kleine Treibfähigkeit, und daher kann das Schaltungsausmaß der Schaltung zur Erzeugung eines internen Takts verkleinert werden. Die MOS-Transistoren 3562, 3564 und 3558 benötigen nur die Fähigkeit, das Potential des Knotens 3551 zu verkleinern. Das Signalfeld am Knoten 3551 wird durch den eine große Treibfähigkeit aufweisenden Inverter 3556 verstärkt. Daher benötigen die Transistoren 3562, 3564 und 3558 nur eine relativ kleine Stromtreibfähigkeit. Ferner wird das Abtastimpuls-Signal SLC gemäß dem internen Taktsignal SK mittels einer Stufe eines MOS-Transistors erzeugt, und daher kann das Abtastimpuls-Signal mit einer hohen Geschwindigkeit erzeugt werden. Der Zeitabschnitt, während dem das Abtastimpuls-Signal SLC auf "H" ist, wird mittels der durch die

Verzögerungsschaltung 3570 gegebenen Verzögerungszeit bestimmt, und ein Abtastimpuls mit einer konstanten Impulsbreite kann immer erzeugt werden. Der Abtastzeitabschnitt hierin bedeutet die durch die Ein-5 stellzeit und die Abklingzeit gebildete Zeit, welche für das Chip-Auswahlsignal gewöhnlich erforderlich ist, und ein Verkleinern des Abtastzeitabschnitts kann das Signal mit einer hohen Geschwindigkeit ändern, was ei-10 nen Hochgeschwindigkeitsbetrieb ergibt.

Falls das Chip-Auswahlsignal CS auf "L" ist, ist der MOS-Transistor 3558 in einem Ausschaltzustand, wobei der Knoten 3551 nicht entladen wird und das Abtastimpuls-Signal SLC "L" beibehält. In Reaktion auf ein Abnehmen des Abtastimpuls-Signals SLC auf "L" nimmt das Ausgangssignal der NAND-Schaltung 3572 auf "H" zu, und daher wird der MOS-Transistor 3574 ausgeschaltet, womit der Stromverbrauch in diesem Pfad wesentlich verkleinert wird.

Das Abtastimpuls-Signal SLC ist an einen in Fig. 64A 20 dargestellten Eingangspuffer 3570 gelegt. Der Eingangspuffer 3570 verriegelt ein externes Signal extΦ und erzeugt ein internes Signal intΦ auf Grundlage des Abtastimpuls-Signals SLC. Daher wird das Abtastimpuls-Signal SLC immer auf Grundlage des externen 25 Taktsignals (internen Taktsignals SK) mit demselben Timing für einen vorgeschriebenen Zeitabschnitt erzeugt, wobei das Timing zum Festlegen des internen Signals intΦ immer festgehalten wird und eine interne Operation stabil durchgeführt werden kann. Da das Abtastimpuls-Signal SLC mit einer hohen Geschwindigkeit auf 30 Grundlage des internen Taktsignals SK erzeugt wird, kann das Timing zum Einleiten der internen Operation vorgeschoben werden, und daher wird eine Hochgeschwindigkeitsoperation verwirklicht.

35 Ein spezieller Aufbau einer Schaltung zur Erzeugung eines Abtastimpulses

Fig. 65 ist ein Blockschaltbild, welches den Aufbau 40 einer Pufferschaltung zum Erzeugen eines internen Steuersignals aus einem externen Steuersignal schematisch darstellt. In Fig. 65 umfaßt die Schaltungseinrichtung zur Erzeugung eines internen Steuersignals eine CS-Pufferschaltung 2300 zum Aufnehmen eines extern angelegten Chip-Auswahlsignals CS# auf Grundlage der Stromverkleinerungsmodus-Ermittlungssignale ZDPDE und ZSPDE, die von der in Fig. 55 gezeigten Schaltung erzeugt werden, und der externen Steuersignale CC0#, CC1#, DQC und WE# und zum Erzeugen 45 interner Steuersignale ZCC0F, ZCMDDBTF, ZCMDSAF, ZDQCF und ZWEF. Ein Signal CSFS aus der CS-Pufferschaltung 2300 zeigt ein Chip-Auswahlsignal für die SRAM-Anordnung an, und ein Signal CSFD zeigt ein Chip-Auswahlsignal für den DRAM-Abschnitt 50 an. Die Signale ZCC0F, ZDQCF und ZWEF sind Signale, die durch Puffern der entsprechenden externen Steuersignale erzeugt werden. Die Signale ZCMDDBTF und ZCMDSAF sind interne Steuersignale, welche einen Pufferübertragungsmodus und einen Zugriff auf die 55 SRAM-Anordnung anzeigen.

Die Schaltung zur Erzeugung eines internen Steuersignals umfaßt ferner eine Schaltung zur Erzeugung eines Verriegelungssignals 2340 zum Erzeugen eines Verriegelungssignals SLC auf Grundlage der internen Taktsignale SK und SKT aus der in Fig. 55 gezeigten Schaltung zur Erzeugung eines internen Takts für den SRAM 60 und des internen Chip-Auswahlsignals CSFS aus der CS-Pufferschaltung 2300, eine Schaltung zur Erzeugung

eines internen Steuersignals 2320 zum Verriegeln der Signale aus der CS-Pufferschaltung 2300 und der Eingangspufferschaltung 2310 auf Grundlage des Verriegelungssignals SLC aus der Schaltung zur Erzeugung eines Verriegelungssignals 2340, welches an die in Fig. 6 gezeigte Schaltung zur Erzeugung eines Steuersignals gelegt wird, und eine Verriegelungs-Entsperrschaftung 2330 zum Abtasten der internen Taktsignale ZCMDBT und ZCMDSA auf Grundlage des Taktsignals SKT und zum Erzeugen eines Verriegelungs-Entsperrssignals SWLE. Die internen Steuersignale CSD, CSS, ZCC0, ZCMDBT, ZCMDSA, ZDQC und ZWE aus der Schaltung zur Erzeugung eines Steuersignals 2320 werden an die in Fig. 6 dargestellte Schaltung zur Erzeugung eines Steuersignals gelegt.

Fig. 66 ist ein Schaltbild, welches speziell ein Beispiel eines Aufbaus der in Fig. 65 gezeigten CS-Pufferschaltung darstellt. Der in Fig. 66 gezeigte Aufbau wird zum Erzeugen eines Chip-Auswahlsignals CSFS für den SRAM-Abschnitt verwendet. Es wird darauf hingewiesen, daß das Chip-Auswahlsignal CSFS für den DRAM-Abschnitt durch einen ähnlichen Aufbau erzeugt wird. In Fig. 66 umfaßt eine CS-Pufferschaltung 2300 eine NAND-Schaltung 2301, welche ein extern angelegtes Chip-Auswahlsignal CS# und ein Stromverkleinerungsmodus-Ermittlungssignal ZSPDE beispielsweise aus der in Fig. 55 gezeigten Schaltung zur Erzeugung eines SRAM-Stromverkleinerungs-Signals, und eine Inverterschaltung 2302 zum Invertieren des Ausgangs der NAND-Schaltung 2301 und zum Erzeugen eines internen Chip-Auswahlsignals CSFS. Der Eingangsabschnitt der Inverterschaltung 2302 ist mit einem p-Kanal-MOS-Transistor versehen, welcher in Reaktion auf einen auf "L" liegenden Ausgang der Inverterschaltung 2302 leitet und den Eingangsabschnitt der Inverterschaltung 2302 auf den Pegel eines Stromversorgungspotentials Vdd auflädt.

Wenn das Stromverkleinerungsmodus-Ermittlungssignal ZSPDE auf "L" ist und ein Stromverkleinerungsmodus bestimmt ist, dann ist das Ausgangssignal der NAND-Schaltung 2301 auf "H" und das interne Chip-Auswahlsignal CSFS auf "L".

Wenn das Stromverkleinerungsmodus-Ermittlungssignal ZSPDE auf "H" und das chip-Auswahlsignal CS# auf "L" ist, dann erreicht das interne Chip-Auswahlsignal CSFS einen "L"-Pegel.

Bei der in Fig. 66 dargestellten Schaltung zum Erzeugen eines Chip-Auswahlsignals CSFD für den DRAM wird das Stromverkleinerungsmodus-Ermittlungssignal ZDPDE anstelle des Stromverkleinerungsmodus-Ermittlungssignals ZSPDE verwendet.

Bei der in Fig. 60 gezeigten Eingangspufferschaltung wird derselbe Aufbau wie der in Fig. 66 gezeigte Aufbau für eine Pufferschaltung zum Erzeugen der internen Signale ZCC0F, ZDQCF und ZWEF verwendet. Die entsprechenden externen Steuersignale werden anstelle des Chip-Auswahlsignals CS# verwendet.

Fig. 67 ist ein Schaltbild, welches den Aufbau der in Fig. 65 dargestellten Eingangspufferschaltung zeigt. In Fig. 67 umfaßt die Eingangspufferschaltung 2310 eine Pufferschaltung 2311 zum Erzeugen interner Taktsignale ZCC0F, ZCC1F, ZDQCF und ZWEF auf Grundlage von externen Steuersignalen CC0#, CC1#, DQC# und WE# und eines internen Stromverkleinerungsmodus-Ermittlungssignals ZSPDE, eine Inverterschaltung 2312, welche das Signal ZCC0F aus der Pufferschaltung 2311 empfängt, eine NOR-Schaltung 2314, welche die Signale ZCC1F und ZDQCF aus der Pufferschaltung

2311 empfängt, eine NAND-Schaltung 2316, welche das Ausgangssignal der Inverterschaltung 2312, das interne Chip-Auswahlsignal CSFS aus der CS-Pufferschaltung 2300 und das interne Signal ZCC1F aus der Pufferschaltung 2311 empfängt, und eine NAND-Schaltung 2318, welche die Signale ZCCOF und CSFS und das Ausgangssignal der NOR-Schaltung 2314 empfängt. Ein Signal ZCMDBTF, welches einen Pufferübertragungsmodus anzeigt, wird von der NAND-Schaltung 2316 erzeugt, und ein Signal ZCMDSAF, welches einen Zugriff auf die SRAM-Anordnung anzeigt, wird von der NAND-Schaltung 2318 erzeugt. Die durch die Signale ZCMDBTF und ZCMDSAF angezeigten Operationen sind in der Signallogik-Tabelle in Fig. 3 deutlich zu erkennen. Insbesondere erreicht das Signal ZCMDBTF einen "L"-Aktivzustand, wenn die Signale CSFS und ZCC1F auf "H" sind und wenn das Signal ZCC0F auf "L" ist. Wie aus der die Zustände der Signale darstellenden Tabelle in Fig. 3 zu entnehmen ist, wird in diesem Zustand eine Datenübertragung zwischen der Zwei-Richtungs-Übertragungsschaltung und der SRAM-Anordnung durchgeführt.

Das Signal ZCMDSAF wird auf "L" gebracht, wenn das Signal ZCC0F auf "H" ist und wenn die Signale ZCC1F und DQC beide auf "L" sind. Dieser Zustand entspricht einem Operationsmodus zum Zugreifen auf die SRAM-Anordnung. Die Signale ZCMDBTF und ZCMDSAF werden erzeugt, wenn das Signal CSFS auf "H" ist und wenn auf die Halbleiterspeichereinrichtung zuzugreifen ist.

Die Pufferschaltung 2311 weist einen Aufbau auf, der mit demjenigen der in Fig. 66 gezeigten Schaltung für jedes externe Steuersignal identisch ist.

Fig. 68 ist ein Schaltbild, welches speziell den Aufbau der in Fig. 65 dargestellten Schaltung zur Erzeugung eines internen Steuersignals zeigt. In Fig. 68 ist nur der Aufbau für ein internes Steuersignal in der Schaltung zur Erzeugung eines internen Steuersignals 2320 gezeigt. Der in Fig. 68 dargestellte Schaltungsaufbau ist für jedes interne Steuersignal vorgesehen.

In Fig. 68 umfaßt eine Schaltung zur Erzeugung eines internen Steuersignals ein Zwei-Richtungs-Transfergate 2322, welches in Reaktion auf Signale zur Verriegelungsanweisung SLC und ZSLC leitet, so daß es ein internes Steuersignal ZCC0F durchläßt, und Inverterschaltungen 2324 und 2326 zum Verriegeln des durch das Transfergate 2322 übertragenen Signals. Das Zwei-Richtungs-Transfergate 2322 erreicht einen Nicht-Leitungszustand, wenn das Signal zur Verriegelungsanweisung SLC auf "H" ist, und einen Leitungszustand, wenn das Signal zur Verriegelungsanweisung SLC auf "L" ist. Die Inverterschaltung 2326 erzeugt durch Invertieren des durch das Transfergate 2322 durchgelassenen Signals ein Steuersignal CC0. Die Inverterschaltung 2324 invertiert das Ausgangssignal aus der Inverterschaltung 2326 zur Übertragung an einen Eingangsabschnitt der Inverterschaltung 2326. Bei dem in Fig. 68 dargestellten Schaltungsaufbau wird ein Verriegelungszustand herbeigeführt, wenn das Signal zur Verriegelungsanweisung SLC auf "H" ist, und der Zustand des Signals CC0 beim Zunehmen des Signals zur Verriegelungsanweisung SLC wird unabhängig vom Zustand des internen Steuersignals ZCC0F beibehalten.

Fig. 69A ist ein Schaltbild, welches speziell den Aufbau der Verriegelungs-Entsperrschaftung 2330 in Fig. 65 zeigt. In Fig. 69A umfaßt die Verriegelungs-Entsperrschaftung 2330 eine NOR-Schaltung 2331, welche interne Steuersignale CMDSA und CMDBT empfängt,

einen n-Kanal-MOS-Transistor 2332 zum Abtasten des Ausgangssignals der NOR-Schaltung 2331 auf Grundlage eines internen Taktsignals SKT, eine Inverterschaltung 2333 zum Invertieren eines durch den n-Kanal-MOS-Transistor 2332 abgetasteten Signals ZSWLEF, eine NAND-Schaltung 2334, welche ein aus der Inverterschaltung 2333 ausgegebenes Entsperrsignal (SRAM-Wortleitungsauswahl-Entsperrsignal) SWLE und ein internes Taktrücksetzsignal SKRST empfängt, und einen p-Kanal-MOS-Transistor 2335 zum Laden des Signals ZSWLEF auf einen Stromversorgungs-Potentialpegel in Reaktion auf den Ausgang der NAND-Schaltung 2334. Die Inverterschaltung 2334 ist zum Verriegeln des Signals SWLE vorgesehen. Bei dem in Fig. 69A gezeigten Aufbau benötigt die Schaltung zum Erzeugen des internen Takts SKT nur den Treib-n-Kanal-MOS-Transistor 2332. Der MOS-Transistor 2332 benötigt nur eine Stromtreibfähigkeit, um das Potential des Eingangsknotens der Inverterschaltung 2333 zu verkleinern. Der MOS-Transistor 2335 benötigt nur das Signal ZSWLEF zum Laden auf das Stromversorgungspotential. Die Inverterschaltung 2334 benötigt nur die Fähigkeit, den Zustand des Signals SWLE beizubehalten. Folglich kann die Schaltung auch in wesentlich kleinerer Größe realisiert werden. Der Betrieb der in Fig. 69A gezeigten Schaltung zur Erzeugung eines Verriegelungs-Entsperrsignals wird nun in Verbindung mit deren Operations-Wellenform-Darstellung in Fig. 69B beschrieben.

Die Signale CMDSA und CMDBT zeigen entsprechend einen Zugriff auf die SRAM-Anordnung bzw. eine Datenübertragung zwischen der Zwei-Richtungs-Übertragungsschaltung und der SRAM-Anordnung an. Wenn daher eines der Signale CMDSA und CMDBT auf "H", in einen aktiven Zustand, gebracht wird, dann wird eine Wortleitung in der SRAM-Anordnung ausgewählt. Zu der Zeit erreicht das Ausgangssignal der NOR-Schaltung 2331 einen "L"-Pegel.

In Reaktion auf ein Zunehmen des externen Taktsignals extK nimmt das interne Taktsignal SKT in einem vorgeschriebenen Zeitabschnitt auf "H" zu, wobei das Ausgangssignal der NOR-Schaltung 2331 abgetastet und das Signal ZSWLEF erzeugt wird. Falls das Ausgangssignal der NOR-Schaltung 2331 auf "L" ist, vergrößert die Inverterschaltung 2333 das Signal SWLE mit hoher Geschwindigkeit auf "H". In einem vorgeschriebenen Zeitabschnitt nach einem Zunehmen des internen Taktsignals SKT auf "H" nimmt das interne Taktrücksetzsignal SKRST auf "H" zu. Somit erreicht das Ausgangssignal der NAND-Schaltung 2334 einen "L"-Pegel, wobei der MOS-Transistor 2335 eingeschaltet wird und das Signal SWLE auf "L" abnimmt. In Fig. 69B ist das interne Taktsignal SK zum Zwecke des Erläuterns der Bedeutung des internen Taktrücksetzsignals SKRST dargestellt.

Wenn auf die Zwei-Richtungs-Übertragungsschaltung direkt und extern zugegriffen wird, dann wird eine Wortleitungsauswahl in der SRAM-Anordnung nicht durchgeführt. In diesem Fall wird das Ausgangssignal der NOR-Schaltung 2331 auf "H" gebracht, in welchem Falle das Signal SWLE den Zustand "L" beibehält.

Fig. 70 ist ein Schaltbild, welches speziell den Aufbau der in Fig. 65 gezeigten Schaltung zur Erzeugung eines Verriegelungssignals darstellt. Der in Fig. 70 gezeigte Aufbau entspricht dem Aufbau der CS-Abtastschaltung, welche in Verbindung mit Fig. 64 beschrieben worden ist. In Fig. 70 umfaßt eine Schaltung zur Erzeugung eines Verriegelungssignals 2340 eine Inverterschaltung

4560, welche ein internes Taktsignal SK empfängt, ein Zwei-Richtungs-Transfergate 4550 zum Durchlassen eines internen Chip-Auswahlsignals CDF auf Grundlage des aus der Inverterschaltung 4560 ausgegebenen internen Taktsignals SK und komplementären internen Taktsignals ZSK, und einen Inverter 4556 und einen in Reaktion auf das Zwei-Richtungs-Transfergate 4550 und die internen Taktsignale SK und ZSK aktivierten getakteten Inverter 4554 zum Verriegeln eines Signals aus dem Transfergate 4550. Das Zwei-Richtungs-Transfergate 4550 erreicht einen Leitungszustand, wenn das interne Taktsignal ZSK auf "L" ist, und erreicht einen Nicht-Leitungszustand, wenn das interne Taktsignal SK auf "H" ist. Der getaktete Inverter 4554 erreicht einen Betriebszustand, wenn das interne Taktsignal SK auf "H" ist, und erreicht einen Ausgangs-Hochimpedanzzustand, wenn das interne Taktsignal SK auf "L" ist.

Die Schaltung zur Erzeugung eines Verriegelungssignals 2340 umfaßt ferner einen n-Kanal-MOS-Transistor 4558, welcher ein durch eine Schaltschaltung SWX angelegtes Signal an seinem Gate empfängt, einen n-Kanal-MOS-Transistor 4564, welcher das interne Taktsignal SKT an seinem Gate empfängt, und einen n-Kanal-MOS-Transistor 4562, welcher das interne Taktsignal ZSK aus der Inverterschaltung 4560 an seinem Gate empfängt. Die MOS-Transistoren 4558, 4564 und 4562 sind zwischen einem Knoten NY3 und einem Massepotentialknoten in Reihe geschaltet. Die Schaltschaltung SWX legt entweder ein aus dem Transfergate 4550 übertragenes Signal oder das Chip-Auswahlsignal CSF, das aus der in Fig. 66 gezeigten CS-Pufferschaltung 2300 vorgesehen ist, an das Gate des MOS-Transistors 4558. Der Verbindungszustand der Schaltschaltung SWX wird durch Metallmasken-Leitbahnen bestimmt. Dieser Schalter SWX ist zum Zweck des Vorsehens einer geeigneten Verzögerungszeit vorgesehen. Der MOS-Transistor 4562 ist aus dem folgenden Grund mit dem Knoten NY3 verbunden. Wenn das Taktsignal ZSK auf "H" ist, dann ist der MOS-Transistor 4562 eingeschaltet, und während dieses Zeitabschnitts nimmt das interne Signal SKT auf "H" zu. Der MOS-Transistor 4564 wird daher eingeschaltet/ausgeschaltet, wobei eine Schwankung der Last des Knotens NY3 verhindert wird.

Die Schaltung zur Erzeugung eines Verriegelungssignals 2340 umfaßt ferner eine Inverterschaltung 4566 zum Invertieren eines Signals am Knoten NY3 und zum Erzeugen eines Verriegelungssignals SLC und eine Verzögerungsschaltung 4570 zum Verzögern des Signals SLC um einen vorgeschriebenen Zeitabschnitt. Die Verzögerungsschaltung 4570 enthält eine Reihenschaltung einer Inverterschaltung und einer NAND-Schaltung. Der Ausgang der Inverterschaltung und der Eingang der NAND-Schaltung werden durch eine Schaltschaltung geschaltet. Dadurch wird ein Impulssignal mit einer geeigneten Verzögerungszeit und einer geeigneten Impulsbreite vorgesehen.

Die Schaltung zur Erzeugung eines Verriegelungssignals 2340 umfaßt ferner eine NAND-Schaltung 4572, welche das Ausgangssignal der Verzögerungsschaltung 4570 und ein durch eine Schaltschaltung SWY angelegtes Signal empfängt, und einen p-Kanal-MOS-Transistor 4574 zum Laden des Knotens NY3 auf den Stromversorgungspotentialpegel in Reaktion auf ein Rücksetzsignal SLRST aus der NAND-Schaltung 4572. Die Schaltschaltung SWY wählt zum Anlegen an die NAND-Schaltung 4572 entweder das Stromversorgungspotential Vdd oder das Ausgangssignal der Inver-

terschaltung 4580. Die Inverterschaltung 4580 empfängt das Entsperrsignal SWLE. Das Vorsehen der Schalt- schaltung SWY setzt dem internen Betriebs-Timing Grenzen. Wenn die Schalterschaltung SWY das Ausgangssignal der Inverterschaltung 4580 wählt, dann wird nach einem Abnehmen des Signals SWLE auf "L" das Rücksetzsignal SLRST erzeugt, und das Verriegelungs- signal SLC kann in einen aktiven Zustand gebracht werden. Der Betrieb der in Fig. 70 gezeigten Schaltung wird nun in Verbindung mit deren Operations-Wellenform- Darstellung in Fig. 71 beschrieben.

Bei der folgenden Beschreibung wird vorausgesetzt, daß die in der Verzögerungsschaltung 4570 enthaltenen Schalterschaltungen SWQ1, SWQ2 und SWQ3 alle in ei- nen Zustand versetzt sind, in welchem sie das Ausgangs- signal einer vorhergehenden Stufe der Schaltung wählen. In diesem Zustand erzeugt ein Inverter IVG1 ein Signal, welches in einem vorgeschriebenen Zeitab- schnitt nach einem Zunehmen des Verriegelungssignals SLC auf "H" auf "H" zunimmt. Eine Inverterschaltung IVG2 erzeugt ein auf "L" liegendes Impulssignal mit einer Impulsbreite, welche kürzer als die Impulsbreite eines durch die Inverterschaltung IVG1 erzeugten Impulssignals ist. Die Schalterschaltung SWX wählt zum An- legen an das Gate des MOS-Transistors 4558 ein Signal aus dem Zwei-Richtungs-Transfergate 4550. Die Schalt- schaltung SWY wählt zum Anlegen an die NAND- Schaltung 4572 das Ausgangssignal der Inverterschaltung 4580. In Reaktion auf ein Zunehmen des externen Taktsignals extK auf "H" nimmt das interne Taktsignal SKT zunächst auf "H" zu. In diesem Zustand ist das interne Taktsignal ZSK aus der Inverterschaltung 4560 auf "H" und der MOS-Transistor 4562 eingeschaltet. In Reaktion auf ein Zunehmen des internen Taktsignals SK erreicht das Zwei-Richtungs-Transfergate 4550 ei- nen Nicht-Leitungszustand, und das Signalpotential an einem Knoten NY1 wird festgelegt. Unter der Voraus- setzung, daß das Chip-Auswahlssignal CSF auf "H" fest- gelegt ist, wird der MOS-Transistor 4558 eingeschaltet.

In Reaktion auf ein Zunehmen des internen Taktsignals SK nimmt nun das interne Taktsignal ZSK auf "L" ab. Das interne Taktsignal SKT ist auf "H", und die MOS-Transistoren 4562 und 4564 sind beide so lange in einem Einschaltzustand, bis das interne Taktsignal ZSK auf "L" abnimmt, wobei während dieses Zeitabschnitts der Knoten NY3 auf den Massepotentialpegel entladen wird und das Signal ZSLC auf "L" abnimmt. Der Zeitab- schnitt, während dem die Signale ZSK und SKT eine unterschiedliche Logik aufweisen ist ein CSF-Abtast- zeitabschnitt. Sobald das Potential des Knotens NY3 durch die Transistoren 4562, 4564 und 4558 entladen ist, nimmt das von der Inverterschaltung 4560 mit einer großen Stromtreibfähigkeit erzeugte Verriegelungssi- gnal SLC mit hoher Geschwindigkeit auf "H" zu. In ei- nem vorgeschriebenen Zeitabschnitt nimmt das Aus- gangssignal der Inverterschaltung IVG1 auf "H" zu, und das Ausgangssignal der Inverterschaltung IVG2 nimmt auf "H" zu. In Reaktion darauf erreicht das Ausgangssi- gnal einer AND-Schaltung NAG1 einen "L"-Pegel, und das Ausgangssignal der Inverterschaltung IVG3 er- 60 reicht einen "H"-Pegel.

Die das Signal SWLE empfangende Inverterschaltung 4580 vergrößert in Reaktion auf ein Abnehmen des Signals SWLE auf "L" ihr Ausgangssignal auf "H". Die NAND-Schaltung 4572 gibt ein auf "L" liegendes Signal aus, wenn das Ausgangssignal der Inverterschaltung 4580 auf "H" und das Ausgangssignal der Inverterschaltung IVG3 auf "H" ist. In Reaktion darauf, daß das Signal

SLRST auf "L" ist, wird der MOS-Transistor 4574 einge- schaltet, wobei er den Knoten NY3 auflädt und das Signal ZSLC auf "H" vergrößert. In Reaktion darauf wird das aus der Inverterschaltung 4566 ausgegebene Signal SLC auf "L" gebracht. In einem vorgeschriebenen Zeitabschnitt nimmt das Signal SLRST auf "H" zu, nachdem das Signal in jedem Schaltungsteil rückgesetzt wurde. Das bringt die Schaltung in den Anfangszustand zu- rück.

10 Bei dem vorstehend beschriebenen Aufbau kann der Abtastzeitabschnitt für das Signal CSF stark verkürzt werden. Innerhalb der Schaltung wird das Verriegelungssignal SLC nur durch Aufladen/Entladen eines Knotens erzeugt. Folglich kann das Verriegelungssignal SLC mit hoher Geschwindigkeit erzeugt werden, und eine Schaltung zur Erzeugung eines Abtastimpulses mit verbesserter Charakteristik der externen Reaktion für den kurzen Abtastzeitabschnitt wird realisiert.

15 Ein Rücksetzen des Signals SLC durch Anlegen des Inversen des Signals SWLC an die NAND-Schaltung kann die Schaltung zur Erzeugung eines internen Steu- ersignals 2320 (siehe Fig. 65) sicher in einen Zustand versetzen, bei welchem das nächste Signal übernommen wird, nachdem ein Speicherzyklus abgeschlossen wurde, und daher kann die interne Schaltung somit stabil be- trieben werden.

Bezüglich des Vorstehenden wird gemäß der vorlie- genden Erfindung ein internes Taktsignal in Reaktion auf ein Zunehmen des externen Taktsignals extK und für einen vorgeschriebenen Zeitabschnitt mit einer ho- hen Geschwindigkeit erzeugt, und dessen internes Steu- ersignal wird unter Verwendung des internen Taktsignals mit einer konstanten Impulsbreite erzeugt. Fol- glich können das Timing zur Erzeugung des Verriegelungssignals und das Timing zur Erzeugung des Strom- verkleinerungsmodus-Ermittlungssignals immer kon- stant gehalten werden, und es wird eine mit hoher Ge- schwindigkeit stabil und sicher arbeitende Halbleiter- speichereinrichtung vom Syncronotyp vorgesehen. Es wird darauf hingewiesen, daß die Schaltung zur Erzeu- gung eines internen Takts und das Verfahren zum Er- zeugen des Abtastimpulses nicht nur bei gewöhnlichen Syncronotyp-Halbleitereinrichtungen, sondern auch bei in Synchronisation mit Taktsignalen betriebenen syn- chronen Halbleitereinrichtungen verwendbar ist.

Die wesentlichen Wirkungen, die durch die vorliegen- de Erfindung hervorgerufen werden, werden folgender- maßen zusammengefaßt:

50 (1) Die Daten werden aus einem ersten Datenregi- ster (Master-Register) in ein zweites Datenregister übertragen, während die Daten im zweiten Daten- register (Slave-Datenregister) nicht in Verwendung sind. Daher beeinflußt eine Datenübertragungs- operation aus der DRAM-Anordnung in die Lese- datenübertragungs-Pufferschaltung das Zugreifen auf die Halbleiterspeichereinrichtung nicht nach- teilig, und eine Hochgeschwindigkeitsoperation wird verwirklicht. Insbesondere das zweite Daten- register, das Slave-Register, hat keinen Zyklus, bei welchem die Speicherdaten nicht festgelegt sind, und daher kann auf das Slave-Datenregister in ei- nem beliebigen Zyklus zugegriffen werden, und da- her kann die externe Verarbeitungseinheit auf die Halbleiterspeichereinrichtung ohne Wartezustand zugreifen, und somit wird ein Hochgeschwindig- keits-Datenverarbeitungssystem vorgesehen.

55 (2) Solange bis eine nächste Datenübertragungsan-

weisung gegeben wird, sind das erste Datenregister (Master-Register) und das zweite Datenregister (Slave-Register) elektrisch verbunden, und daher wird die Einstellung des Timings zur Datenübertragung aus dem Master-Register in das Slave-Register vereinfacht, wobei ein Signal zur Anweisung einer Datenübertragung mit einer ausreichenden Impulsbreite erhalten wird und die Datenübertragung aus dem Master-Datenregister in das Slave-Datenregister gesichert wird.

(3) Gemäß einem Lesebefehl-Ermittlungssignal werden die den Zähler in der ersten Stufe des Latenzzählers ausschließenden Zähler (Flipflops) rückgesetzt. Selbst wenn daher ein neues Lesebefehl-Ermittlungssignal gegeben wird, kann eine vorgeschriebene Anzahl von Zähloperationen ab dem Taktzyklus, bei welchem der Lesebefehl gegeben wird, sicher durchgeführt werden, und daher kann die Anzahl von Latenzzeitabschnitten sicher gezählt werden.

(4) Der Steuersignal-Eingangspuffer wird in einen Durchgangszustand gebracht, wenn das Taktignal auf einem inaktiven Pegel ist, und wird in einen Verriegelungszustand gebracht, wenn das Taktignal auf einem aktiven Pegel ist, wobei ein internes Steuersignal erzeugt werden kann, selbst wenn das Taktignal auf einem inaktiven Pegel ist, wobei die internen Operationen unter Verwendung der Einstellzeit des Steuersignals eingeleitet werden können, und daher kann eine Halbleiterspeichereinrichtung erhalten werden, die mit einer hohen Geschwindigkeit arbeitet.

(5) Der Adressensignal-Eingangspuffer erreicht einen Durchgangszustand, wenn das externe Taktignal in einem inaktiven Zustand ist, und erreicht einen Verriegelungszustand, wenn das externe Taktignal in einem aktiven Zustand ist, wobei das interne Adressensignal mit einem vorgeschobenen Timing erzeugt werden kann. Die Decodierschaltung, welche durch Decodieren des internen Adresssignals ein Auswahlsignal erzeugt, ist in Reaktion auf ein Operationssteuersignal aktiviert, welches dann festgelegt wird, wenn das externe Taktignal aktiviert ist, und der Decodierer kann synchron mit dem externen Taktignal betrieben werden, und das Operations-Timing für die interne Schaltung kann genau festgelegt werden.

(6) Da der Eingangspuffer einen Verriegelungszustand bei einem aktivierte Pegel des Taktsignals und einen Leitzustand, mit anderen Worten, einen Durchgangszustand, bei einem inaktiven Pegel des externen Taktsignals erreicht, kann ein internes Steuersignal in der Einstellzeit des externen Signals erzeugt werden, wobei das interne Signal mit einem vorgeschobenen Timing erzeugt werden kann, und daher kann eine Halbleiterspeichereinrichtung vorgesehen werden, welche mit einer hohen Geschwindigkeit arbeitet.

(7) Eine Steuerschaltungseinrichtung zum Übernehmen eines Steuersignals in Synchronisation mit einem externen Taktignal und zum Erzeugen eines Adressenhalteanweisungssignals gemäß dem übernommenen Steuersignal, eine Halteschaltungseinrichtung zum Halten und Ausgeben der angelegten Adressensignale und eine Verriegelungsschaltungseinrichtung zum Verriegeln des durch die Halteschaltungseinrichtung gehaltenen Adressensignals in Reaktion auf das Adressenhalteanwei-

sungssignal und zum Erzeugen eines internen Adressensignals sind vorgesehen. Daher können die Einstellzeit und die Haltezeit für das externe Steuersignal und für das Adressensignal gleich gemacht werden, wobei eine Hochgeschwindigkeitsoperation erreicht wird und die Steuersignale und die Adressensignale ohne irgendeine komplizierte Timing-Einstellung mittels einer externen Einrichtung leicht erzeugt werden können.

(8) Eine Taktzeugungs-Schaltungseinrichtung zum Erzeugen eines internen Taktsignals in Synchronisation mit einem Taktignal, eine das interne Taktignal aus der Taktzeugungs-Schaltungseinrichtung empfangende Schaltungseinrichtung zum Verzögern einer Aktivierung des empfangenen Taktsignals um einen vorgeschriebenen Zeitabschnitt und zum Erzeugen eines Steuersignals in einem aktiven Zustand und ein Rücksetzelement, welches das interne Taktignal auf Grundlage des Steuersignals in einen inaktiven Zustand bringt, sind vorgesehen. Daher kann das interne Taktignal unabhängig von der Impulsbreite des internen Taktsignals immer konstant sein, und das Operations-Timing für die interne Schaltung kann immer konstant gehalten werden.

(9) Eine Schaltungseinrichtung zum Erzeugen eines ersten und eines zweiten internen Taktsignals, welche zueinander außer Phase sind, in Reaktion auf ein externes Taktignal, eine Schaltungseinrichtung zum Abtasten eines Signals zur Aktivierung der Einrichtung, wenn das erste und das zweite interne Taktignal auf demselben Pegel sind, eine Schaltungseinrichtung zum Erzeugen eines Impulssignals mit einer vorgeschriebenen Zeitbreite in Reaktion auf das durch die Abtastschaltungseinrichtung abgetastete Signal und eine Schaltungseinrichtung zum Verriegeln eines in Reaktion auf das Impulssignal angelegten Steuersignals und zum Erzeugen eines internen Steuersignals sind vorgesehen. Daher entspricht der Abtastzeitabschnitt für das Signal zur Aktivierung der Einrichtung derjenigen Zeitbreite, in welcher das erste und das zweite interne Taktignal auf demselben Logikpegel sind, welche Zeitbreite kurz sein kann, so daß der Abtastzeitabschnitt für das Signal zur Aktivierung der Einrichtung kurz sein kann, und daher ergibt sich eine starke Verbesserung des Hochgeschwindigkeitsbetriebs und der Charakteristik der externen Reaktion der Einrichtung. Ferner ist die Impulsbreite des Impulssignals zum Verriegeln unabhängig von der Impulsbreite des externen Taktsignals immer konstant, und daher kann das angelegte Signal stabil verriegelt werden.

(10) Das erste und das zweite interne Taktignal, welche zueinander außer Phase sind, werden in Reaktion auf ein externes Taktignal erzeugt, und dieses erste und zweite interne Taktignal und das Signal zur Aktivierung der Einrichtung werden einer logischen Produktoperation unterworfen, um einen Abtastimpuls zu erzeugen. Daher kann der Abtastzeitabschnitt ebensokurz wie derjenige Zeitabschnitt sein, in welchem das erste und das zweite interne Taktignal auf demselben Logikpegel sind, und eine Schaltung zur Erzeugung eines Abtastimpulses mit einer verbesserten Charakteristik der externen Reaktion wird vorgesehen. Da der Abtastzeitabschnitt der Einstell- und Haltezeit des externen Signals entspricht, wird die zum Zugreifen

benötigte Zeit ebenfalls verkleinert. Da das Abtastimpuls-Signal durch eine Gatterschaltung zum Durchführen der logischen Produktoperation erzeugt wird, benötigt die Schaltung zum Erzeugen des ersten und des zweiten internen Taktsignals 5 keine große Treibfähigkeit, und daher kann ein Abtastimpuls mit einer hohen Geschwindigkeit bei verkleinertem Stromverbrauch erzeugt werden.

(11) Eine erste Verriegelungseinrichtung zum Verriegeln und Ausgeben eines Taktmaskensignals, eine zweite Verriegelungseinrichtung zum Verriegeln und Ausgeben eines Ausgangssignals der ersten Verriegelungseinrichtung gemäß einer zweiten Flanke des Taktsignals und eine Schaltungseinrichtung zum Erzeugen eines internen Taktsignals 10 in Reaktion auf ein Ausgangssignal der zweiten Verriegelungseinrichtung und das Taktsignal sind vorgesehen. Daher kann die Erzeugung eines internen Taktsignals in einem Taktzyklus auf Grundlage des Zustandes des Taktmaskensignals im vorhergehenden Zyklus sicher und stabil bestimmt werden und das interne Taktsignal genau maskiert werden. (12) Ein internes Taktsignal wird durch Treiben eines Transistorelements erzeugt, und daher kann das interne Taktsignal in Reaktion auf ein externes 15 Taktsignal in einer Schaltung kleinen Ausmaßes mit einer hohen Geschwindigkeit erzeugt werden. 20

Obwohl die vorliegende Erfindung detailliert beschrieben und dargestellt worden ist, ist es selbstverständlich, daß dieselbe nur veranschaulichend und beispielhaft ist und keiner Beschränkung unterliegt, wobei der Inhalt und der Bereich der vorliegenden Erfindung nur durch die beigefügten Ansprüche beschränkt sind. 25

#### Patentansprüche

1. Halbleiterspeichereinrichtung, welche umfaßt: eine Speicherzellanordnung (102) mit einer Mehrzahl von Speicherzellen; 30 ein erstes Datenregister (MDTBR) zum zeitweiligen Halten von Daten einer Mehrzahl von zu einer Zeit in der Speicherzellanordnung ausgewählten Speicherzellen;

ein zweites Datenregister (SDTBR), welches die 35 mittels des ersten Datenregisters gehaltenen Daten empfängt und speichert; und eine Übertragungseinrichtung (Tz), welche auf ein Fehlen eines Zugreifens auf das zweite Datenregister und ein Signal zur Anweisung einer Datenübertragung zum Durchführen einer Datenübertragung aus dem ersten Datenregister in das zweite Datenregister reagiert. 40

2. Halbleiterspeichereinrichtung nach Anspruch 1, bei welcher die Übertragungseinrichtung eine Einrichtung (908) umfaßt, welche das erste Datenregister (MDTBR) und das zweite Datenregister (SDTBR) solange in Kontakt behält, bis ein anderes Signal zur Anweisung einer Datenübertragung gegeben wird, nachdem die Datenübertragung ausgeführt wurde. 50

3. Halbleiterspeichereinrichtung nach Anspruch 1, bei welcher die Übertragungseinrichtung umfaßt: eine Takterzeugungseinrichtung (203) zum Erzeugen eines Taktsignals; 55

eine Ermittlungseinrichtung (902) zum Ermitteln einer gegebenen Datenleseanweisung; eine eine Mehrzahl von in Kaskade geschalteten

Binärzählern (920—925) umfassende und in Reaktion auf ein Ermittlungssignal (DRTm) aus der Ermittlungseinrichtung aktivierte Zähleinrichtung (904) zum Zählen des Taktsignals; 60 eine Gattereinrichtung (906), welche in Reaktion auf ein Zusammenzählen einer vorgeschriebenen Anzahl der Taktsignale mittels der Zähleinrichtung das Signal zur Anweisung einer Datenübertragung erzeugt; und

eine Rücksetzeinrichtung, welche in Reaktion auf die Datenleseanweisung Zähler außer einem 1-Bit-Binärzähler in einer ersten Stufe der Zähleinrichtung rücksetzt. 65

4. Halbleiterspeichereinrichtung nach Anspruch 3, welche ferner eine Sperreinrichtung (910) zum Sperren einer Erzeugung des Signals zur Anweisung einer Datenübertragung aus der Gattereinrichtung (906) umfaßt, wobei die Sperreinrichtung (910) auf ein Operationsmodus-Anzeigesignal reagiert, welches anzeigt, daß auf das zweite Datenregister (SDTBR) zugegriffen wird. 70

5. Halbleiterspeichereinrichtung nach Anspruch 1, welche ferner umfaßt:

eine andere Speicherzellanordnung (104) mit einer Mehrzahl von in Zeilen und Spalten angeordneten Speicherzellen;

einen Ausgangspuffer (438) zum Bereitstellen externer Daten;

eine erste Übertragungseinrichtung (Ty), welche in Reaktion auf ein erstes Übertragungsbestimmungssignal (BRTE) die im zweiten Datenregister (SDTBR) gehaltenen Daten in die andere Speicheranordnung überträgt; und

eine zweite Übertragungseinrichtung (Tx), welche in Reaktion auf ein zweites Übertragungsbestimmungssignal (BRE) die im zweiten Datenregister gehaltenen Daten in den Ausgangspuffer überträgt. 75

6. Halbleiterspeichereinrichtung nach Anspruch 5, welche ferner umfaßt:

eine Auswahlseinrichtung (120, 856), welche in Reaktion auf ein Adressensignal einen Ausgang der zweiten Übertragungseinrichtung (Tx) zur Übertragung in den Ausgangspuffer auswählt. 80

7. Halbleiterspeichereinrichtung, welche umfaßt: einen ein externes Steuersignal empfangenden Eingangspuffer (520; 150, 652) zum Erzeugen eines dem externen Steuersignal entsprechenden internen Steuersignals;

einen Steuersignalgenerator (530, 542; 654, 655, 660), welcher bei einem inaktiven Pegel eines externen Taktsignals das interne Steuersignal empfängt und einen auszuführenden Operationsmodus bestimmt und ein den Operationsmodus anzeigenches Modusanweisesignal erzeugt und welcher bei einem aktiven Pegel des externen Taktsignals das Modusanweisesignal isoliert von dem internen Steuersignal kontinuierlich bereitstellt. 85

8. Halbleiterspeichereinrichtung nach Anspruch 7, bei welcher der Steuersignalgenerator (530, 542, 654, 655, 660) umfaßt:

eine Modusbestimmungseinrichtung (530), welche in Reaktion auf das interne Steuersignal aus dem Eingangspuffer (520) eine auszuführende Operation bestimmt und das Modusanweisesignal erzeugt; und

eine Verriegelungseinrichtung (540), welche das Modusanweisesignal aus der Modusbestimmungseinrichtung beim inaktiven Pegel des externen

100 Taktsignals durch dieselbe durchläßt und welche das Modusanweisesignal beim aktiven Pegel des externen Taktsignals hält, während sie den Ausgang der Modusbestimmungseinrichtung von derselben isoliert. 5

9. Halbleiterspeichereinrichtung nach Anspruch 8, welche ferner umfaßt: eine in Reaktion auf den aktiven Pegel des externen Taktsignals aktivierte Einrichtung (550) zum Erzeugen eines dem Modusanweisesignal aus der Modusbestimmungseinrichtung entsprechenden Operationssteuersignals. 10

10. Halbleiterspeichereinrichtung nach Anspruch 9, welche ferner umfaßt: einen Adresseneingangspuffer (116), welcher beim inaktiven Pegel des externen Taktsignals ein externes Adressensignal durch denselben durchläßt und welcher beim aktiven Pegel des externen Taktsignals einen Verriegelungszustand erreicht, und eine in Reaktion auf das Operationssteuersignal aktivierte Adressendecodiereinrichtung (118) zum Decodieren des Ausgangs des Adresseneingangspuffers und zum Erzeugen eines Auswahlsignals, um eine durch das Adressensignal adressierte Speicherzelle auszuwählen. 15

11. Halbleiterspeichereinrichtung nach Anspruch 10, bei welcher die Adressendecodiereinrichtung (118) umfaßt: einen Vordecodierer (630), welcher ein Ausgangssignal aus dem Adresseneingangspuffer (116) vordecodiert, um ein Vordecodiersignal zu erzeugen, und ein in Reaktion auf das Operationssteuersignal aktiver Decodierer (640), welcher das Vordecodiersignal decodiert, um das Auswahlsignal zu erzeugen. 20

12. Halbleiterspeichereinrichtung nach Anspruch 11, bei welcher die Adressendecodiereinrichtung (118) umfaßt: einen Vordecodierer (630), welcher in Reaktion auf das Operationssteuersignal aktiviert ist, so daß er ein Ausgangssignal aus dem Adresseneingangspuffer (116) vordecodiert, um ein Vordecodiersignal zu erzeugen; und 25

ein Decodierer (640), welcher das Vordecodiersignal decodiert, um das Auswahlsignal zu erzeugen. 30

13. Halbleiterspeichereinrichtung nach Anspruch 7, bei welcher der Steuersignalgenerator (530, 542; 654, 655, 660) umfaßt: eine Verriegelungseinrichtung (654, 655), welche beim inaktiven Pegel des externen Taktsignals das interne Steuersignal durch dieselbe durchläßt und beim aktiven Pegel des externen Taktsignals das interne Steuersignal hält, während sie einen Ausgang des Eingangspuffers von derselben isoliert, und 35

eine Modusbestimmungseinrichtung (660), welche einen Ausgang der Verriegelungseinrichtung empfängt und decodiert, um eine auszuführende Operation zu bestimmen, und welche das Modusanweisesignal erzeugt. 40

14. Halbleiterspeichereinrichtung nach Anspruch 7, welche ferner eine in Reaktion auf den aktiven Pegel des externen Taktsignals aktivierte Einrichtung (670, 672, 674) zum Erzeugen eines dem Modusanweisesignal entsprechenden Operationssteuersignals umfaßt. 45

15. Halbleiterspeichereinrichtung nach Anspruch 14, welche ferner umfaßt:

einen Adresseneingangspuffer (108), welcher ein externes Adressensignal durch denselben durchläßt, um beim inaktiven Pegel des externen Taktsignals ein internes Adressensignal zu erzeugen, und welcher einen Verriegelungszustand erreicht, um das interne Adressensignal zu halten, während er das interne Adressensignal von dem externen Adressensignal isoliert; eine Adressenverriegelungseinrichtung (680, 686), welche beim inaktiven Pegel des Operationssteuersignals das interne Adressensignal durch dieselbe durchläßt und welche beim aktiven Pegel des Operationssteuersignals einen Verriegelungszustand erreicht; und eine in Reaktion auf den aktiven Pegel des Operationssteuersignals aktivierte Decodierschaltung (110), welche das interne Adressensignal aus der Adressenverriegelungseinrichtung decodiert, um ein Auswahlsignal zum Auswählen einer durch das externe Adressensignal adressierten Speicherzeile zu erzeugen. 5

16. Halbleiterspeichereinrichtung nach Anspruch 15, bei welcher die Decodierschaltung (110) umfaßt: einen Vordecodierer (682), welcher das interne Adressensignal aus der Adressenverriegelungseinrichtung vordecodiert, um ein Vordecodiersignal zu erzeugen; und einen in Reaktion auf den aktiven Pegel des Operationssteuersignals aktivierte Decodierer (684), welcher das Vordecodiersignal decodiert, um das Auswahlsignal zu erzeugen. 10

17. Halbleiterspeichereinrichtung zum Aufnehmen eines externen Signals in Synchronisation mit einem externen Taktsignal, welche einen Eingangspuffer (116, 654, 655, 676, 678, 700) umfaßt, welcher in Reaktion auf einen inaktiven Pegel des externen Taktsignals einen Durchgangszustand erreicht, um das externe Signal durch denselben durchzulassen, und welcher in Reaktion auf einen aktiven Pegel des externen Taktsignals einen Verriegelungszustand erreicht, um ein Signal auf einem Logikpegel zu halten, welcher dem zur Zeit eines Übergangs des externen Signals auf den aktiven Pegel angelegten externen Signal entspricht. 15

18. Synchrone Halbleiterspeichereinrichtung, welche ein Steuersignal und ein Adressensignal umfassendes externes Signal in Synchronisation mit einem externen Taktsignal aufnimmt, umfassend: eine Steuereinrichtung (206, 210, 212) zum Aufnehmen des Steuersignals in Synchronisation mit dem externen Taktsignal und zum Erzeugen eines Adressenhalteanweisungssignals gemäß diesem aufgenommenen Steuersignal in Reaktion auf das externe Taktsignal; 20

eine Halteeinrichtung (678) zum Halten und Ausgeben eines angelegten Adressensignals in Synchronisation mit dem externen Taktsignal und eine Verriegelungseinrichtung (680), welche in Reaktion auf das Adressenhalteanweisungssignal ein Adressensignal aus der Halteeinrichtung verriegelt und ein internes Adressensignal erzeugt. 25

19. Synchrone Halbleiterspeichereinrichtung, welche ein Steuersignal und ein Adressensignal umfassendes externes Signal in Synchronisation mit einem externen Taktsignal aufnimmt, umfassend: eine Takterzeugungseinrichtung (2002, 2003, 2004, 30

10 2005, 2007) zum Erzeugen eines internen Taktsignals in Synchronisation mit dem externen Taktsignal; eine das interne Taktsignal aus der Taktzeugungseinrichtung empfangende Rücksetzeinrichtung (2008, 2009; 3020, 3022) zum Erzeugen eines Steuersignals, wobei das Steuersignal nach einem vorgeschriebenen Zeitabschnitt ab einer Aktivierung des internen Taktsignals einen aktiven Zustand erreicht; und

10 ein Rücksetzelement (2010; 3028), welches in Reaktion auf das Steuersignal das interne Taktsignal aus der Taktzeugungseinrichtung deaktiviert.

20. Halbleiterspeichereinrichtung nach Anspruch 19, bei welcher die Taktzeugungseinrichtung (2002, 2003, 2004, 2005, 2007) umfaßt:

15 ein in Reaktion auf das externe Taktsignal gesetztes Flipflop (2002);

ein Logikgatter (2003, 2004), welches in Reaktion auf das externe Taktsignal und einen Ausgang des 20 Flipflops ein Treibsignal (SKT) erzeugt;

ein Gatterelement (2005; 3016), welches in Reaktion auf das Treibsignal ein Potential an einem ersten Knoten auf einen ersten Logikpegel zieht; und

25 eine Verriegelungseinrichtung (2006, 2007), welche in Reaktion auf den ersten Logikpegel am ersten Knoten das interne Taktsignal erzeugt, während sie das Potential auf dem ersten Logikpegel am ersten Knoten verriegelt.

21. Halbleiterspeichereinrichtung nach Anspruch 30 20, bei welcher die Verriegelungseinrichtung (2006, 2007) umfaßt:

35 einen ersten Inverter, welcher eine erste Treibfähigkeit aufweist und die Logik des Potentials am ersten Knoten invertiert, um das interne Taktsignal zu erzeugen; und

40 einen zweiten Inverter, welcher eine im Vergleich zur ersten Treibfähigkeit kleinere zweite Treibfähigkeit aufweist und das interne Taktsignal zur Übertragung an den ersten Knoten invertiert.

22. Halbleiterspeichereinrichtung nach Anspruch 45 20, bei welcher das Rücksetzelement (2010) einen Isoliergatetyp-Feldeffekttransistor (2010) umfaßt, welcher zwischen dem ersten Knoten und einem ein Potential von einem zweiten Logikpegel empfangenden Knoten vorgesehen ist und ein Gate aufweist, welches das Steuersignal empfängt.

23. Halbleiterspeichereinrichtung nach Anspruch 50 20, bei welcher das Gatterelement (2005; 3016) einen Isoliergatetyp-Transistor umfaßt, welcher zwischen dem ersten Knoten und einem ein Potential des ersten Logikpegels empfangenden Knoten vorgesehen ist und welcher ein Gate aufweist, welches das Treibsignal empfängt.

24. Halbleiterspeichereinrichtung nach Anspruch 55 20, bei welcher das Gatterelement (2005, 3016) ein Logikgatter (3016) umfaßt, welches das interne Taktsignal und das Treibsignal empfängt, um an dem internen Taktsignal und dem Treibsignal eine vorbestimmte logische Operation auszuführen, welche es an den ersten Knoten legt.

25. Halbleiterspeichereinrichtung nach Anspruch 60 19, bei welcher das Rücksetzelement umfaßt:

65 einen ersten Isoliergatetyp-Transistor (3028), welcher eine erste Stromversorgungsfähigkeit aufweist und auf eine Aktivierung des Steuersignals so reagiert, daß er ein Potential eines zweiten Logikpegels an den ersten Knoten überträgt; und

einen zweiten Isoliergatetyp-Transistor (3030), welcher parallel zu dem ersten Isoliergatetyp-Transistor vorgesehen ist und eine im Vergleich zur ersten Stromversorgungsfähigkeit kleinere zweite Stromversorgungsfähigkeit aufweist und welcher auf eine Deaktivierung des internen Taktsignals so reagiert, daß er das Potential des zweiten Logikpegels an den ersten Knoten überträgt.

26. Halbleiterspeichereinrichtung nach Anspruch 19, bei welcher die Rücksetzeinrichtung (3020, 3022) umfaßt:

ein Verzögerungsschaltung (3020), welche eine Mehrzahl von Paaren aus einem Inverter (IG) und einem ersten Logikgatter (NA) umfaßt, wobei jedes erste Logikgatter so geschaltet ist, daß dessen einer Eingang das interne Taktsignal empfängt und dessen anderer Eingang einen Ausgang eines Schaltelements empfängt, welches entweder das interne Taktsignal oder einen Ausgang eines vorhergehenden Inverters wählt; und

ein eine vorbestimmte logische Operation an dem internen Taktsignal und einem Ausgang der Verzögerungsschaltung empfängendes und ausführendes zweites Logikgatter (3022, 3024) zum Ausgeben des Steuersignals.

27. Halbleiterspeichereinrichtung nach Anspruch 19, bei welcher die Taktzeugungseinrichtung (3002, 3004, 3008, 3012, 3014) umfaßt:

ein erstes Gatter (3002), welches in Reaktion auf eine Aktivierung eines Takt-Entsperrsignals (PKE) aktiviert ist, so daß es das externe Taktsignal durch dasselbe durchläßt;

ein in Reaktion auf das Takt-Entsperrsignal aktivierte Flipflop (3006, 3008, 3010);

ein zweites Gatter (3012, 3014), welches in Reaktion auf das externe Taktsignal entsperrt ist, so daß es ein Treibsignal erzeugt, und welches in Reaktion auf einen Setzausgang des Flipflops gesperrt ist, so daß es das Treibsignal sperrt;

ein drittes Gatter (3016), welches in Reaktion auf das Treibsignal und das interne Taktsignal ein Auslösesignal erzeugt;

ein viertes Gatter (3018), welches in Reaktion auf das Auslösesignal das interne Taktsignal erzeugt; und

eine Einrichtung (3017, 3018, SWA), welche in Reaktion auf das Auslösesignal den Setzausgang des Flipflops in einen Sperrzustand rücksetzt, um das zweite Gatter zu sperren.

28. Halbleiterspeichereinrichtung nach Anspruch 27, welche ferner umfaßt:

ein viertes Gatter (3040, 3042, 3044), welches in Reaktion auf das interne Taktsignal (PK) und das Treibsignal (PKT) einen ersten Knoten (3042Y) auf ein Potential einer ersten Logik treibt;

eine Verriegelungseinrichtung (3046, 3048), welche das Potential an dem ersten Knoten verriegelt, um ein Verriegelungssignal (PLC) zu erzeugen;

eine Verzögerungseinrichtung (3050, 3052, 3056, 3054, 3060) zum Verzögern des Verriegelungssignals um eine vorbestimmte Zeit;

ein Transistorelement (3062), welches in Reaktion auf einen Ausgang der Verzögerungseinrichtung den ersten Knoten auf ein Potential einer zweiten Logik treibt; und

eine Verriegelungsschaltung (2113; 2110, 2112), welche in Reaktion auf das Verriegelungssignal ein vorbestimmtes Eingangssignal verriegelt.

29. Halbleiterspeichereinrichtung nach Anspruch 28, bei welcher das vierte Gatter (3040, 3042, 3044) umfaßt:  
 ein erstes Transistorelement (3042), welches in Reaktion auf eine Deaktivierung des internen Taktsignals einschaltet; und  
 ein zweites Transistorelement (3044), welches in Reaktion auf eine Aktivierung des Treibsignals einschaltet, wobei das erste und das zweite Transistor-element zwischen dem ersten Knoten (3042Y) und einem das Potential der ersten Logik empfangenden Knoten in Reihe geschaltet sind. 10

30. Halbleiterspeichereinrichtung nach Anspruch 28, welche ferner umfaßt:  
 ein erstes Flipflop (3070), welches so gesetzt ist, daß es in Reaktion auf eine Aktivierung des internen Taktsignals (PK) einen Ausgang der Verriegelungsschaltung (2113) durchläßt und daß es in Reaktion auf eine Deaktivierung des internen Taktsignals den Ausgang der Verriegelungsschaltung verriegelt, während es den Ausgang der Verriegelungsschaltung von demselben isoliert; und  
 ein zweites Flipflop (3080), welches so gesetzt ist, daß es in Reaktion auf eine Deaktivierung des internen Taktsignals einen Ausgang des ersten Flipflops aufnimmt und durch dasselbe durchläßt und daß es in Reaktion auf eine Aktivierung des internen Taktsignals den Ausgang des ersten Flipflops verriegelt, während es das erste Flipflop von demselben isoliert. 20

31. Halbleiterspeichereinrichtung nach Anspruch 30, welche ferner umfaßt:  
 einen Taktsignalgenerator (2118, 2120), welcher in Reaktion auf einen Ausgang des zweiten Flipflops (3080) das externe Taktsignal aufnimmt, um ein anderes internes Taktsignal (SK, DK) zu erzeugen. 30

32. Halbleiterspeichereinrichtung nach Anspruch 30, bei welcher der Taktsignalgenerator (2118, 2120) eine Einrichtung (3108, 3110) umfaßt, welche in Reaktion auf eine Deaktivierung des internen Taktsignals das andere interne Taktsignal sperrt. 40

33. Sychrone Halbleiterspeichereinrichtung, welche ein Steuersignal und ein Adressensignal umfassendes externes Signal in Synchronisation mit einem externen Taktsignal aufnimmt, umfassend:  
 eine Takteinrichtung (2180, 3560), welche in Reaktion auf das externe Taktsignal ein erstes und ein zweites internes Taktsignal (SK, ZSKD) erzeugt, welche zueinander außer Phase sind; 45  
 eine Abtasteinrichtung (3562, 3564, 3550, 3558), welche ein Einrichtungsaktivierungssignal abtastet, wenn das erste und das zweite interne Taktsignal auf demselben Logikpegel sind;  
 eine Generatoreinrichtung (3566, 3568, 3570, 3572, 3574), welche in Reaktion auf das durch die Abtasteinrichtung abgetastete Signal ein Impulssignal mit einer vorgeschriebenen Zeitperiode erzeugt; und  
 eine Einrichtung (3570, 2320), welche in Reaktion auf das Impulssignal ein angelegtes Steuersignal verriegelt und ein internes Steuersignal erzeugt. 60

34. Halbleiterspeichereinrichtung nach Anspruch 33, bei welcher die Takteinrichtung (2180, 3560) umfaßt:  
 einen Taktzuffer (2180) zum Erzeugen des ersten internen Takts (SK; SKT) in Reaktion auf das externe Taktsignal und eine Verzögerungsschaltung (3560; 3512, 3514), welche das erste interne Taktsi- 65

gnal invertiert und um einen vorbestimmten Zeitabschnitt verzögert, um das zweite interne Taktsignal (ZSKD; SK) zu erzeugen.

35. Halbleiterspeichereinrichtung nach Anspruch 33, bei welcher die Abtasteinrichtung (3550, 3558, 3562, 3564) umfaßt:  
 ein erstes Transistorelement (3562; 4562), welches in Reaktion auf das erste interne Taktsignal einschaltet;  
 ein zweites Transistorelement (3564; 4564), welches in Reaktion auf das zweite interne Taktsignal einschaltet;  
 ein Transfergate (3550; 4550), welches in Reaktion auf das erste interne Taktsignal das Einrichtungsaktivierungssignal überträgt; und  
 ein drittes Transistorelement (3558; 4558), welches in Reaktion auf einen Ausgang des Transfergatters einschaltet, wobei  
 das erste, das zweite und das dritte Transistorelement zwischen einem Eingangsknoten (3551) der Generatoreinrichtung (3566, 3568, 3570, 3572, 3574) und einem ein Potential einer ersten Logik empfangenden Knoten in Reihe geschaltet sind. 20

36. Halbleiterspeichereinrichtung nach Anspruch 33, bei welcher die Generatoreinrichtung (3566, 3568, 3570, 3572, 3574) umfaßt:  
 einen Eingangsknoten (3551), welcher einen Ausgang der Abtasteinrichtung empfängt;  
 eine Verriegelungseinrichtung (3566, 3568), welche in Reaktion auf ein Signal an dem Eingangsknoten ein dem Impulssignal entsprechendes Verriegelungssignal erzeugt, während sie das Signal an dem Eingangsknoten verriegelt;  
 eine Verzögerungsschaltung (3570, 2572) zum Verzögern des Verriegelungssignals um eine der vorgeschriebenen Zeitperiode entsprechende vorbestimmte Zeit und  
 ein Transistorelement (3574), welches in Reaktion auf einen Ausgang der Verzögerungsschaltung ein Potential an dem Eingangsknoten auf einen vorbestimmten Logikpegel zieht, um einen Ausgang der Abtasteinrichtung rückzusetzen. 30

37. Halbleiterspeichereinrichtung nach Anspruch 35, welche ferner eine Auswahlseinrichtung (SWX) umfaßt, welche zum Anlegen an ein Steuergate des dritten Transistorelementes entweder den Ausgang des Transfergates (4550) oder das Einrichtungsaktivierungssignal wählt.

38. Halbleiterspeichereinrichtung nach Anspruch 33, bei welcher das interne Steuersignal ein Signal zum Anwisen eines Zugriffs umfaßt, das anzeigt, daß auf eine Speicherzelle in einer Speicherzellenanordnung (104) zugegriffen werden soll, und bei welcher die Halbleiterspeichereinrichtung ferner umfaßt:  
 ein Transfergate (2332), welches in Reaktion auf das erste interne Taktsignal (SKT) das Signal zum Anwisen eines Zugriffs an einen ersten Knoten überträgt;  
 eine Verriegelungseinrichtung (2333, 2334), welche in Reaktion auf das Signal zum Anwisen eines Zugriffs am ersten Knoten ein Speicherzellauswahlsignal erzeugt, während sie ein Potential am ersten Knoten verriegelt;  
 ein Logikgatter (2334), welches in Reaktion auf eine Deaktivierung des Impulssignals und eine Aktivierung des Speicherzellauswahlsignals ein Rücksetzsignal erzeugt; und

ein Transistorelement (2335), welches in Reaktion auf das Rücksetzsignal ein erstes Logikpotential an den ersten Knoten überträgt, um das Speicherzellauswahlssignal zu sperren.

39. Halbleiterspeichereinrichtung, welche ein ein Steuersignal und ein Adressensignal umfassendes externes Signal in Synchronisation mit einem externen Taktsignal aufnimmt, umfassend:  
eine Einrichtung zur Erzeugung eines internen Takts (2180), welche in Reaktion auf das externe Taktsignal ein erstes und ein zweites internes Taktsignal erzeugt, welche zueinander außer Phase sind; und

eine Gattereinrichtung (2340), welche eine logische Produktoperation zwischen dem ersten und dem zweiten internen Taktsignal und einem einen Wunsch nach Zugriff auf die synchrone Halbleiterspeichereinrichtung anzeigenenden Einrichtungsaktivierungssignal ausführt und welche ein Signal zur Anweisung einer Verriegelung erzeugt, welches ein Verriegeln eines gemäß dem externen Signal erzeugten internen Signals anzeigt.

40. Halbleiterspeichereinrichtung, die in Synchronisation mit einem Taktsignal betrieben wird, welches eine erste Flanke und eine zweite Flanke in einem Zyklus aufweist, umfassend:

eine erste Verriegelungseinrichtung (2130; 3250, 3252, 3253, 3254), welche in Reaktion auf die erste Flanke des Taktsignals ein extern angelegtes Taktmaskensignal verriegelt und ein internes Taktmaskensignal ausgibt;

eine zweite Verriegelungseinrichtung (2132), welche in Reaktion auf die zweite Flanke des Taktsignals ein Ausgangssignal der ersten Verriegelungseinrichtung verriegelt und ausgibt; und

eine Generatoreinrichtung (2134), welche in Reaktion auf das Ausgangssignal der zweiten Verriegelungseinrichtung und das Taktsignal ein internes Taktsignal erzeugt.

41. Halbleiterspeichereinrichtung nach Anspruch 40, bei welcher die erste Verriegelungseinrichtung (2130) umfaßt:

ein erstes Gatter (3202, 3204, 3206), welches ein Signal zum Ent sperren eines ersten internen Takts (ZCLKE) gemäß dem Taktsignal erzeugt;

einen Impulsgenerator (3202, 3204, 3208, 3210, 3212), der in Reaktion auf das Taktsignal ein Impulssignal mit einer vorbestimmten Breite erzeugt;

ein Register (3214), welches in Reaktion auf das Impulssignal aktiviert ist, so daß es ein externes Taktmaskensignal aufnimmt; und

ein erstes Flipflop (3217, 3218) zum Verriegeln eines Ausgangs des Registers.

42. Halbleiterspeichereinrichtung nach Anspruch 41, bei welcher die zweite Verriegelungseinrichtung (2132) umfaßt:

ein Durchlaßgatter (3220, 3221), welches in Reaktion auf das Signal zum Ent sperren eines ersten internen Takts einen Ausgang des ersten Flipflops überträgt; und

ein zweites Flipflop (3222, 3223, 3224, 3225) zum Verriegeln eines Ausgangs des Durchlaßgatters.

43. Halbleiterspeichereinrichtung nach Anspruch 40, bei welcher die Generatoreinrichtung (2134) umfaßt:

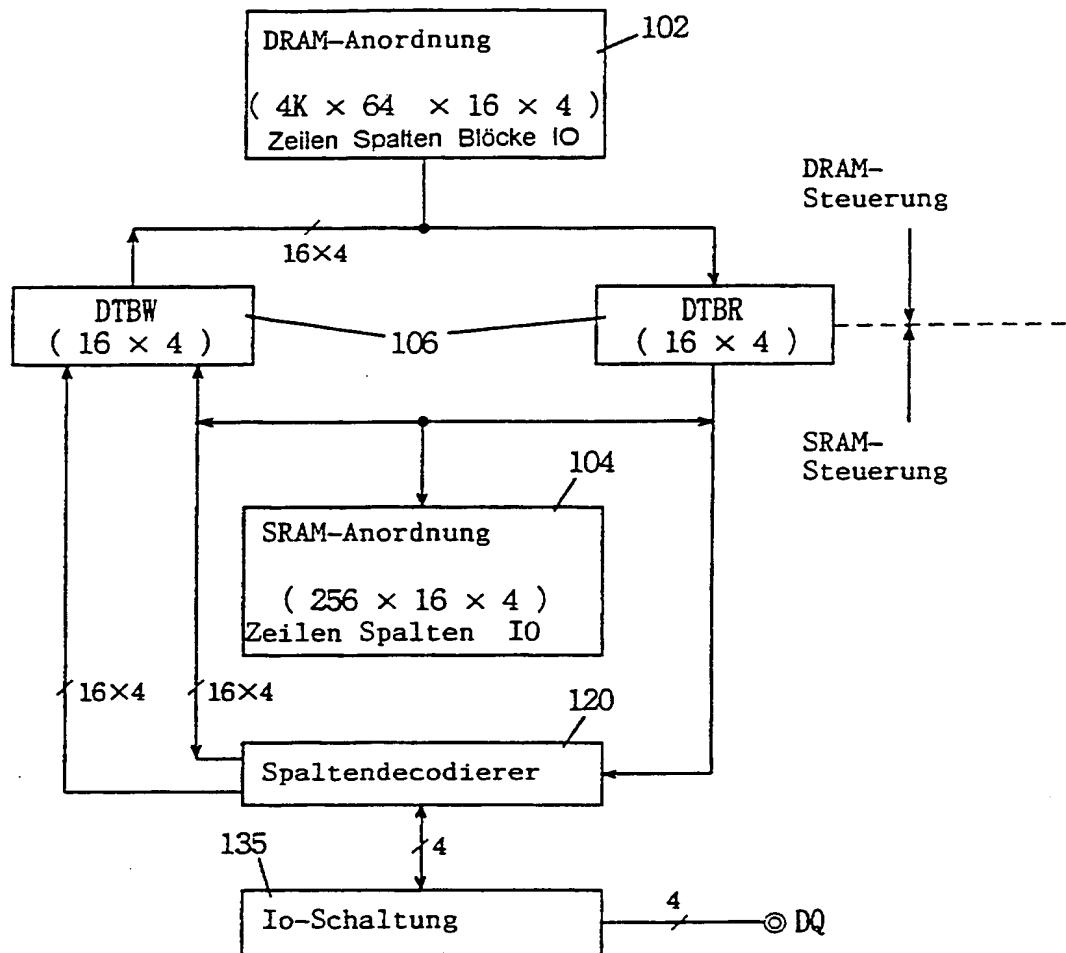
ein Logikgatter (3230, 3232), welches in Reaktion auf eine Aktivierung eines Ausgangs des zweiten Flipflops (3222, 3223, 3224, 3225) das Taktsignal

durchläßt; und  
einen zweiten Impulsgenerator (3234, 3236, 3238), welcher in Reaktion auf einen Ausgang des Logikgatters ein Impulssignal mit einer vorbestimmten Breite wie das interne Takt signal erzeugt.

44. Halbleiterspeichereinrichtung, welche umfaßt:  
eine Einrichtung (2106) zum Erzeugen eines Signals zur Anweisung einer Takt erzeugung mit einer vorgeschriebenen Zeitbreite in Synchronisation mit einem externen Taktsignal;  
ein Transistorelement (3042, 3044), welches in Reaktion auf das Signal zur Anweisung einer Takt erzeugung leitet, so daß es einen internen Knoten auf ein vorgeschriebenes Referenzpotential treibt; und  
eine Einrichtung (3048, 3050, 3052, 3056, 3060, 3062), welche ein internes Takt signal erzeugt, um ein Operations-Timing für eine interne Schaltung gemäß dem Potential des internen Knotens zu geben.

Hierzu 64 Seite(n) Zeichnungen

FIG. 2



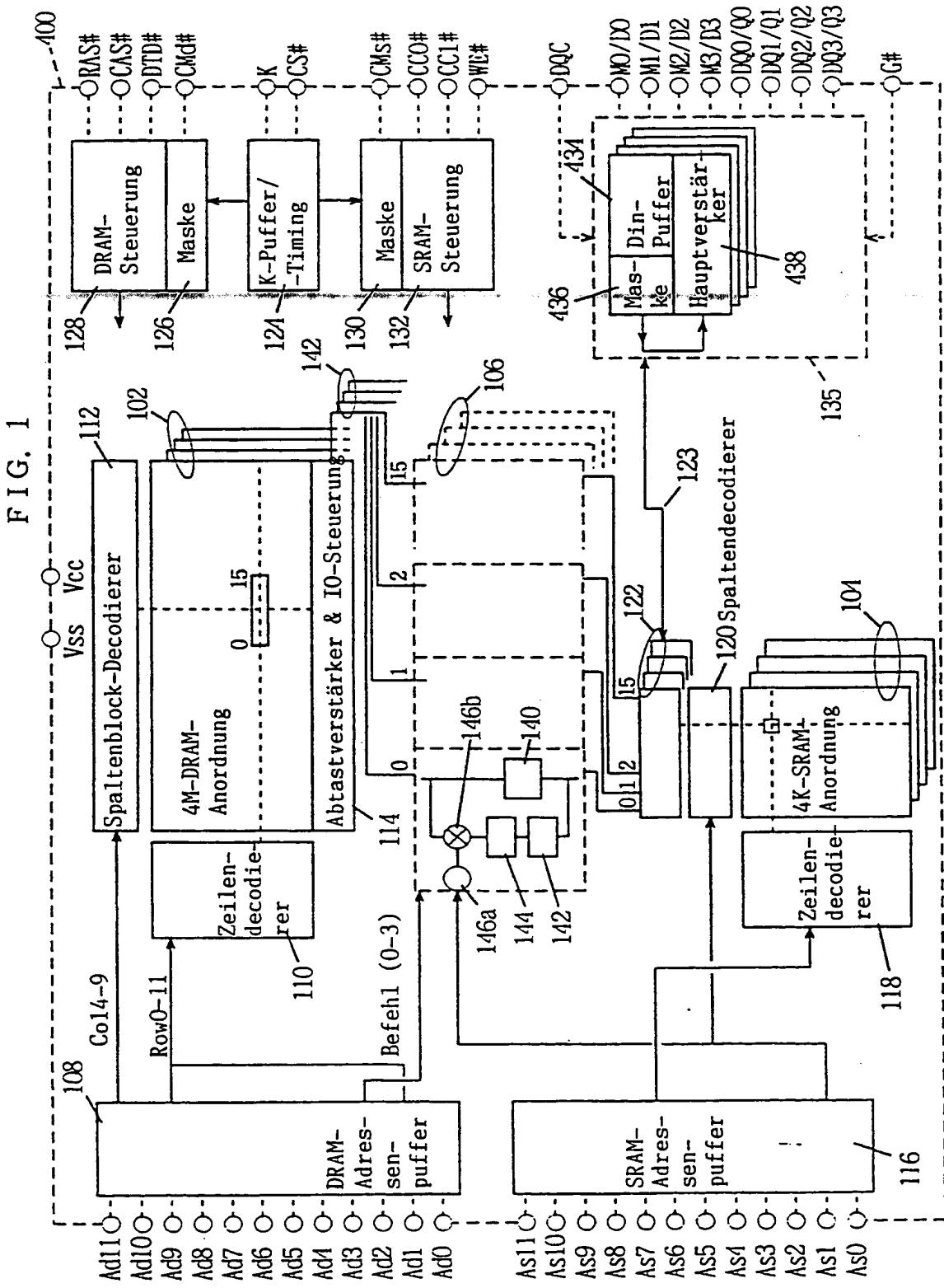


FIG. 4

DRAM	datenübertragungspuffer						FUNKTION	
	CS#	Cmd#	RAS#	CAS#	DTBW	T <sub>III</sub>	DTBR	
DPI	X	L	X	X	X	-	-	DRAM-Stromverkleinerung
DNOP	L	H	H	X	X	-	-	DRAM-keine Operation
DRR	L	H	H	L	H	4-9 (Spaltenblock)	-	DRAM-Leseübertragung →DTBR
DWT1	L	H	H	L	L	4-9 (Spaltenblock)	0 0	DRAM-laden/ alle Bits verwenden/ verwenden
DWT1R	L	H	H	L	L	4-9 (Spaltenblock)	1 0	DRAM-laden/ alle Bits verwenden/ verwenden
DWT2	L	H	H	L	L	4-9 (Spaltenblock)	0 1	DRAM-laden/ verwenden/ verwenden
DWT2R	L	H	H	L	L	4-9 (Spaltenblock)	1 1	DRAM-laden/ verwenden/ verwenden
ACT	L	H	L	H	H	0-11 (Zeilenadresse)	-	-
PGC	L	H	L	H	L	X	-	DRAM aktivieren
ARF	L	H	L	L	H	X	-	DRAM vorladen
SCR	L	H	L	L	L	-	-	Selbstauffrischung
						-	-	Diefeilsregister setzen

T<sub>III</sub> : Zwischenregister

FIG. 3

	SRAM	AS	Datenübertragungspuffer				DQ-Pin				Funktion	
			DTBW	Übertragungs- maske	DTBW	T <sub>W</sub>	DTBR	Schreib- maske	Din	Dout		
NOP	H	X	X	X	X	0-11	-	-	-	-	Hi-Z	keine Operation
SPD	X	L	X	X	X	-	-	-	-	-	gesperrt	SRAM-Stromverklei- nungsdaten sperren
DES	L	H	H	X	X	-	-	-	-	-	Hi-Z	SRAM nicht gewählt
SR	L	H	L	H	H	0-11	-	-	-	-	gültig	SRAM lesen
SW	L	H	H	L	L	H	0-11	-	-	-	gültig	SRAM schreiben
BR <sup>T</sup>	L	H	L	H	H	L	4-11	-	-	-	Hi-Z	DTBR → SRAM
BWT	L	H	L	H	L	L	4-11	laden/ rücksetzen	-	-	gültig	DTBR → SRAM → DQ
BRTR	L	H	L	H	H	H	0-11	-	-	-	Hi-Z	Din → SRAM → DTBR → DQ
BWTW	L	H	L	H	L	H	0-11	laden/ rücksetzen	-	-	gültig	DTBR → SRAM → DTBW
BR	L	H	L	L	H	H	0-3	-	-	-	gültig	Puffer lesen
BW	L	H	L	L	L	H	0-3	laden/ rücksetzen	-	-	gültig	Puffer schreiben

T<sub>W</sub> : Zwischenregister

FIG. 6

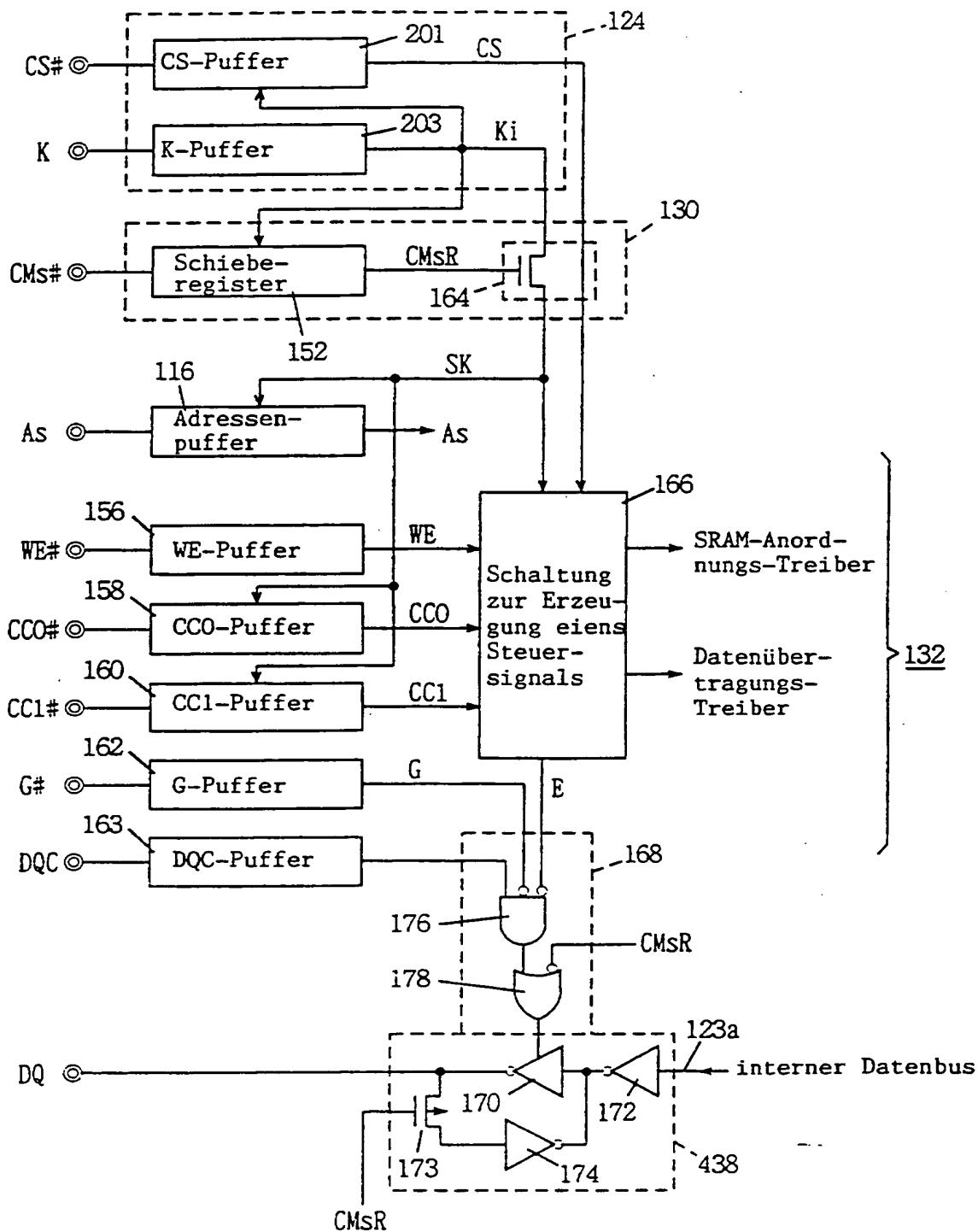


FIG. 5

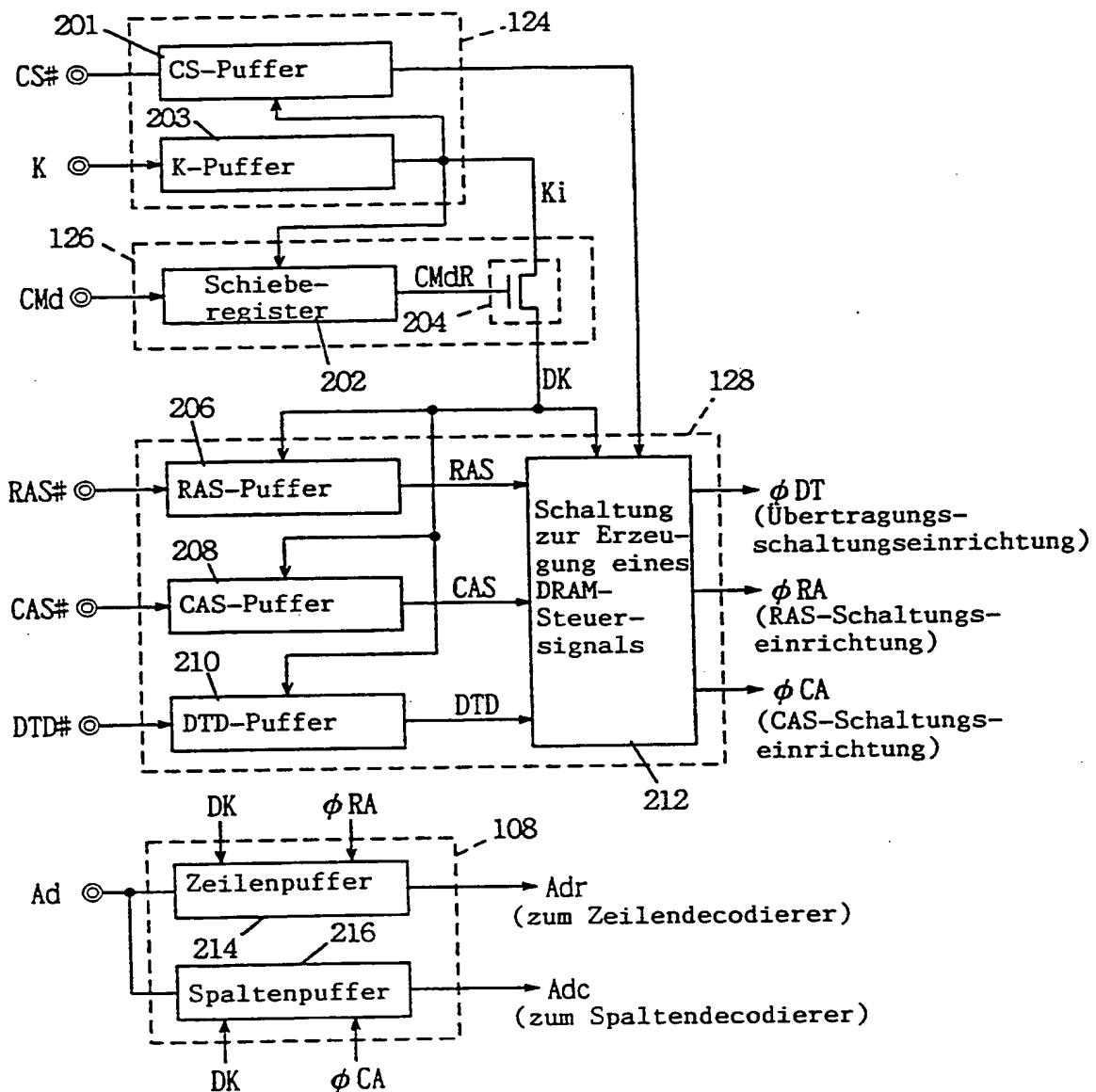


FIG. 9

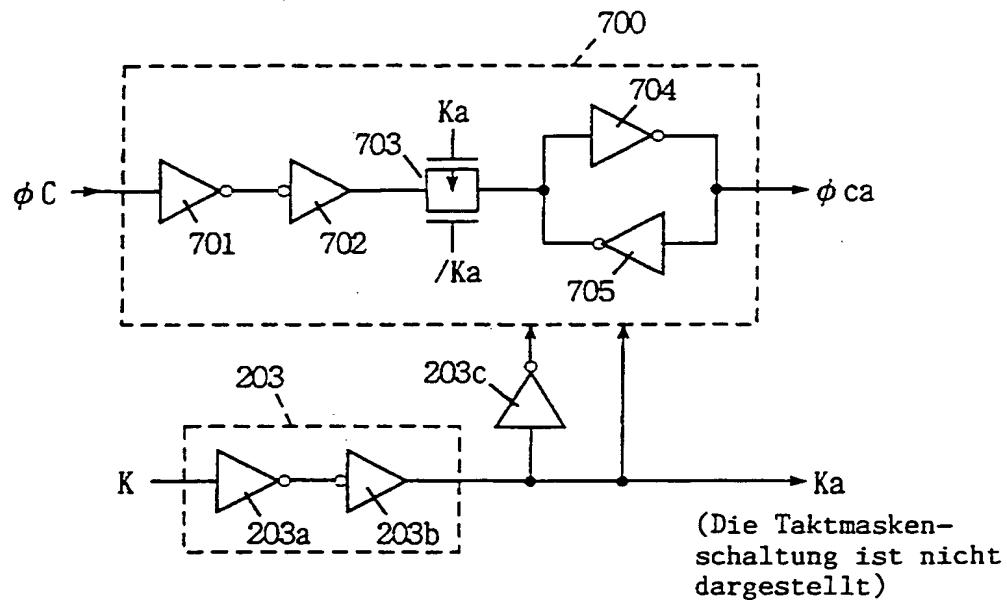


FIG. 10

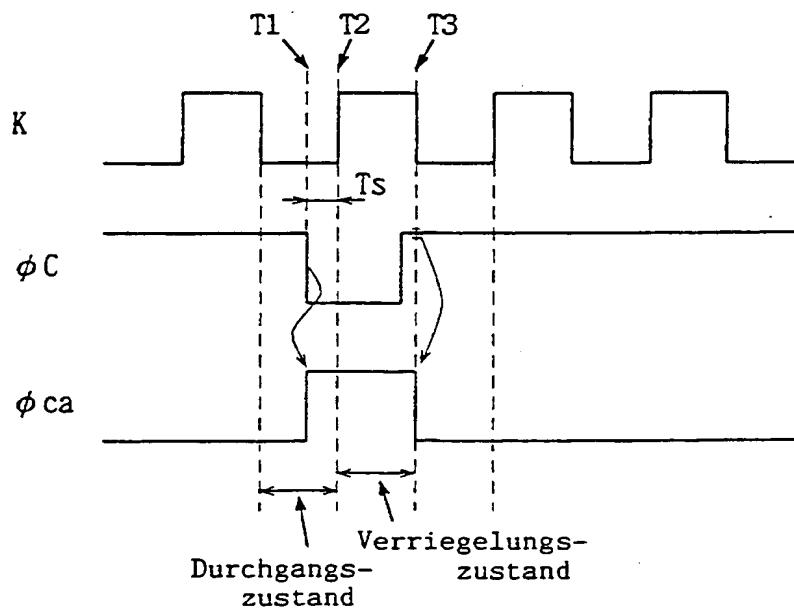


FIG. 7

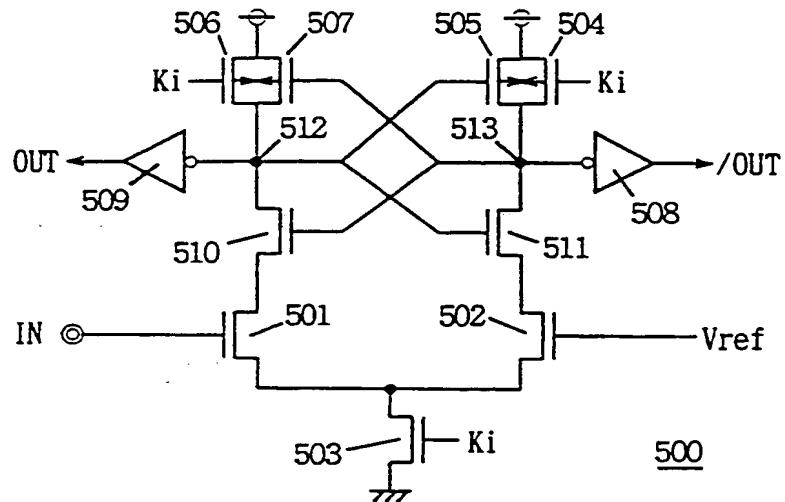
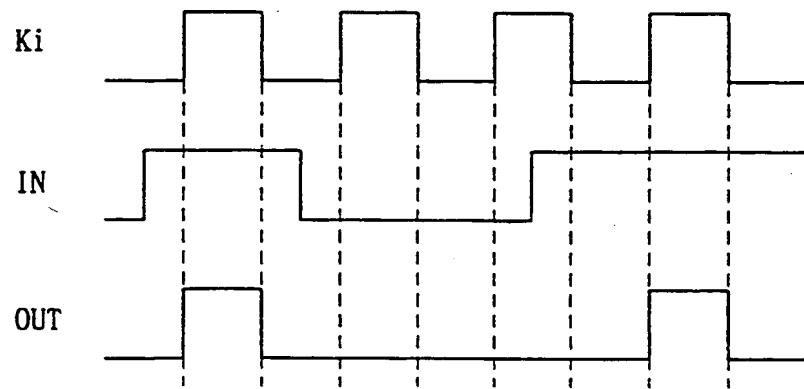


FIG. 8



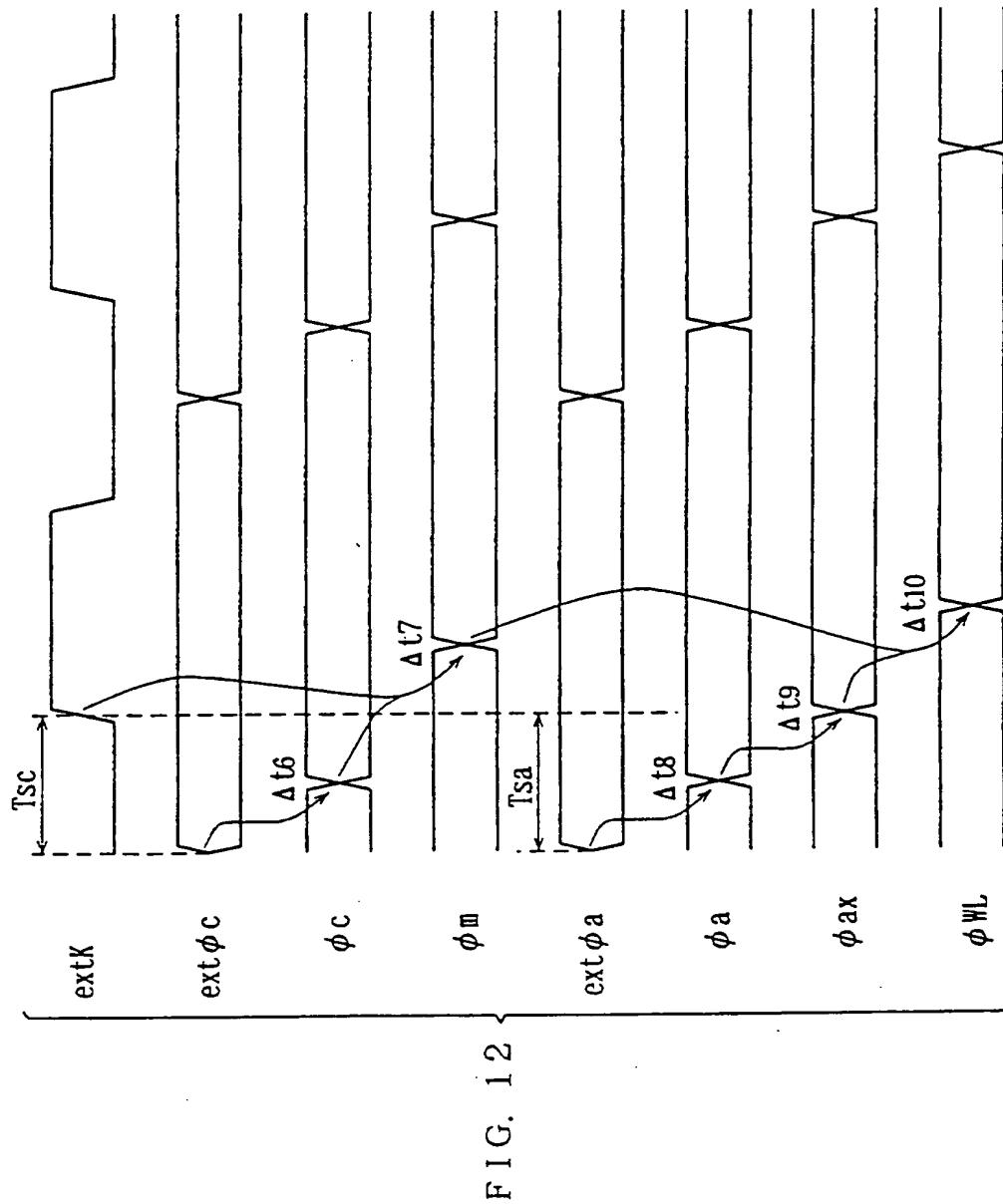


FIG. 11

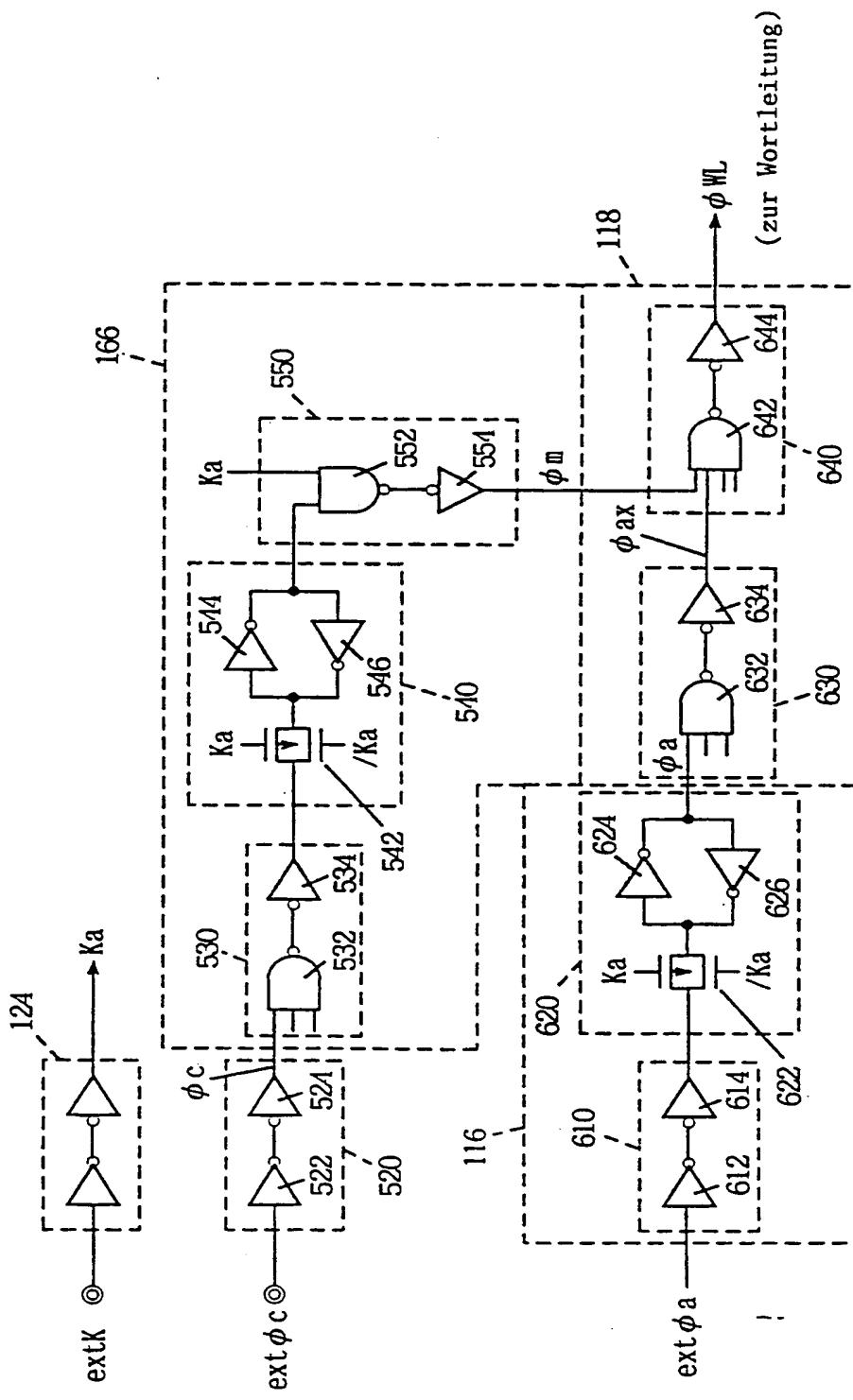
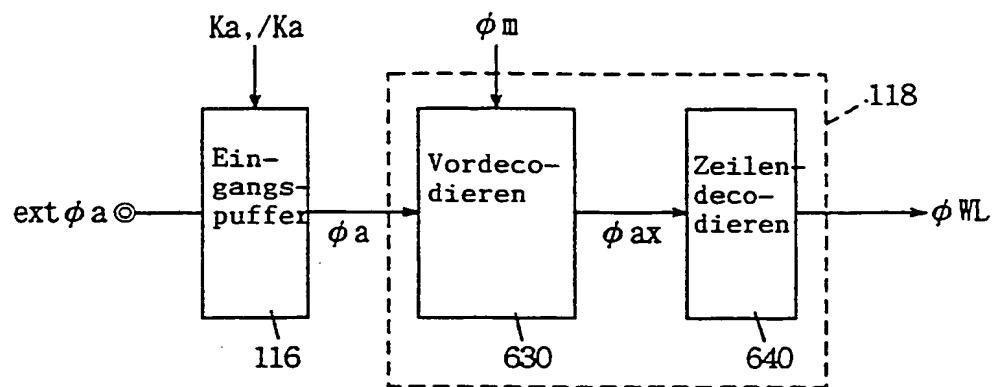


FIG. 13



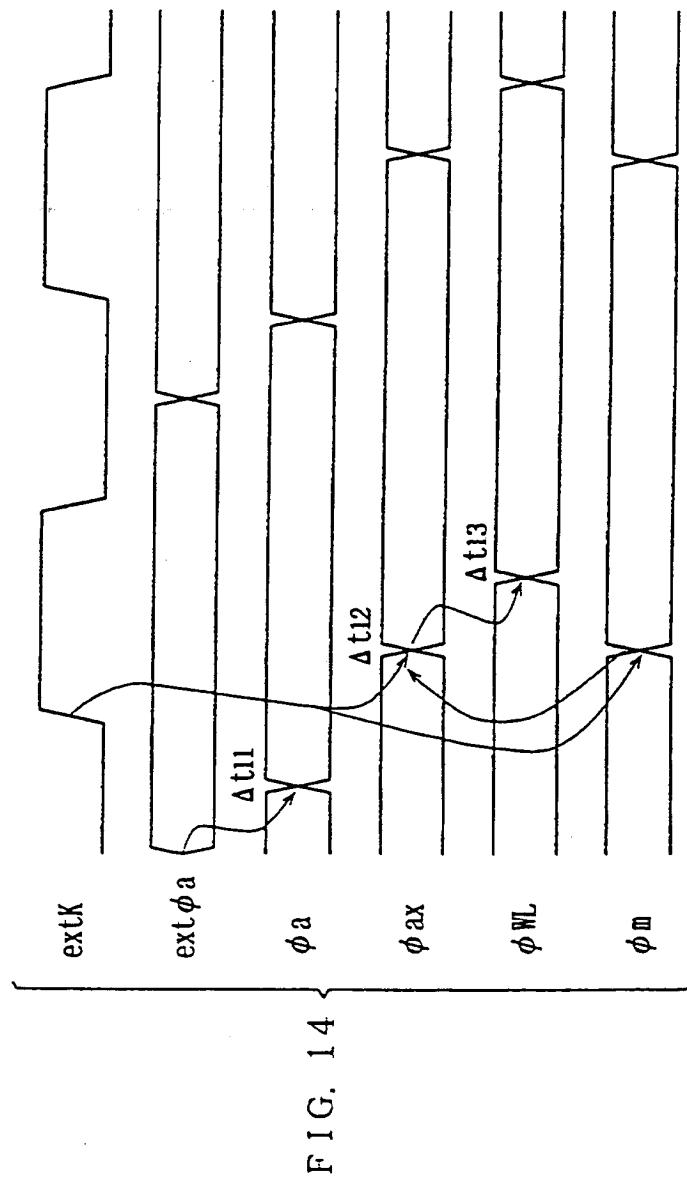


FIG. 15

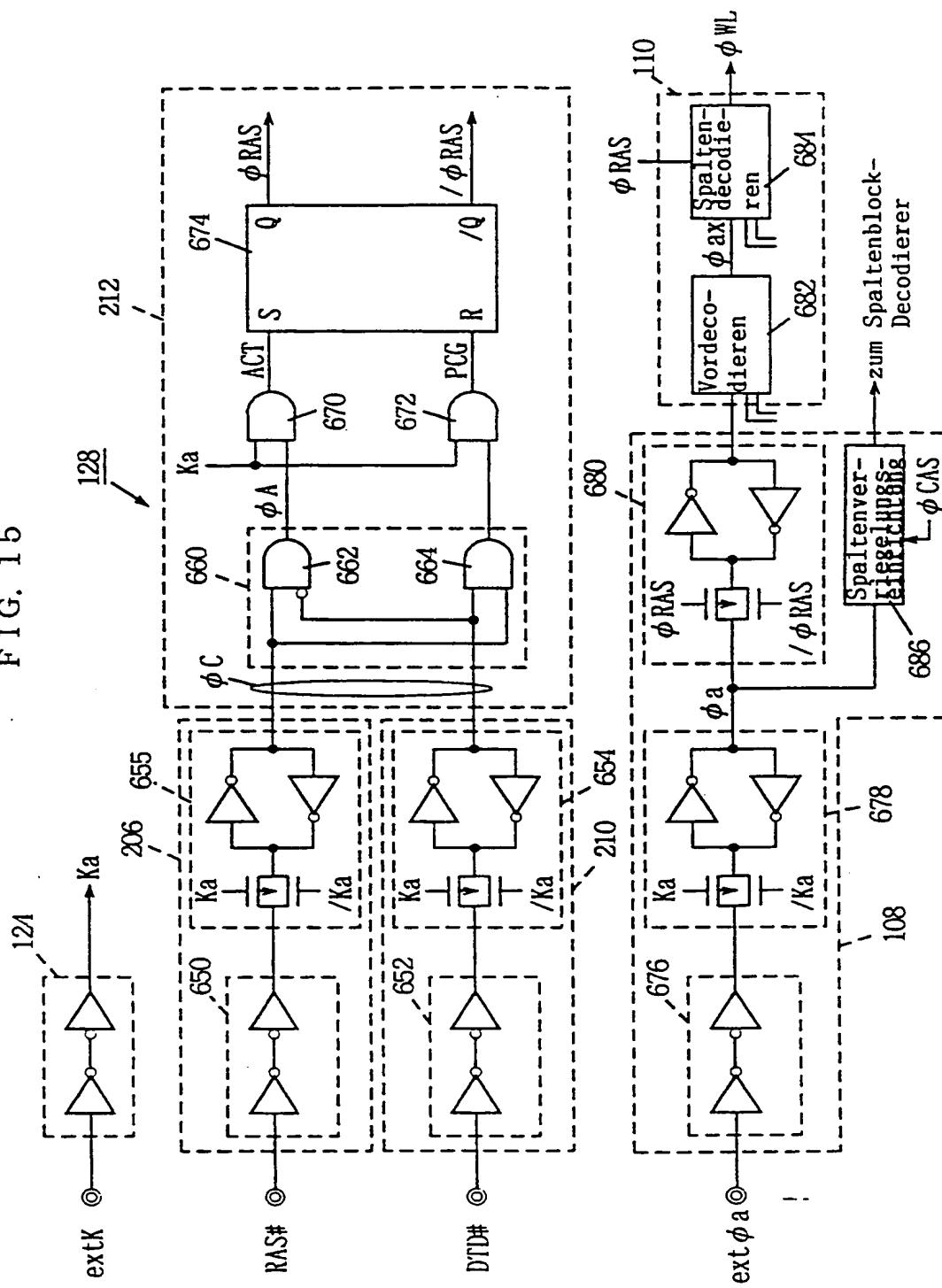


FIG. 16 A

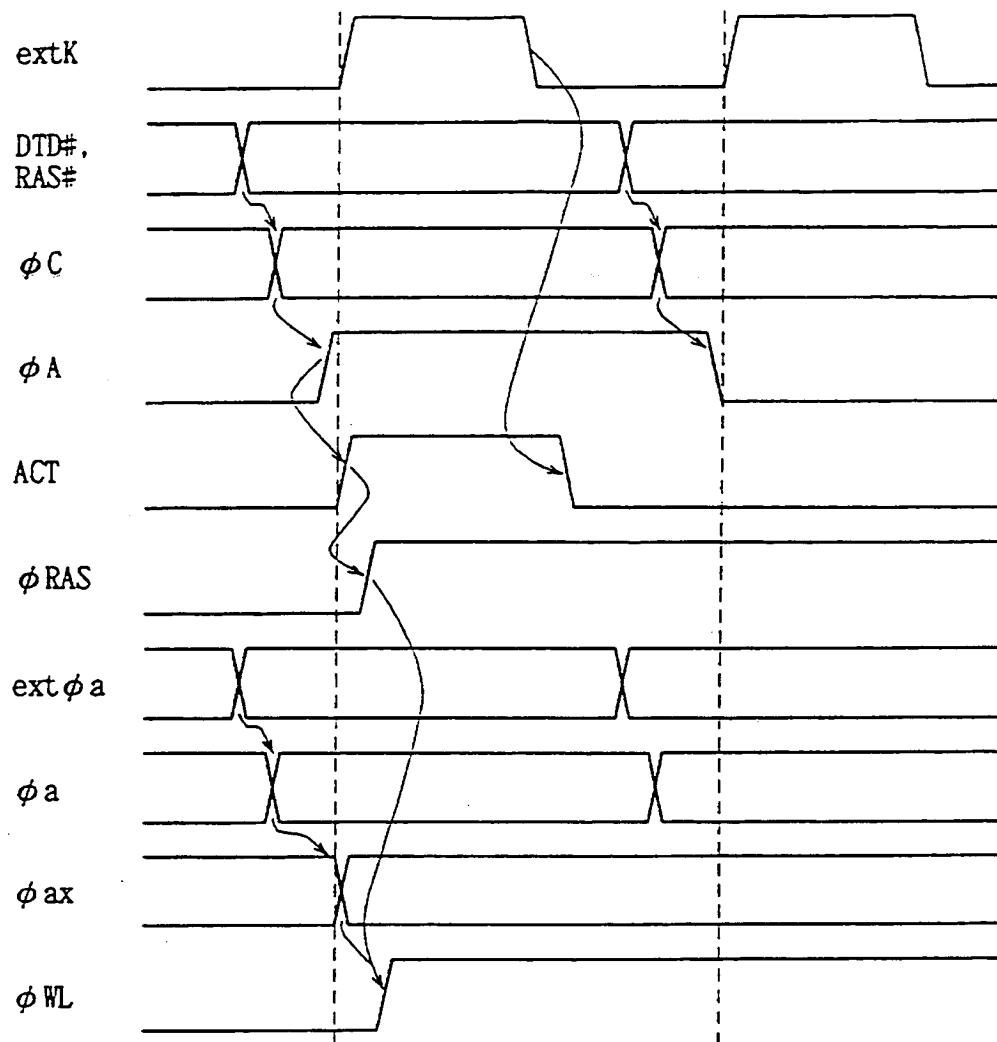


FIG. 16 B

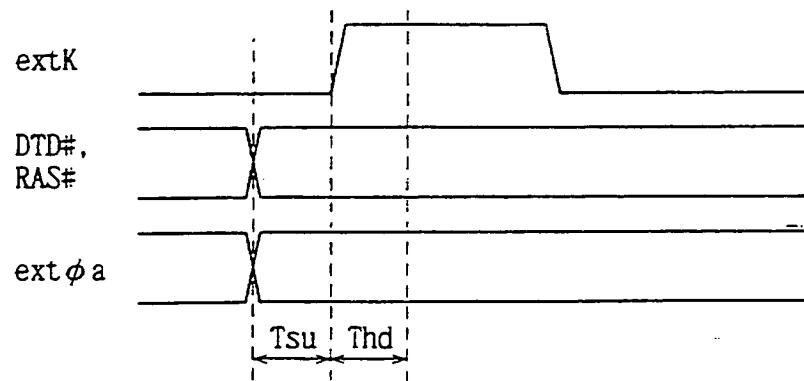


FIG. 17

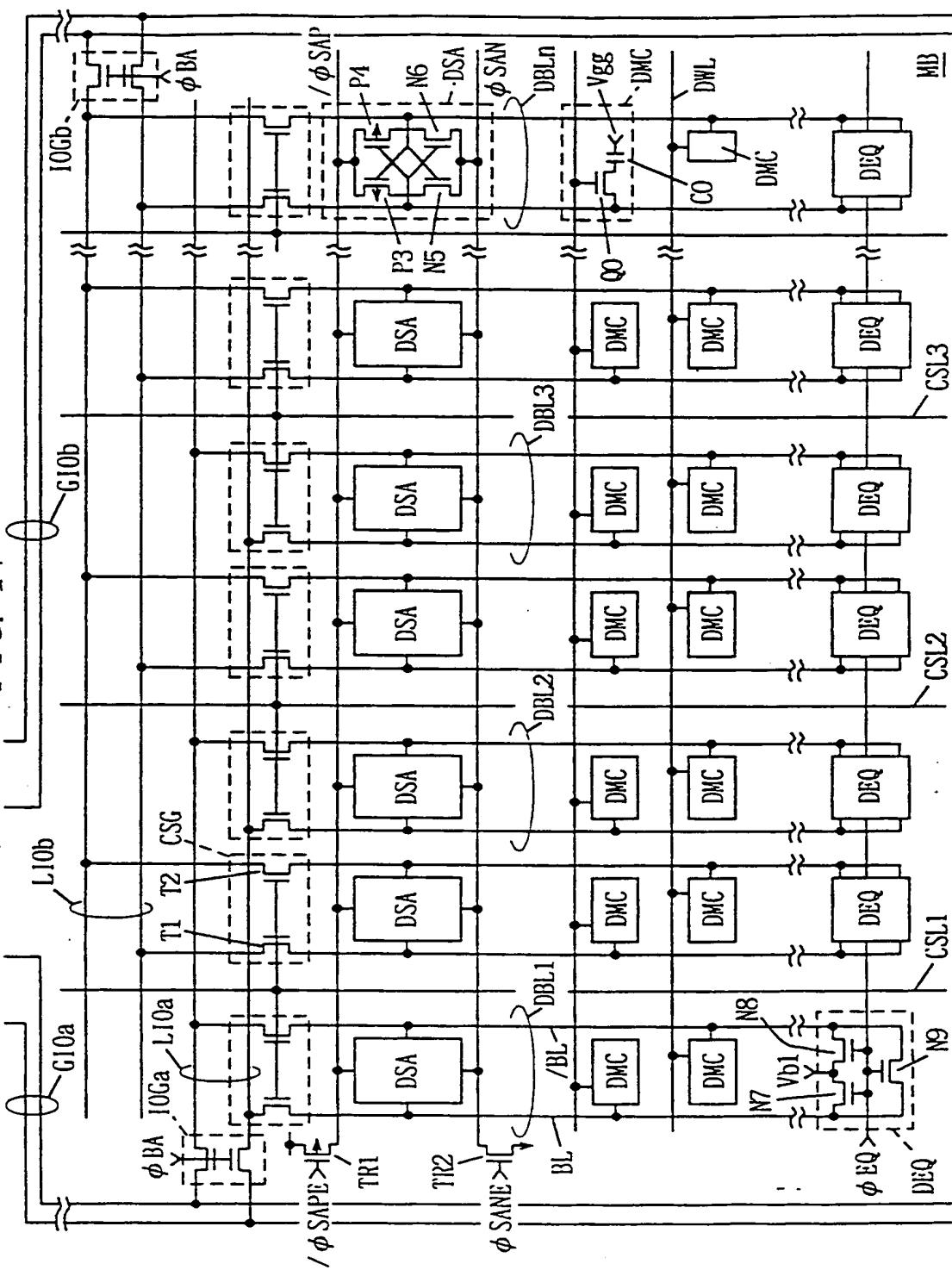


FIG. 18

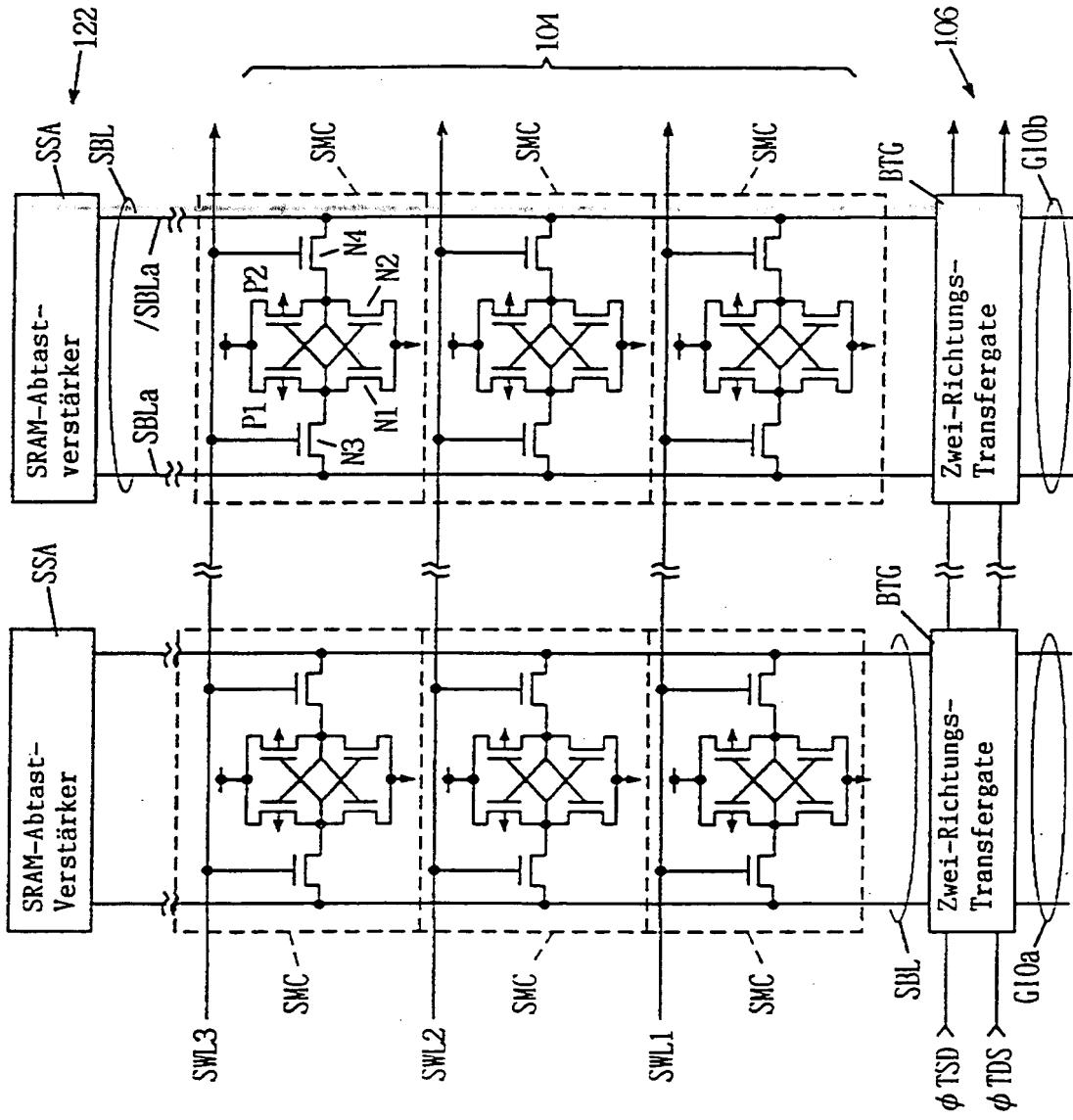
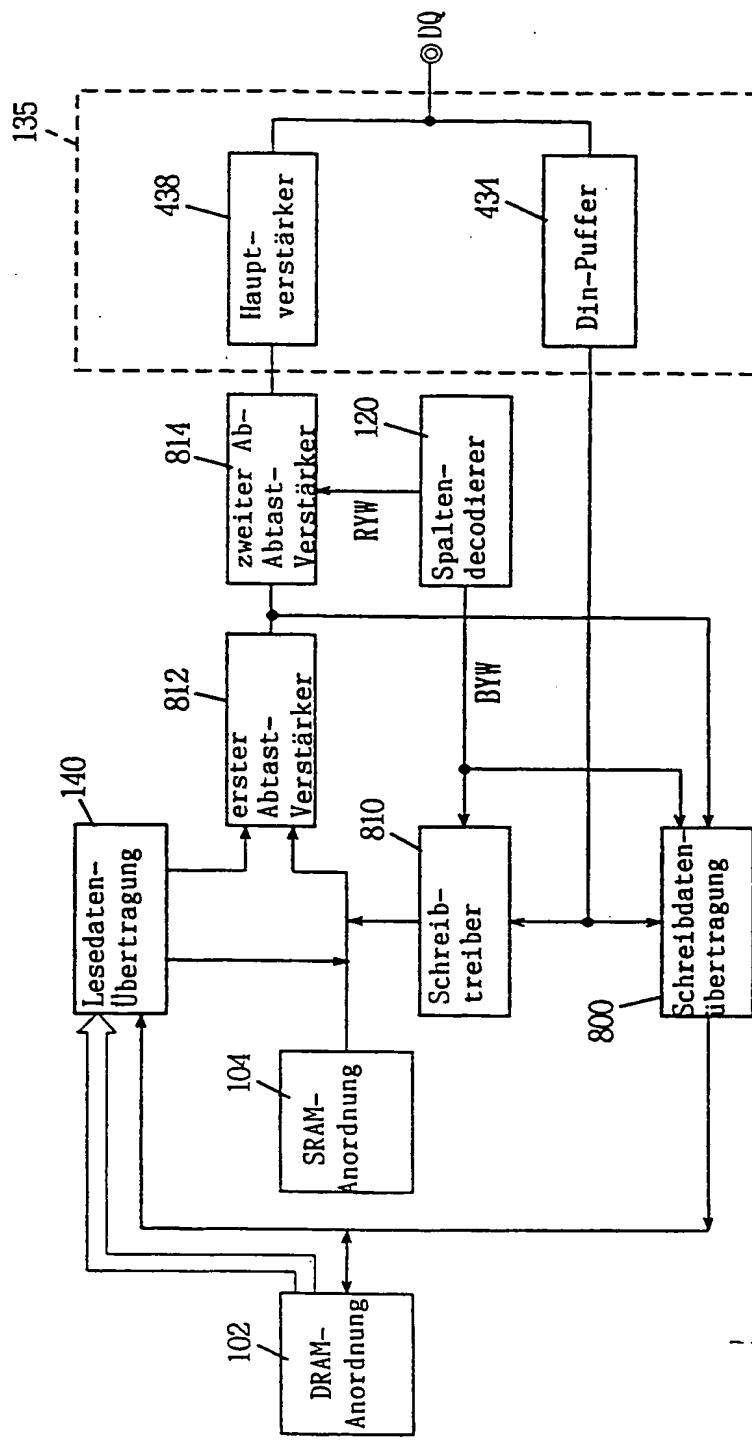


FIG. 19



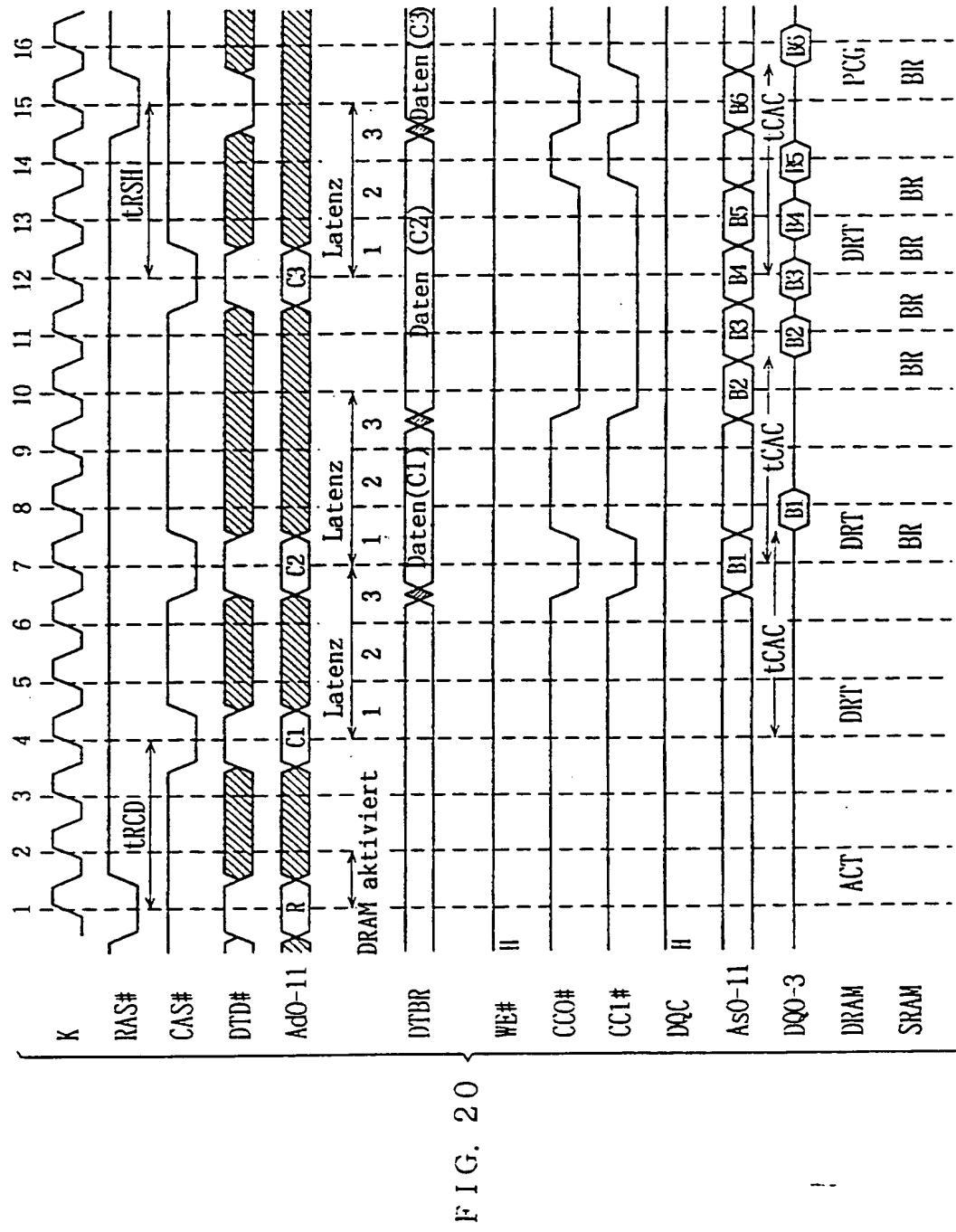


FIG. 21

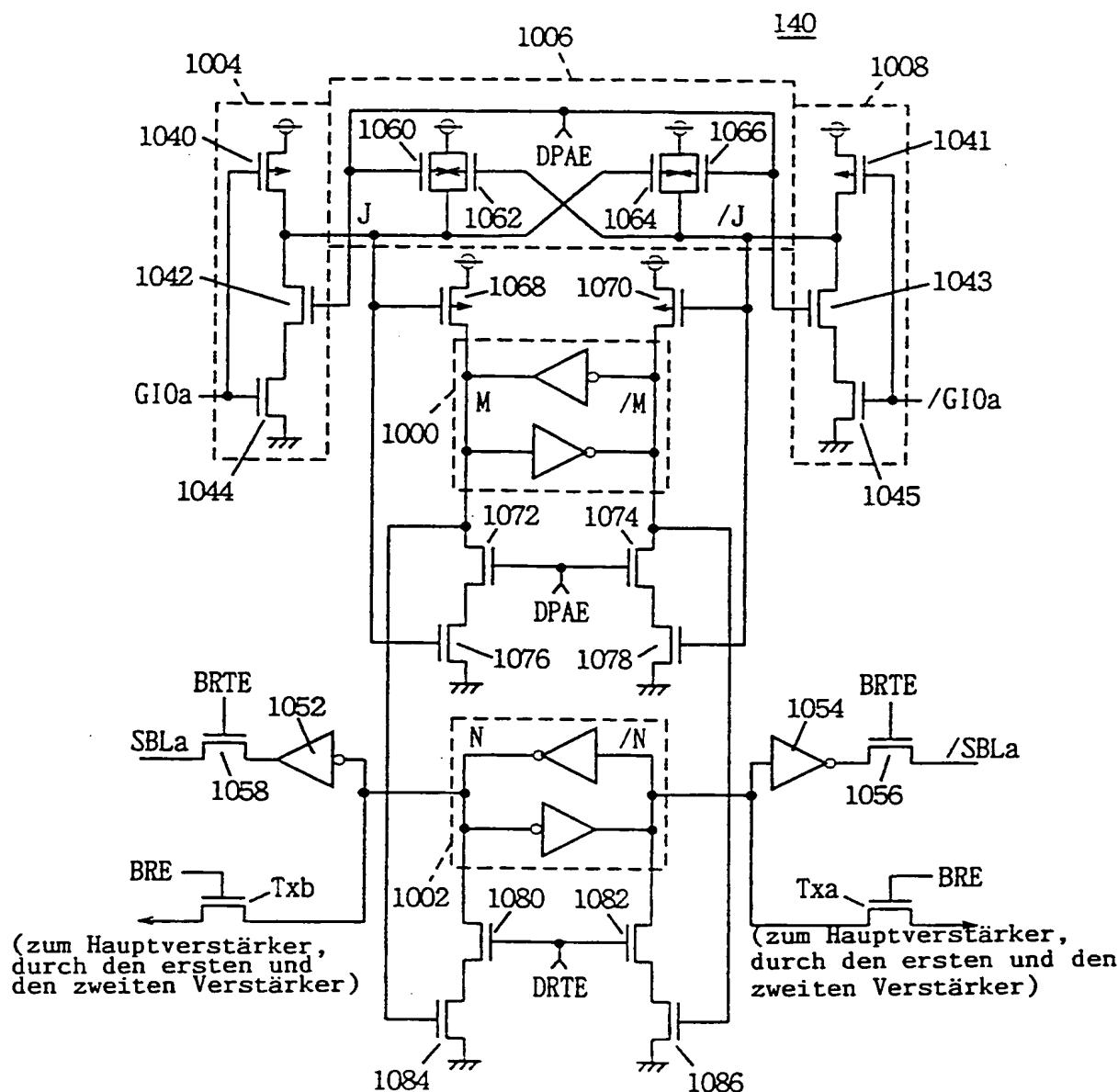


FIG. 22

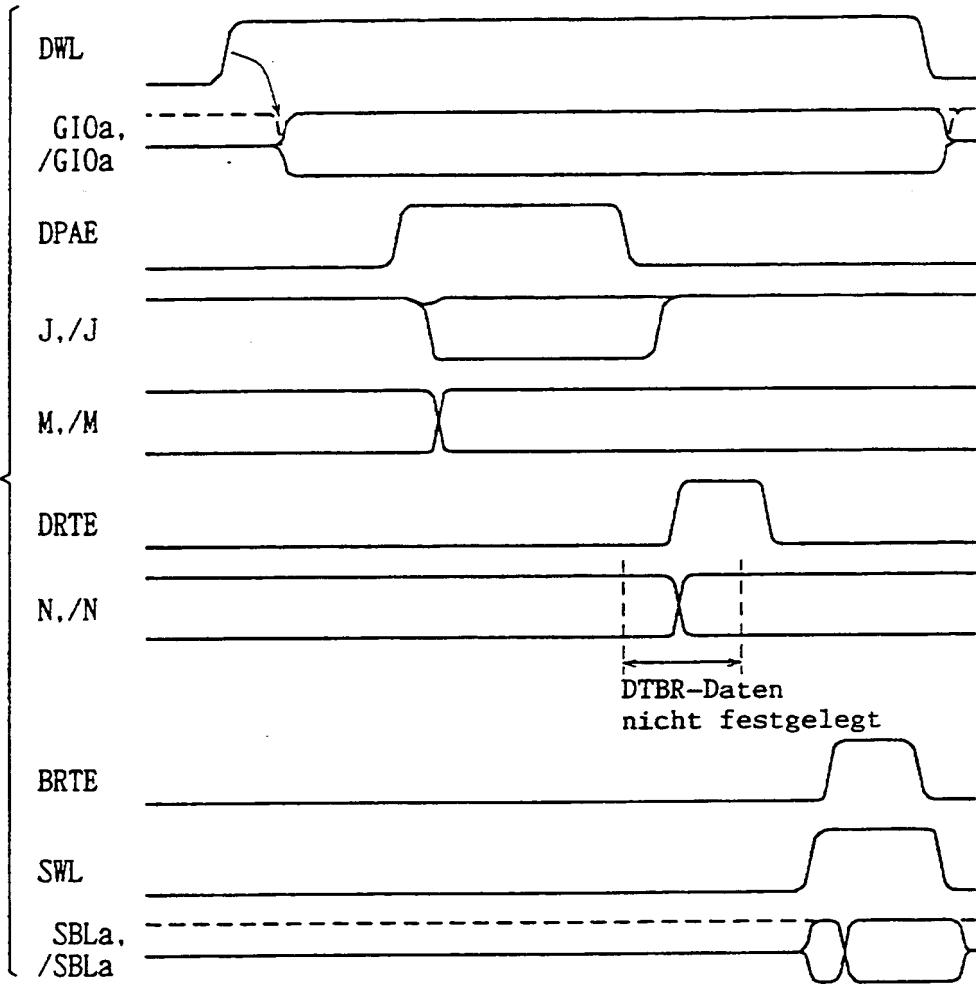


FIG. 23

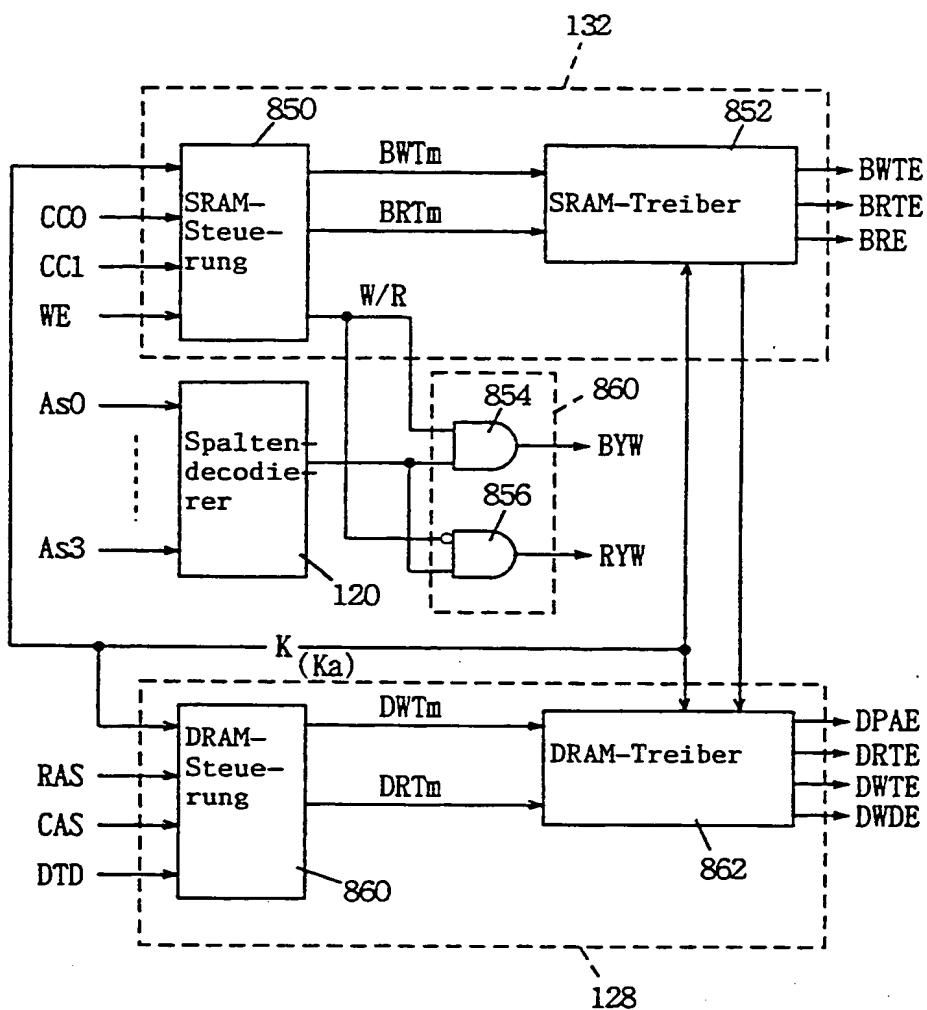


FIG. 24

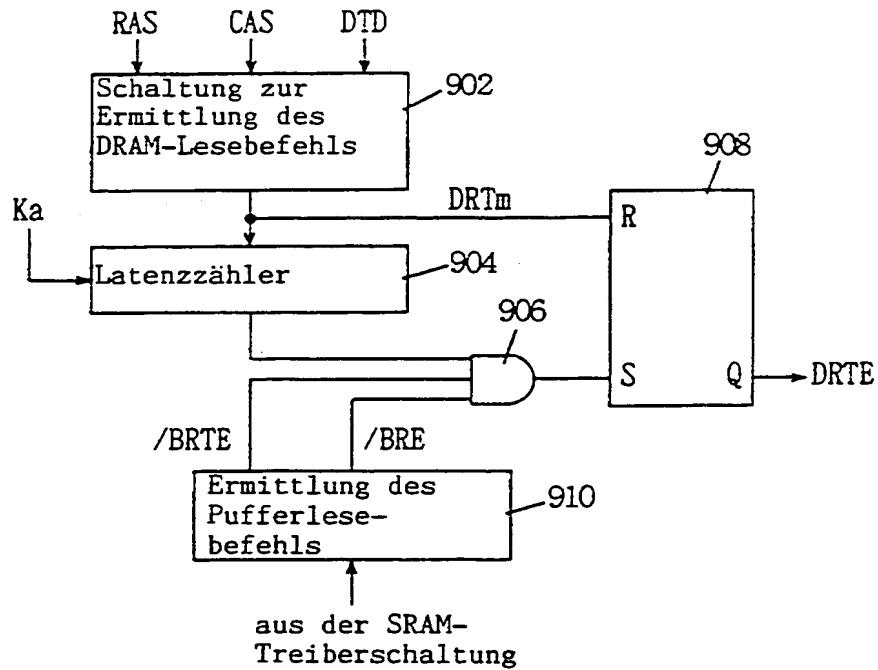
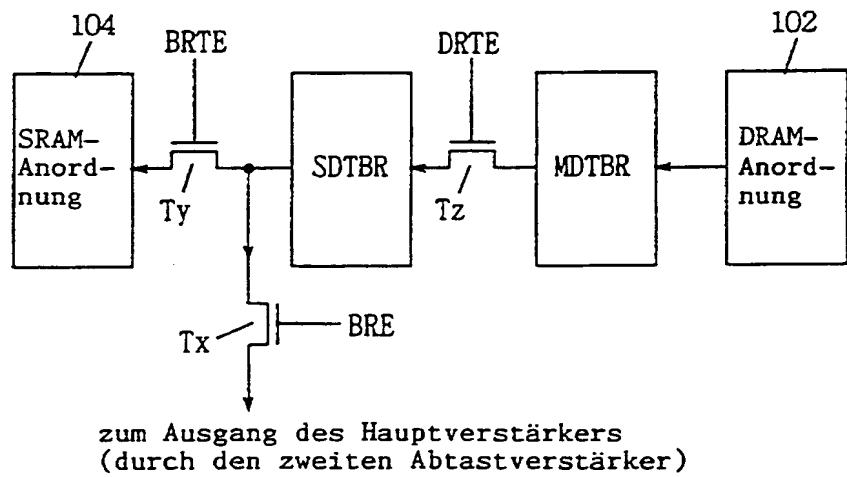


FIG. 25



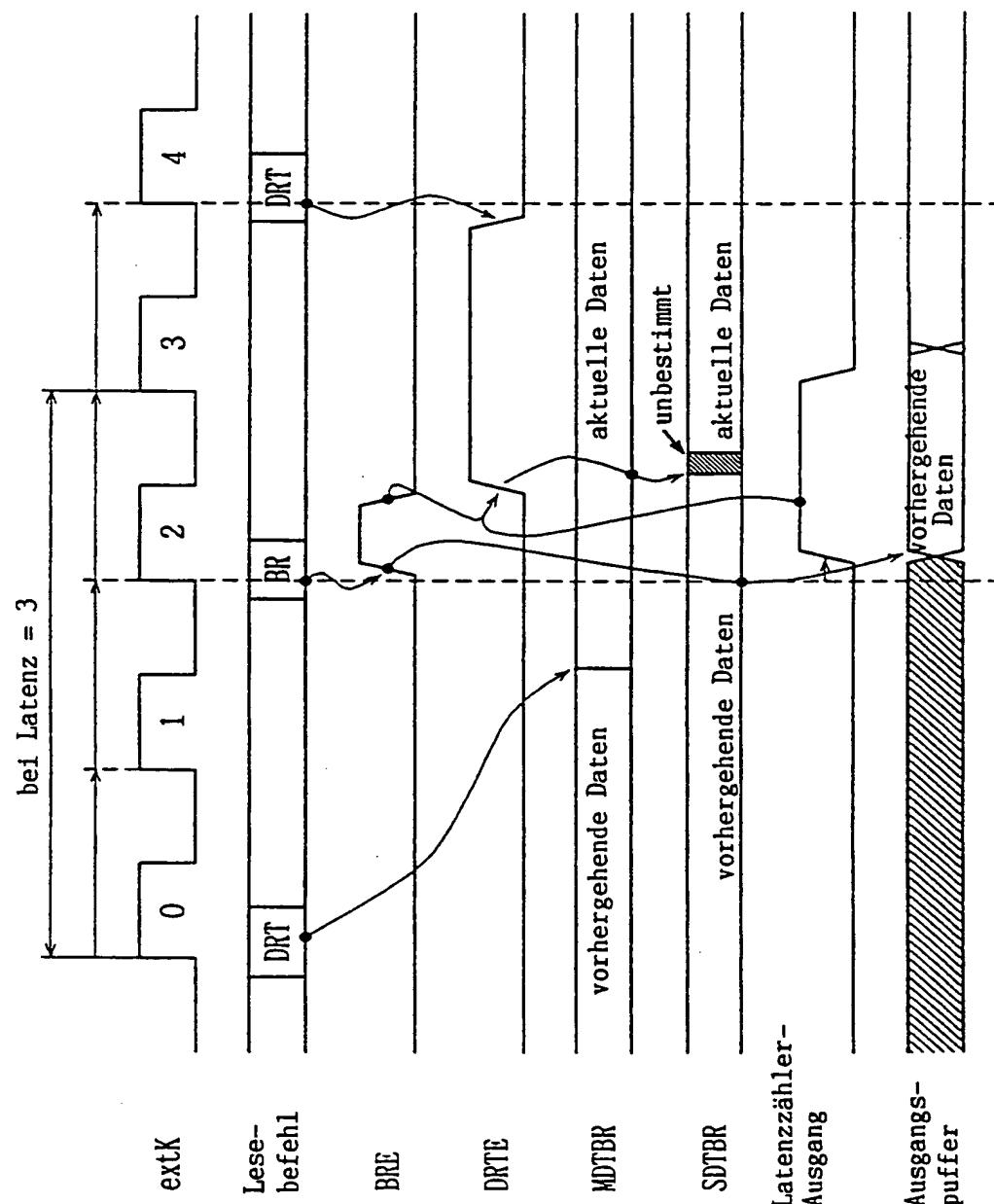


FIG. 26

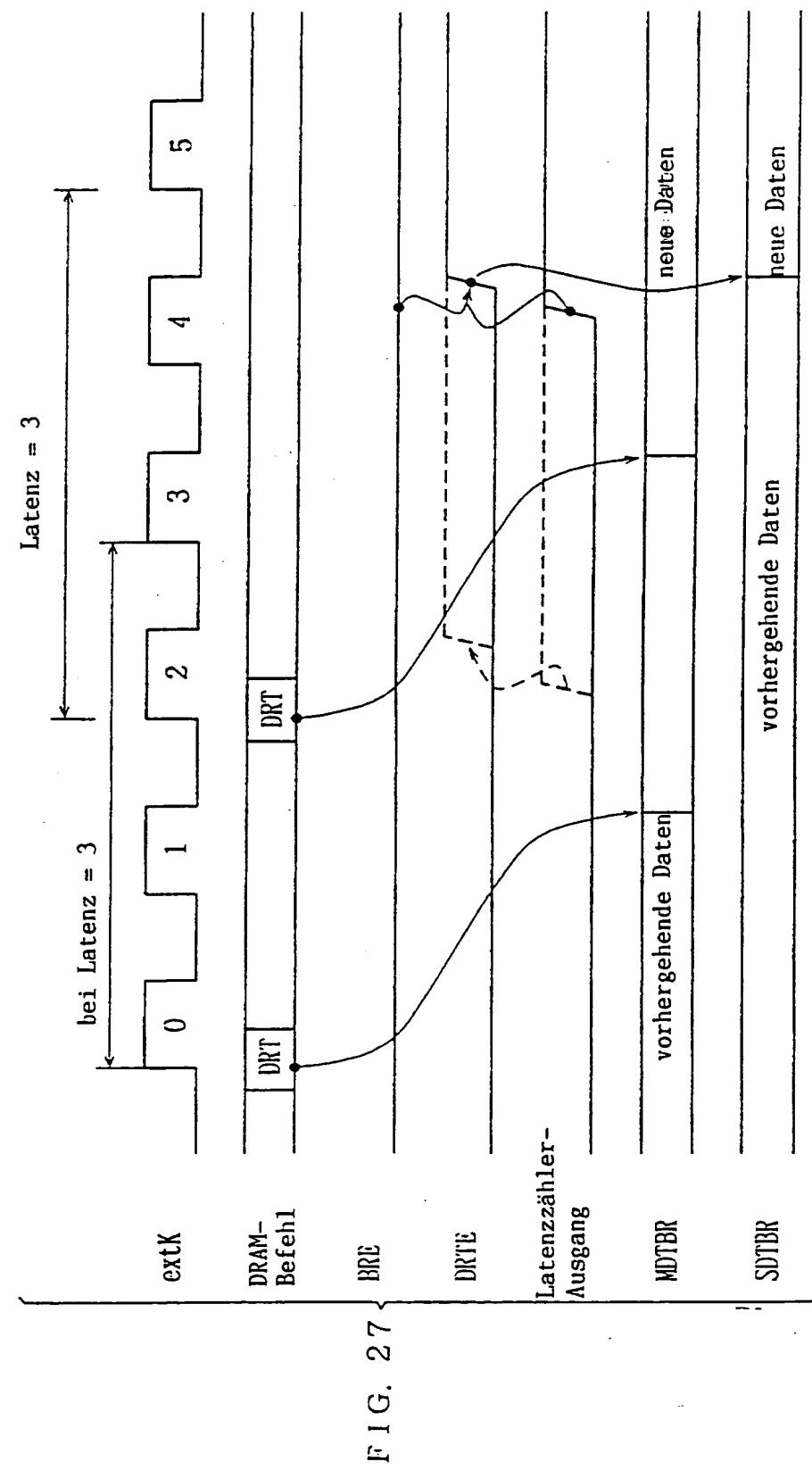


FIG. 28

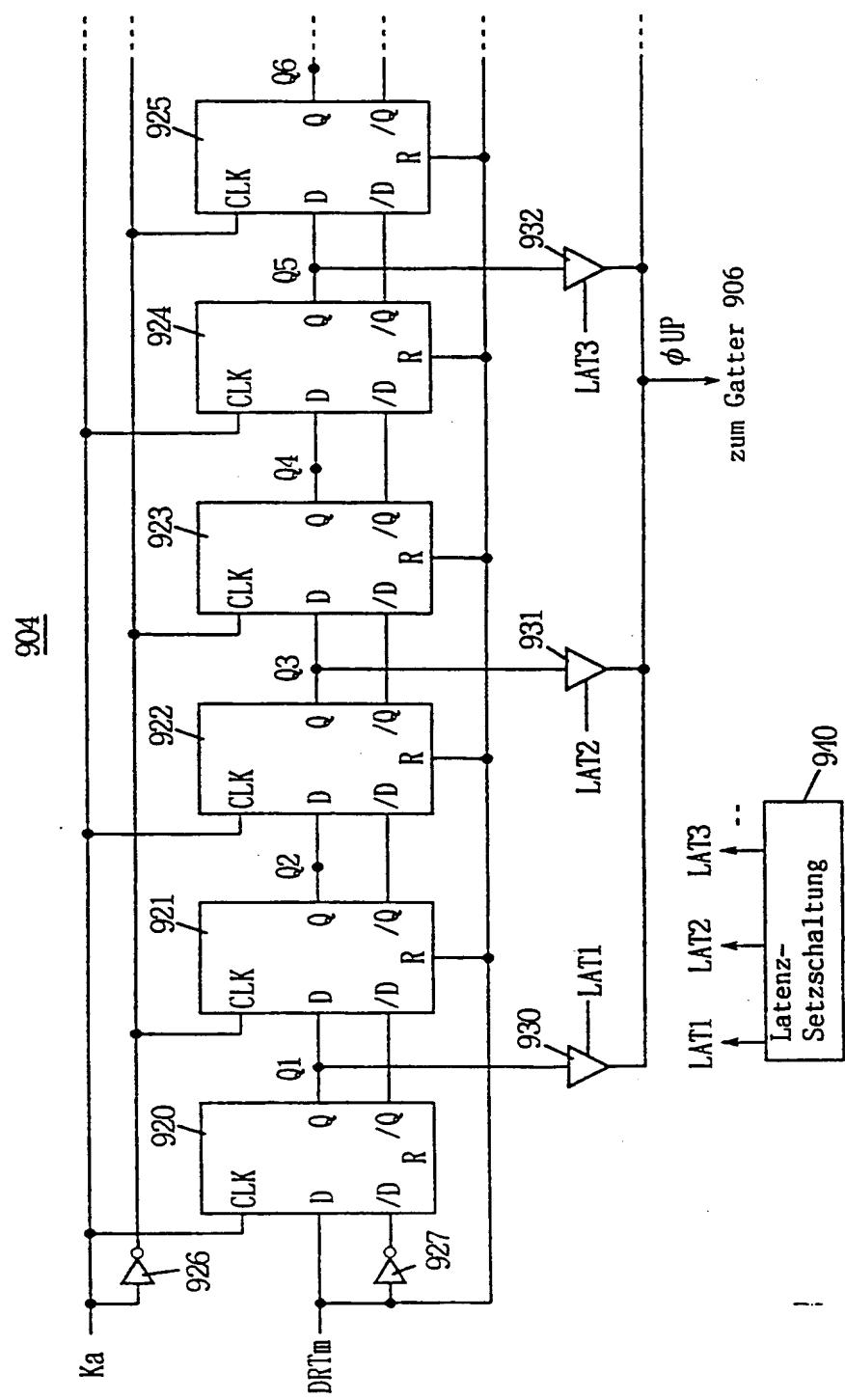


FIG. 29

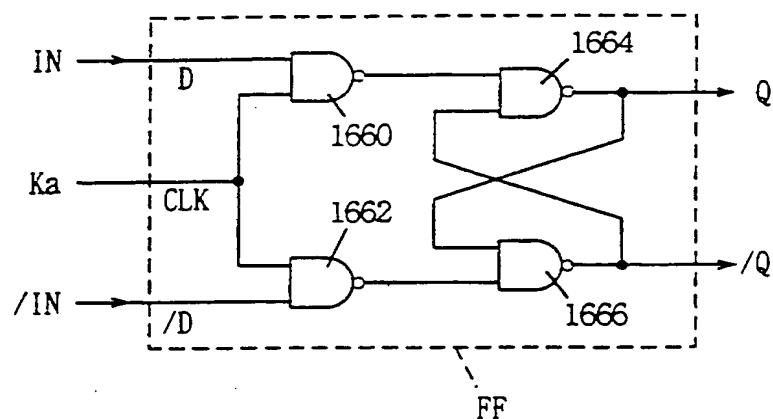
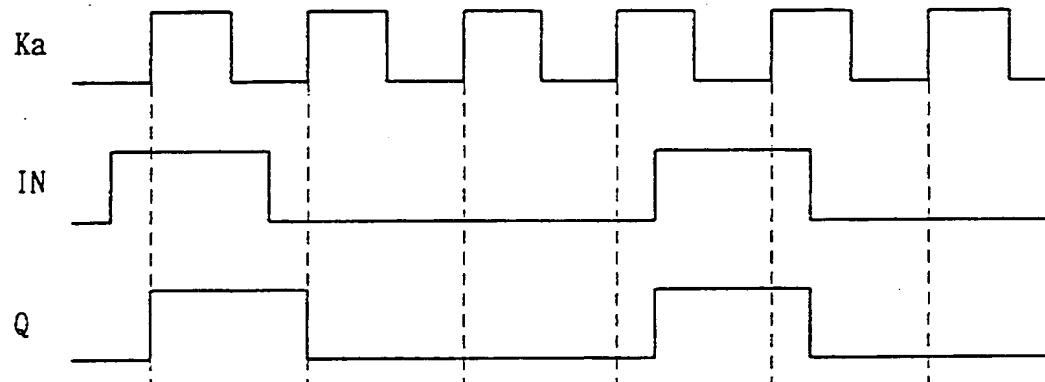
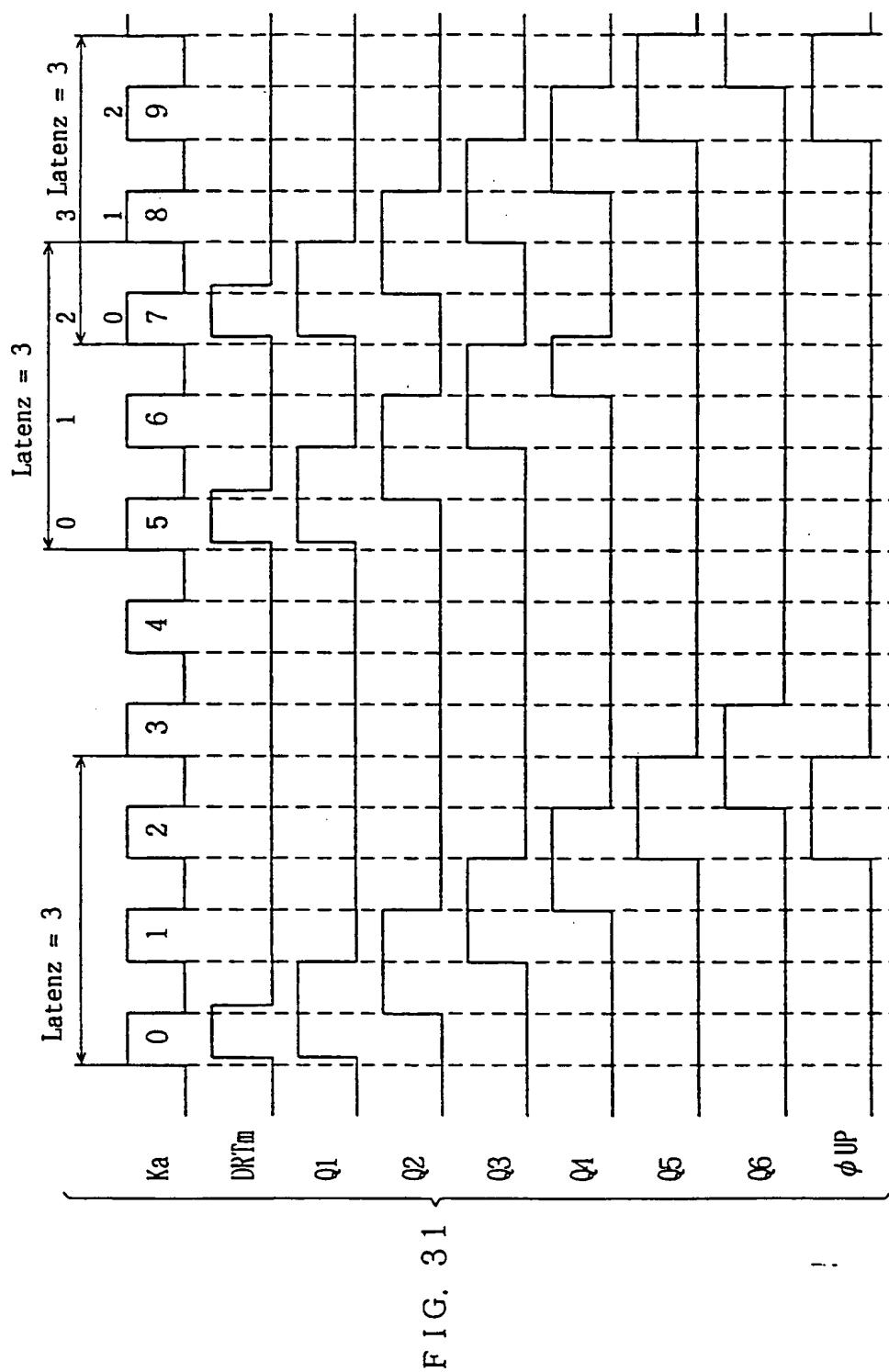


FIG. 30





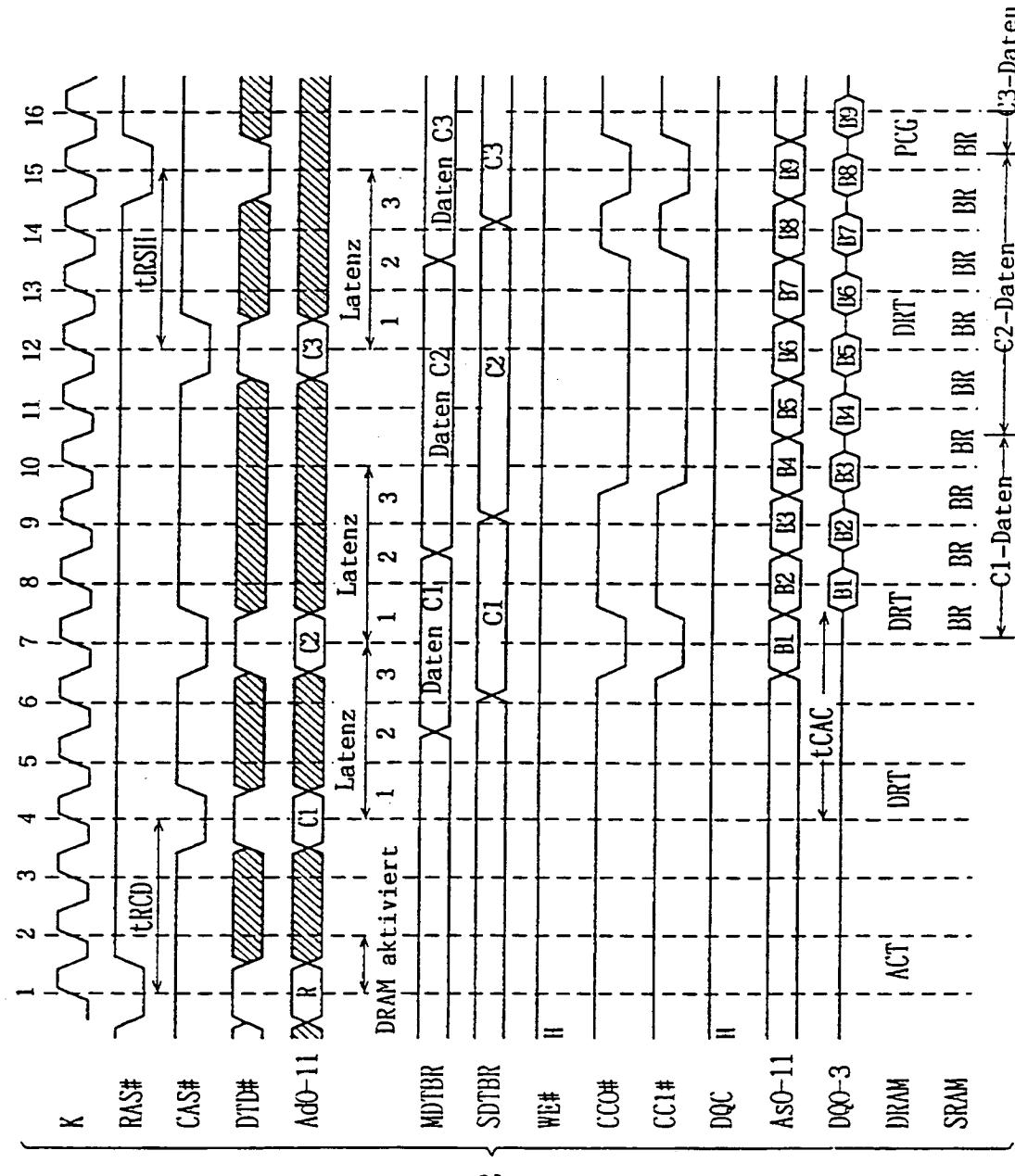


FIG. 32

FIG. 33

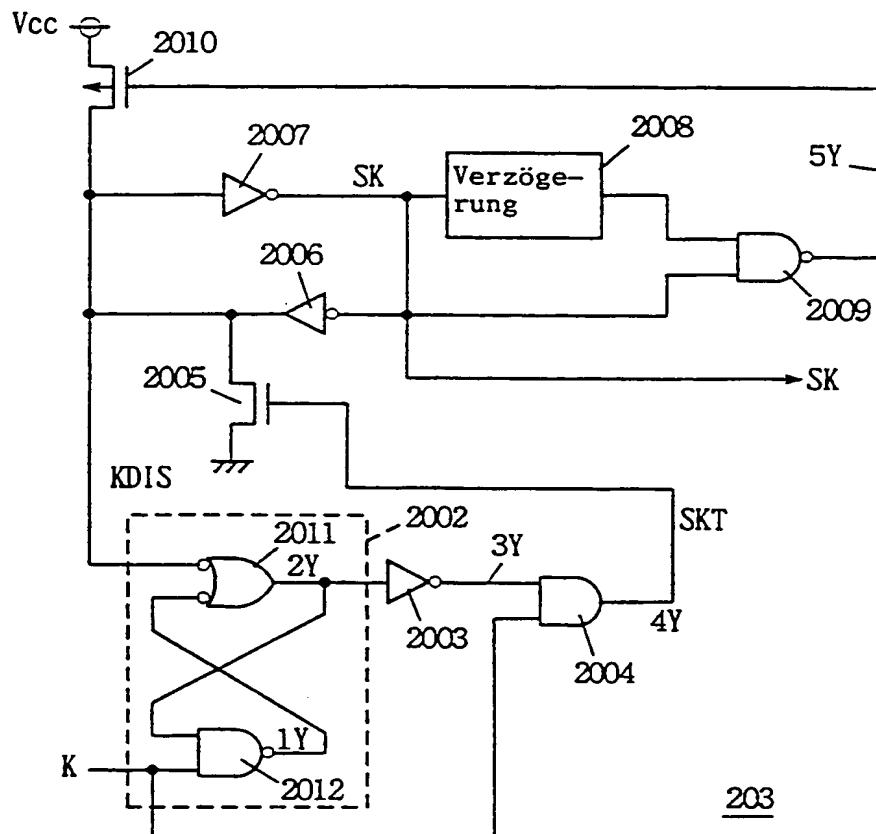


FIG. 34

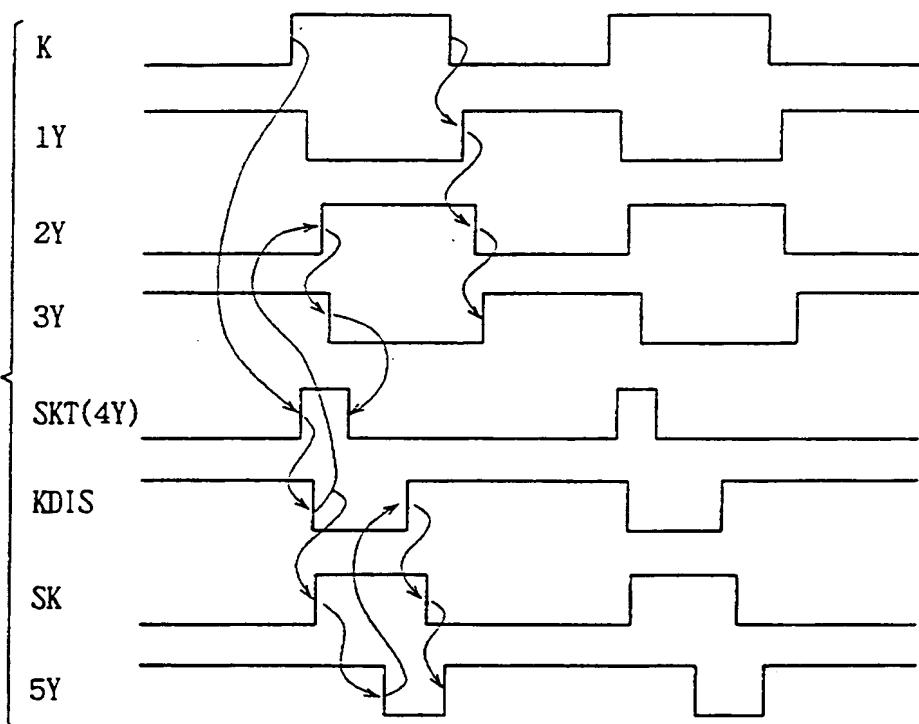


FIG. 35

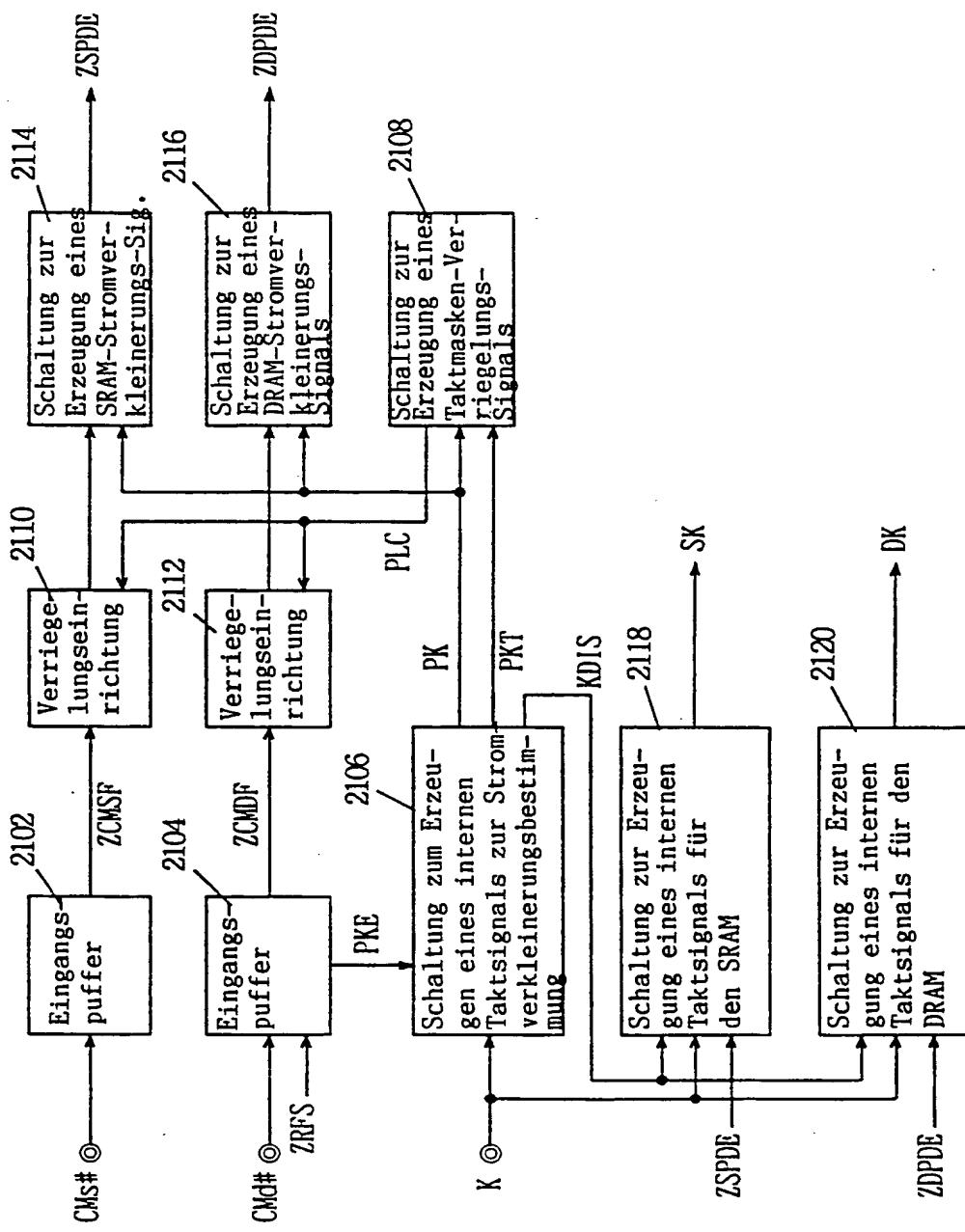


FIG. 36

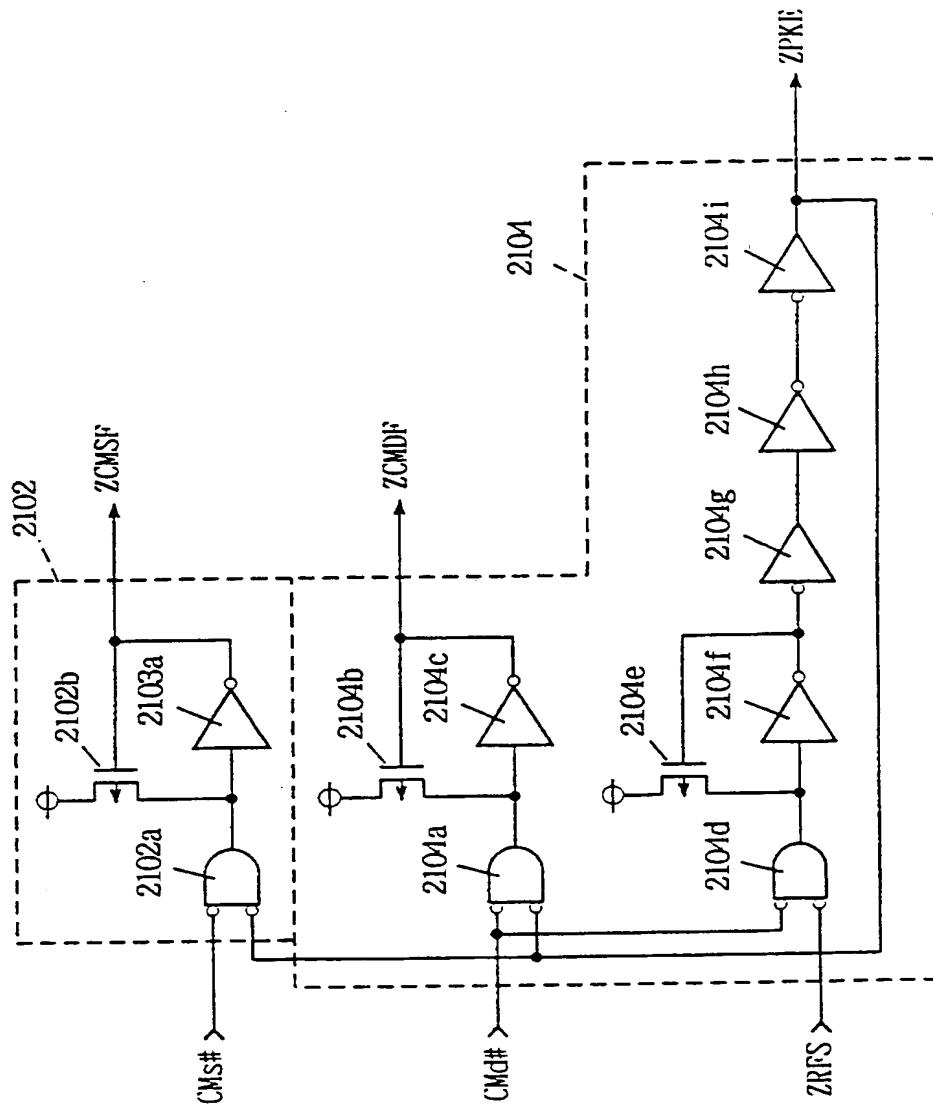


FIG. 37

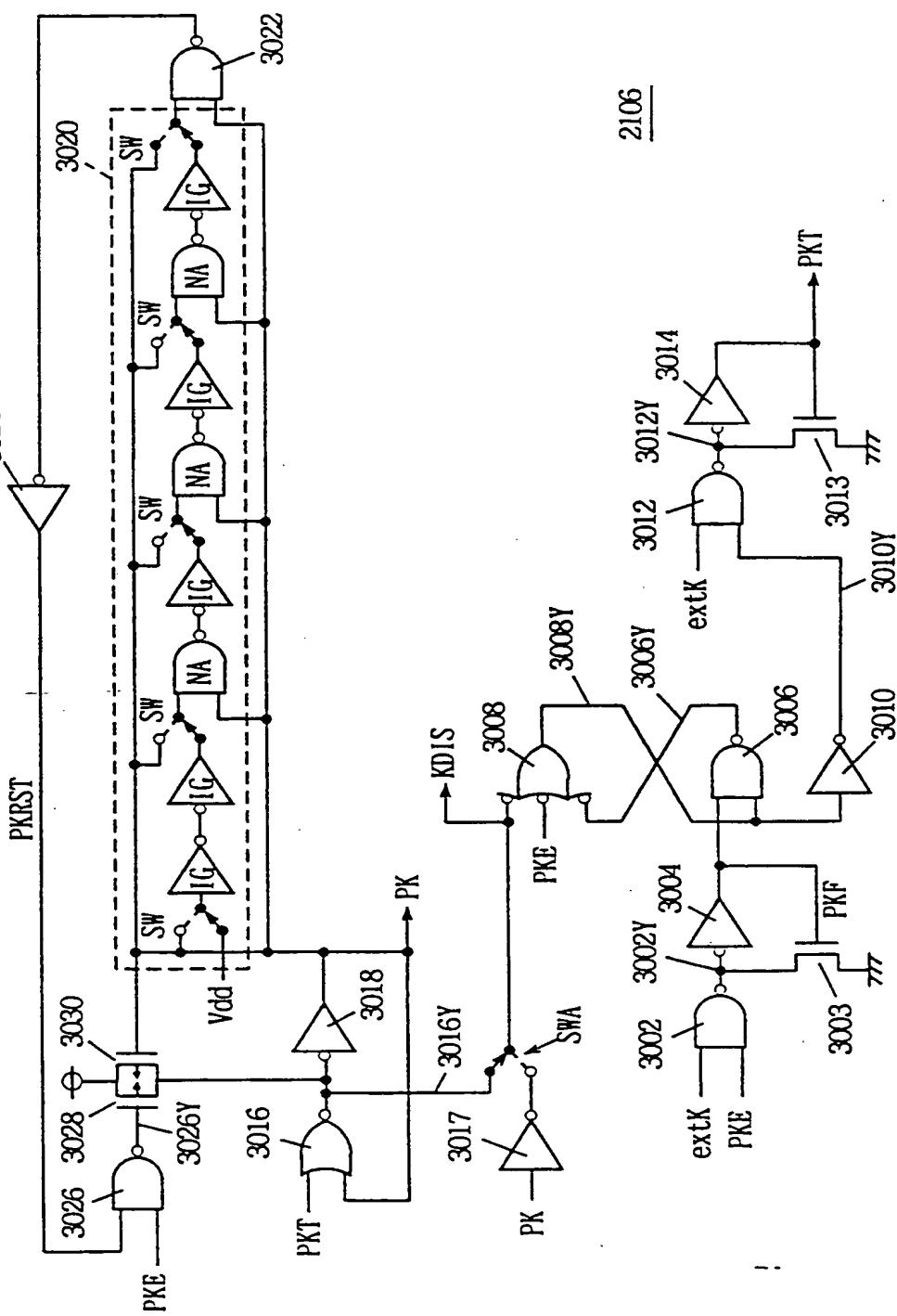
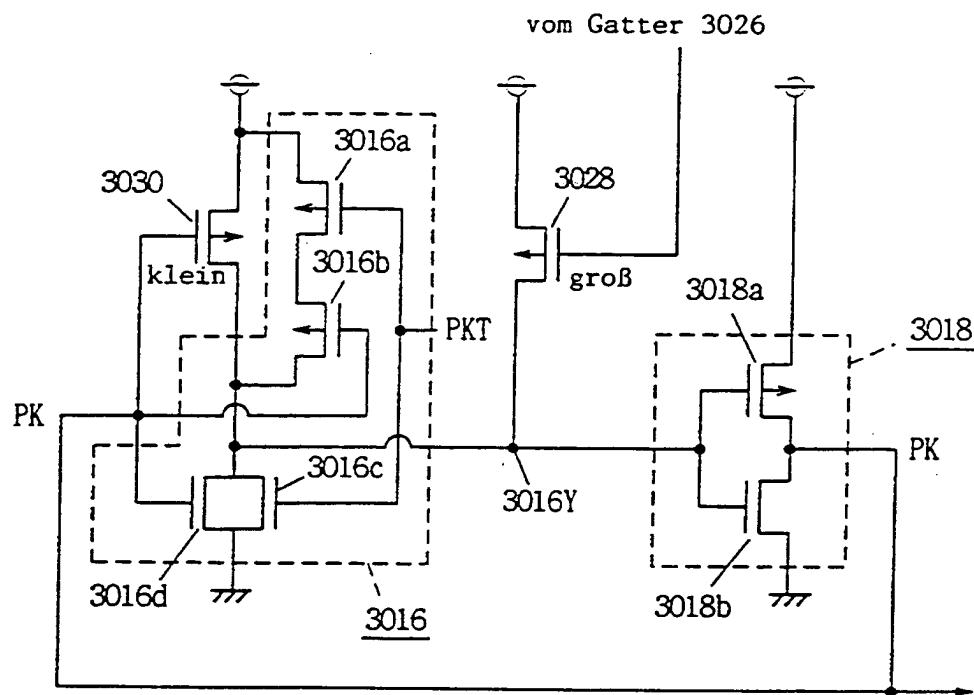


FIG. 38



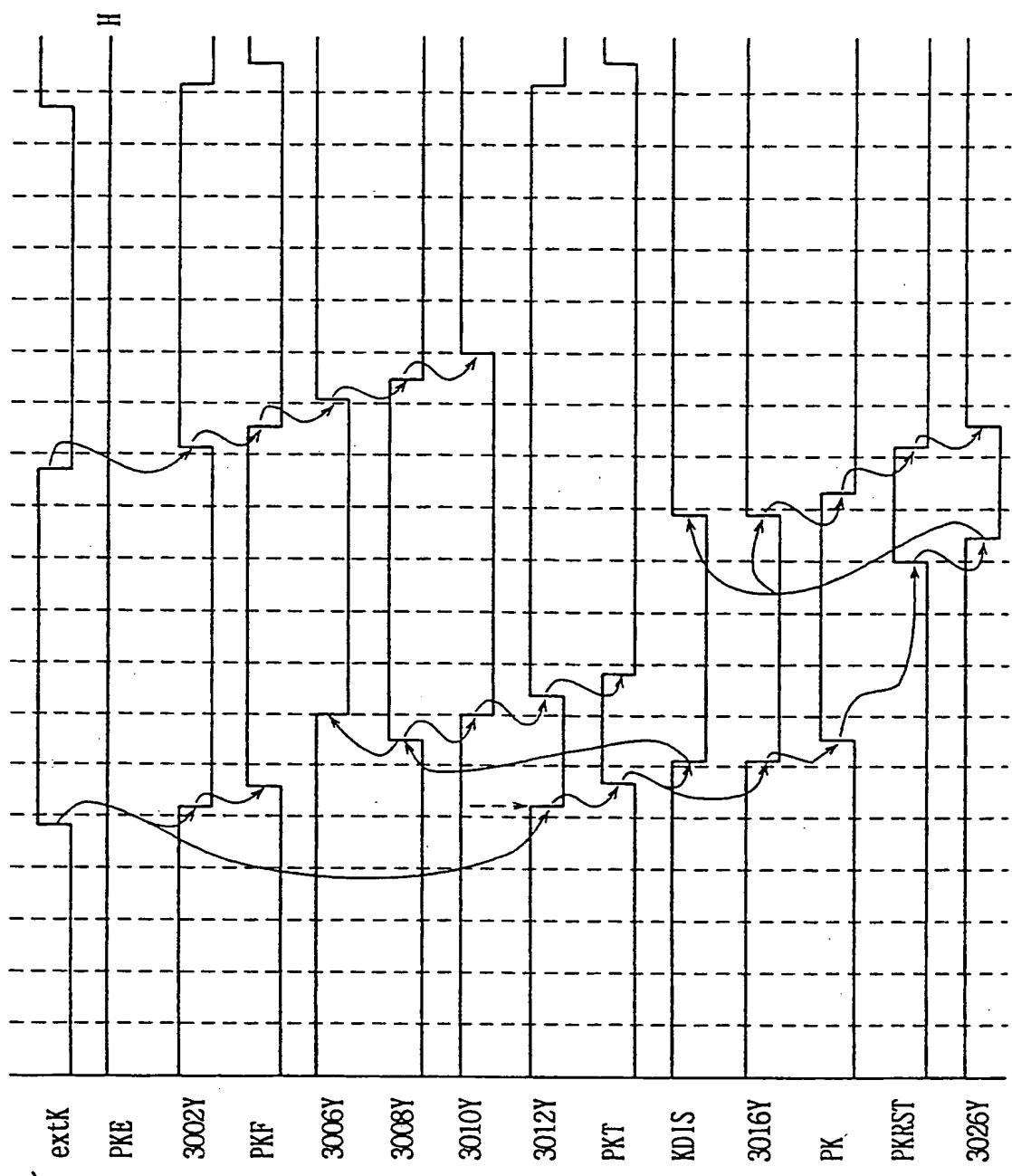


FIG. 40

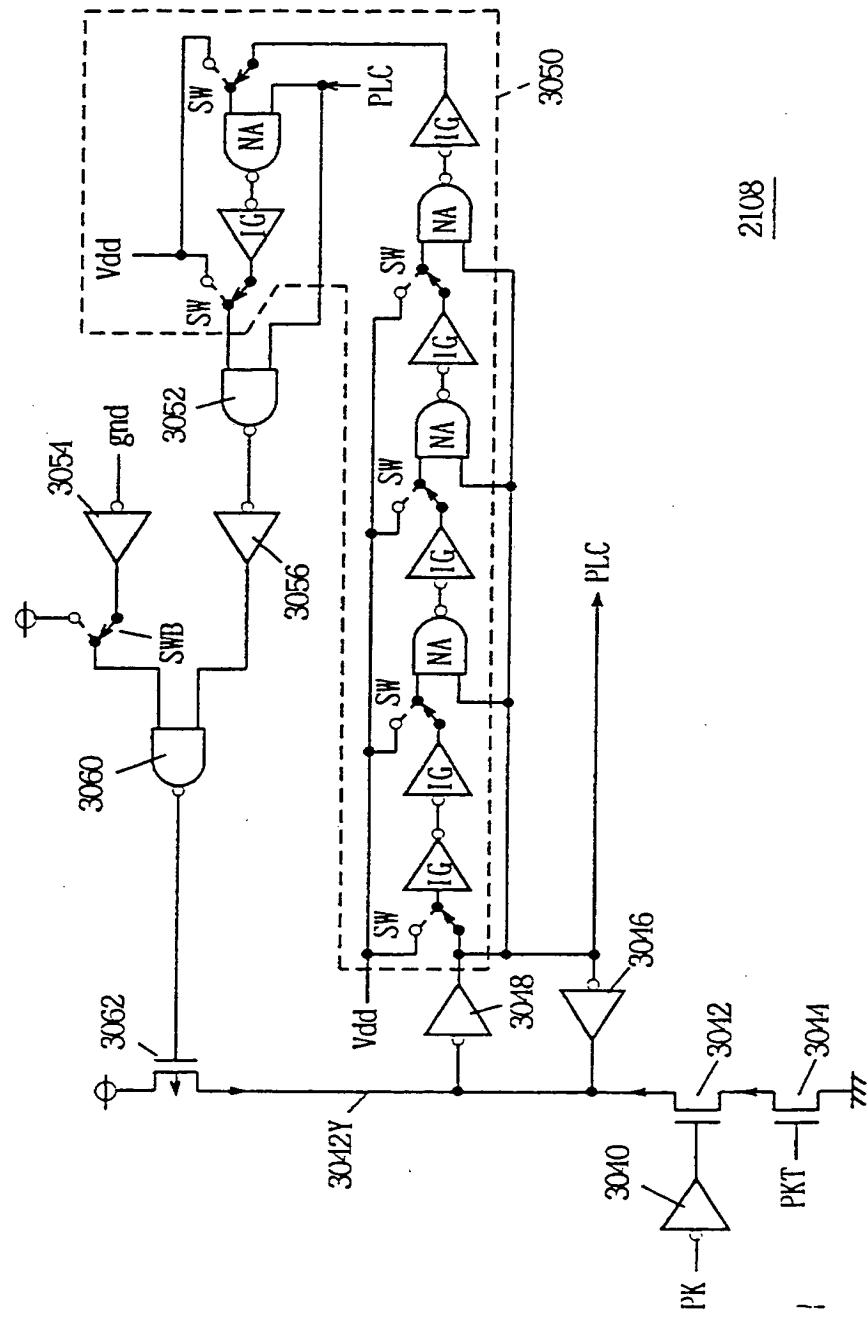


FIG. 41

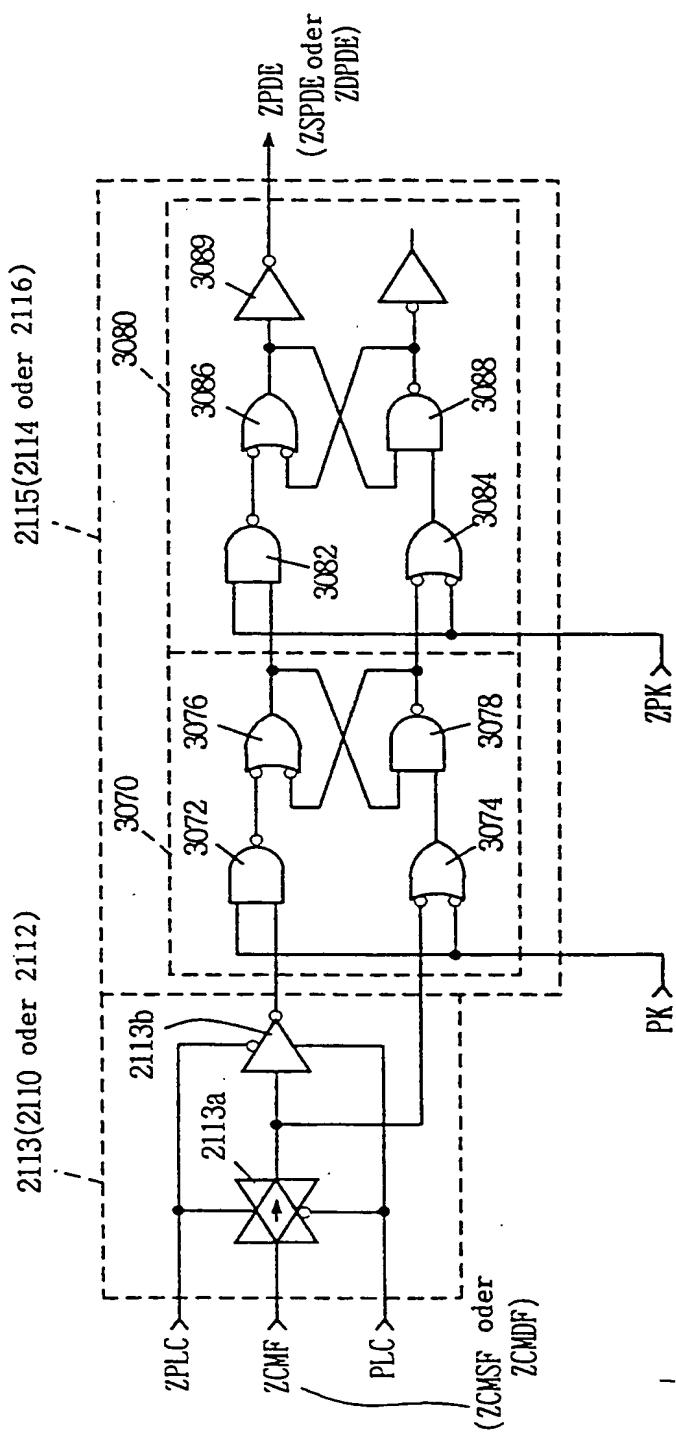
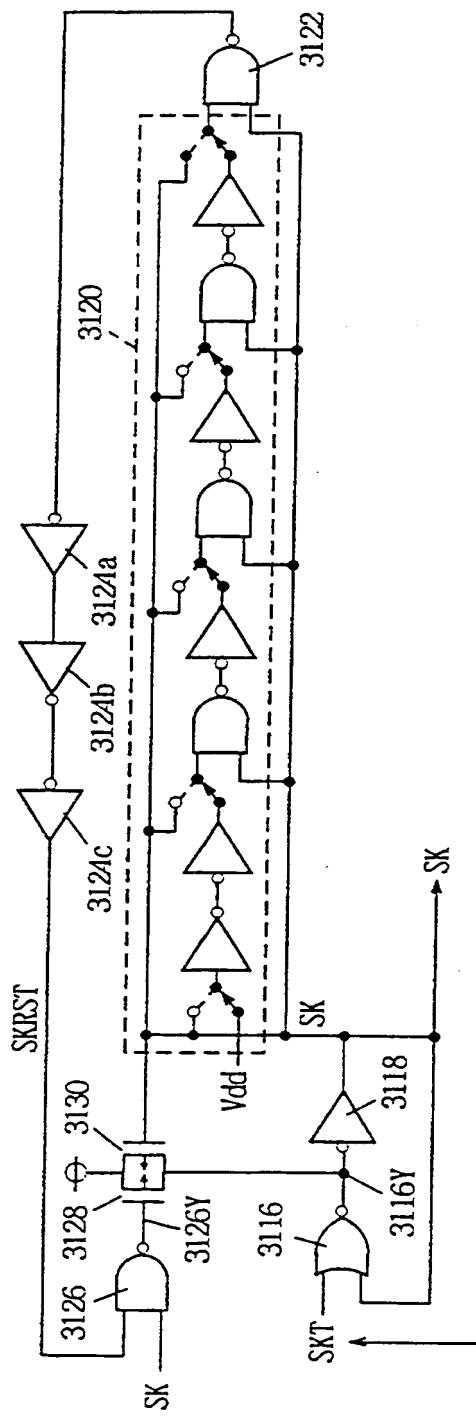
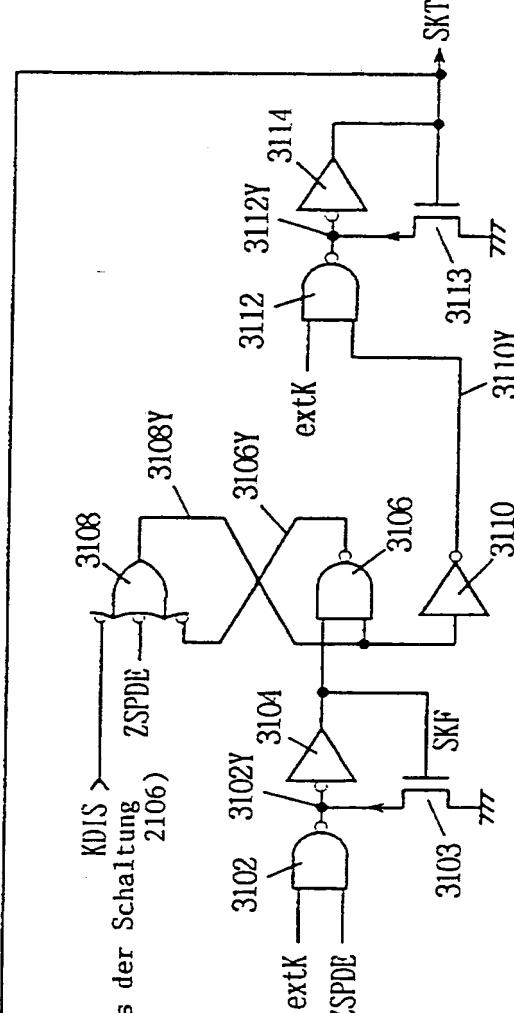


FIG. 42



2118



KDIS → (aus der Schaltung 2106)

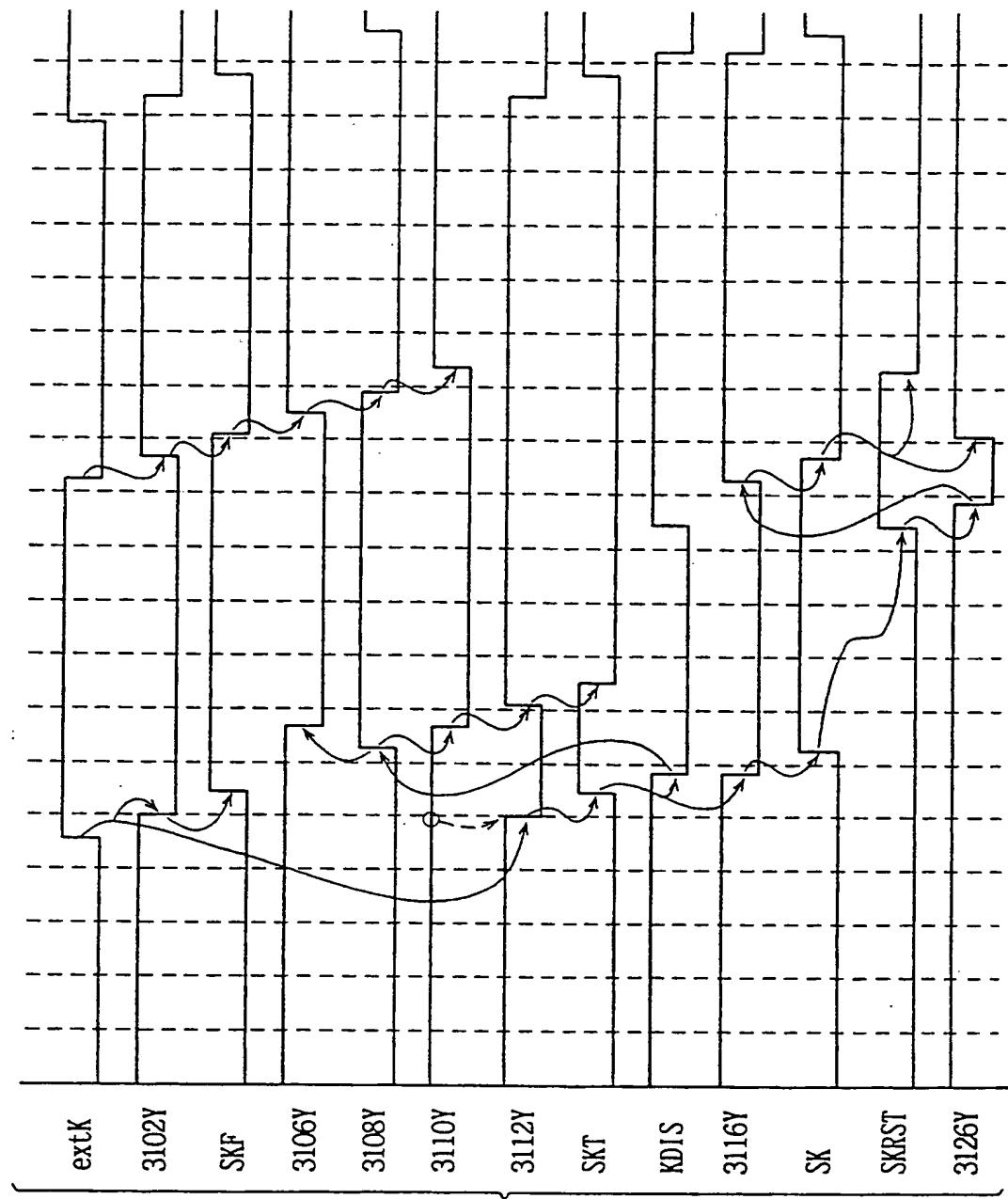
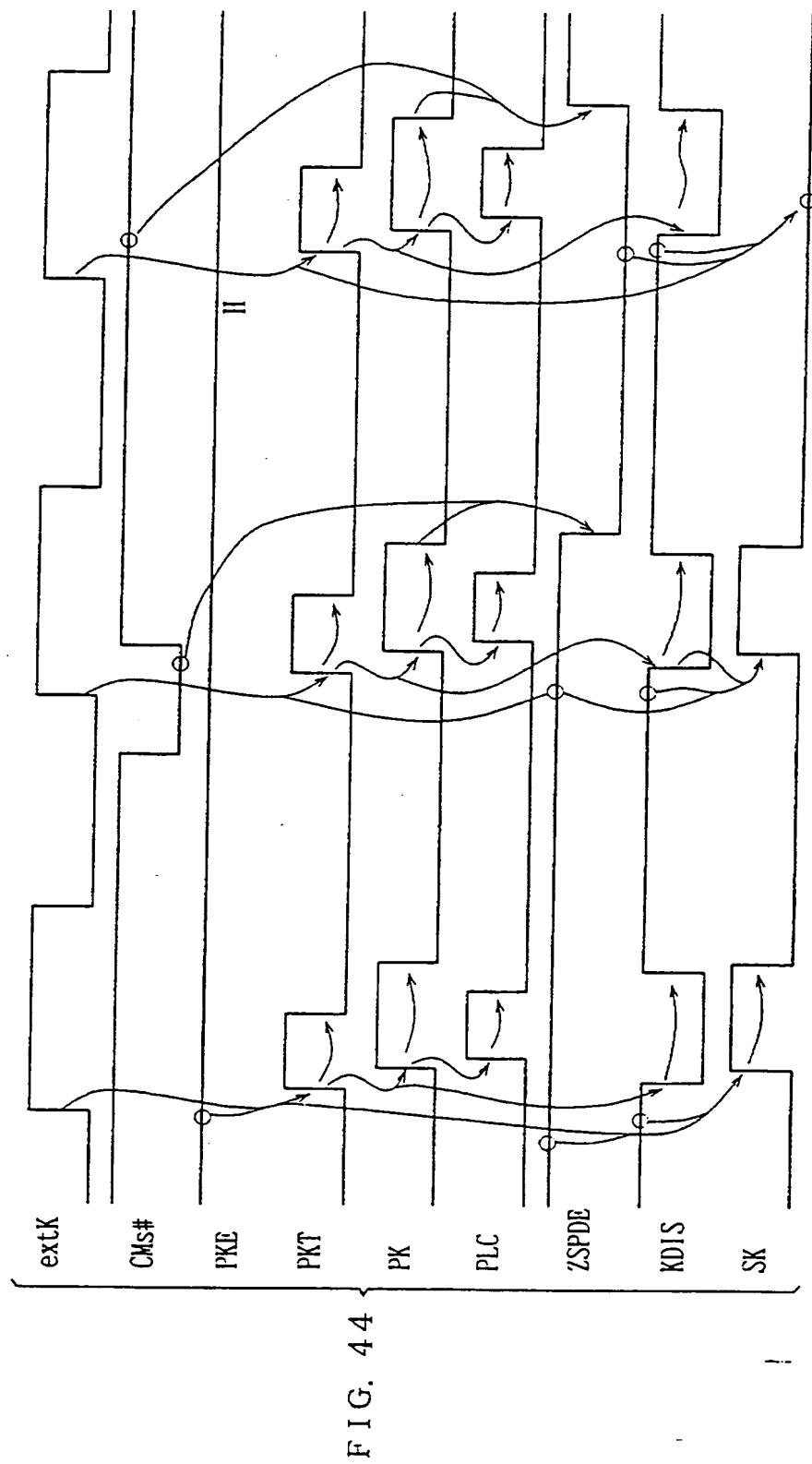


FIG. 43



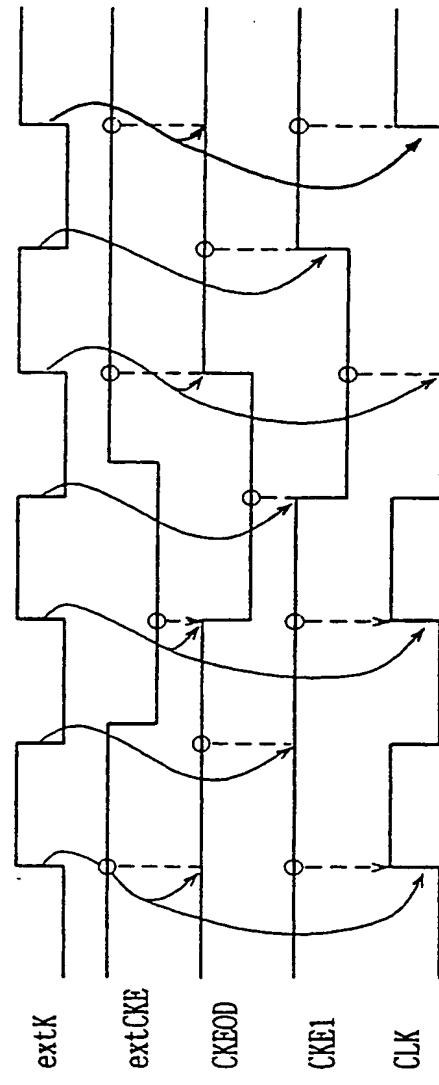
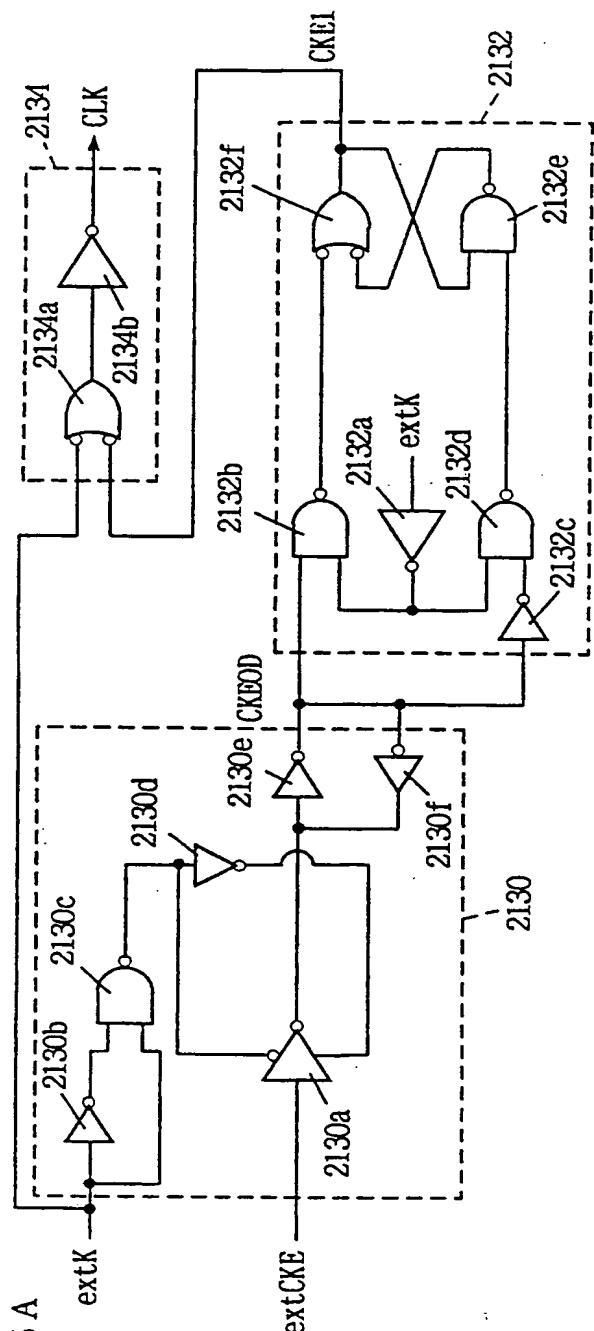


FIG. 46

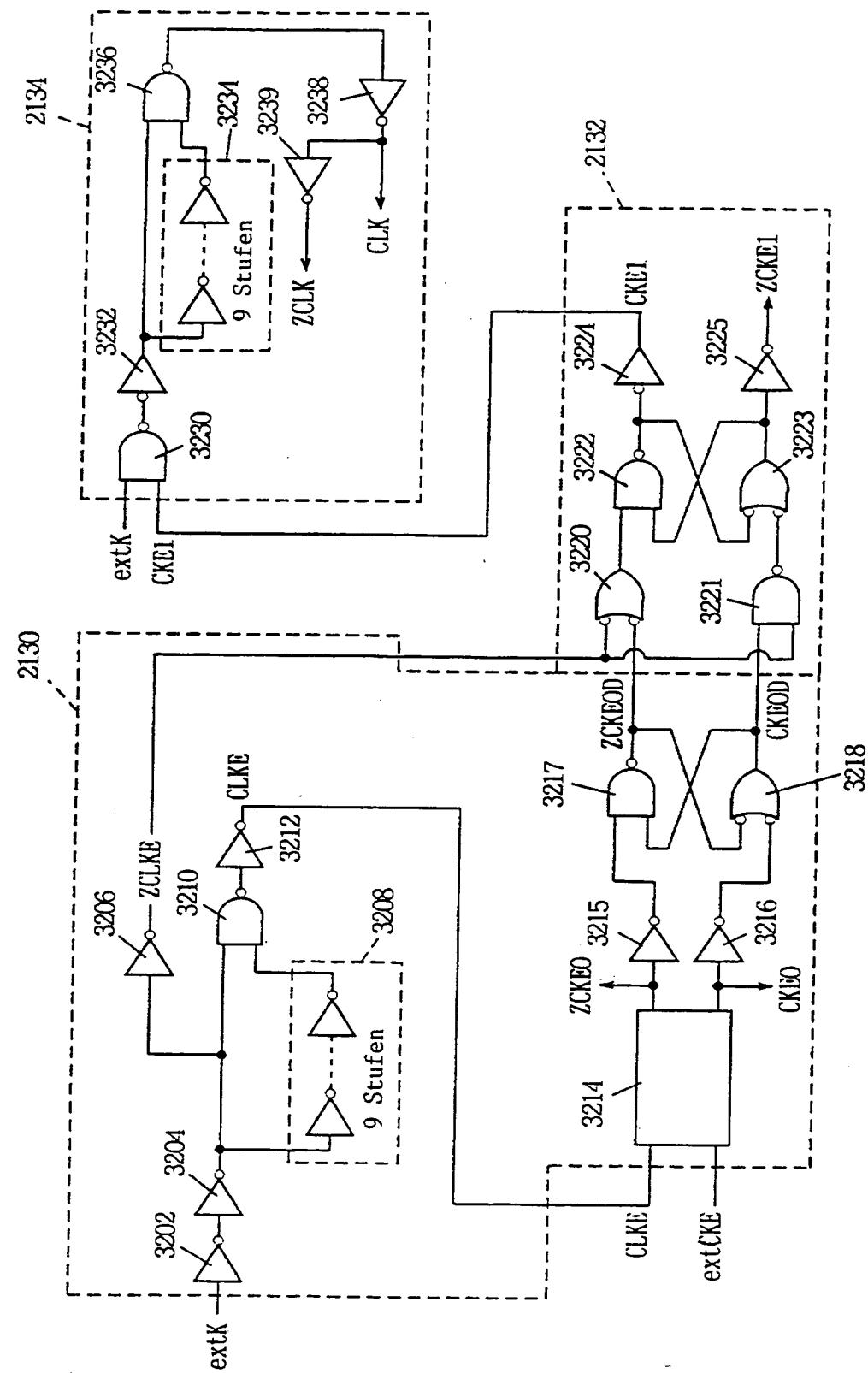


FIG. 47

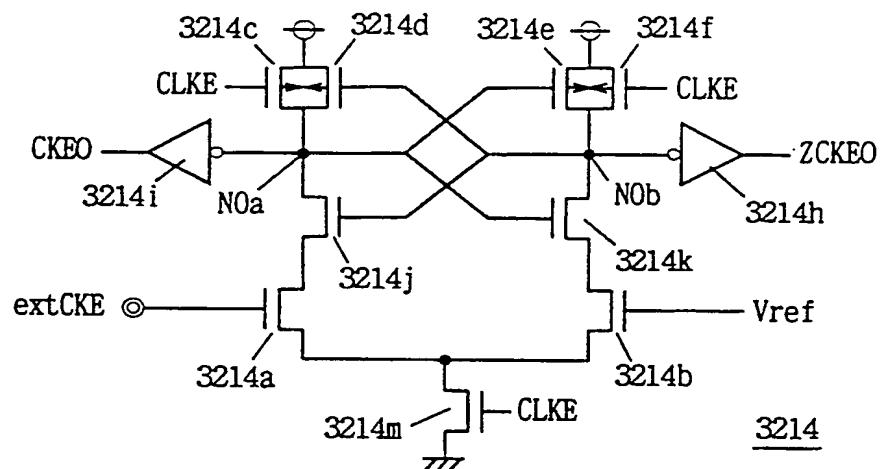


FIG. 48

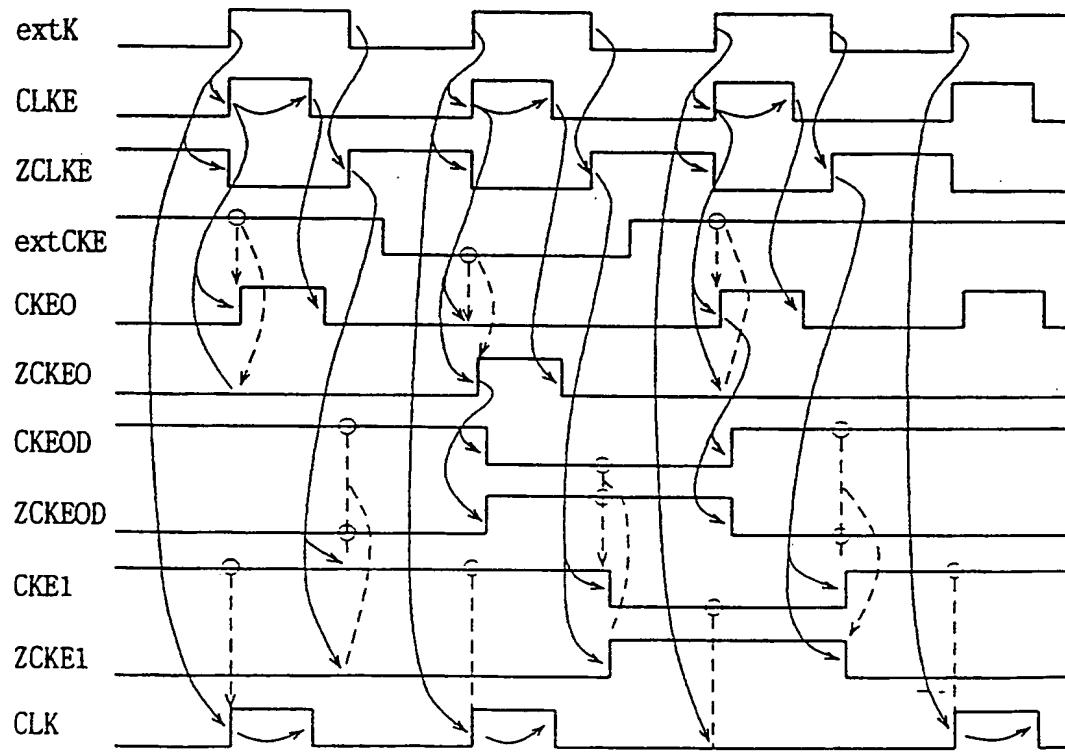


FIG. 49

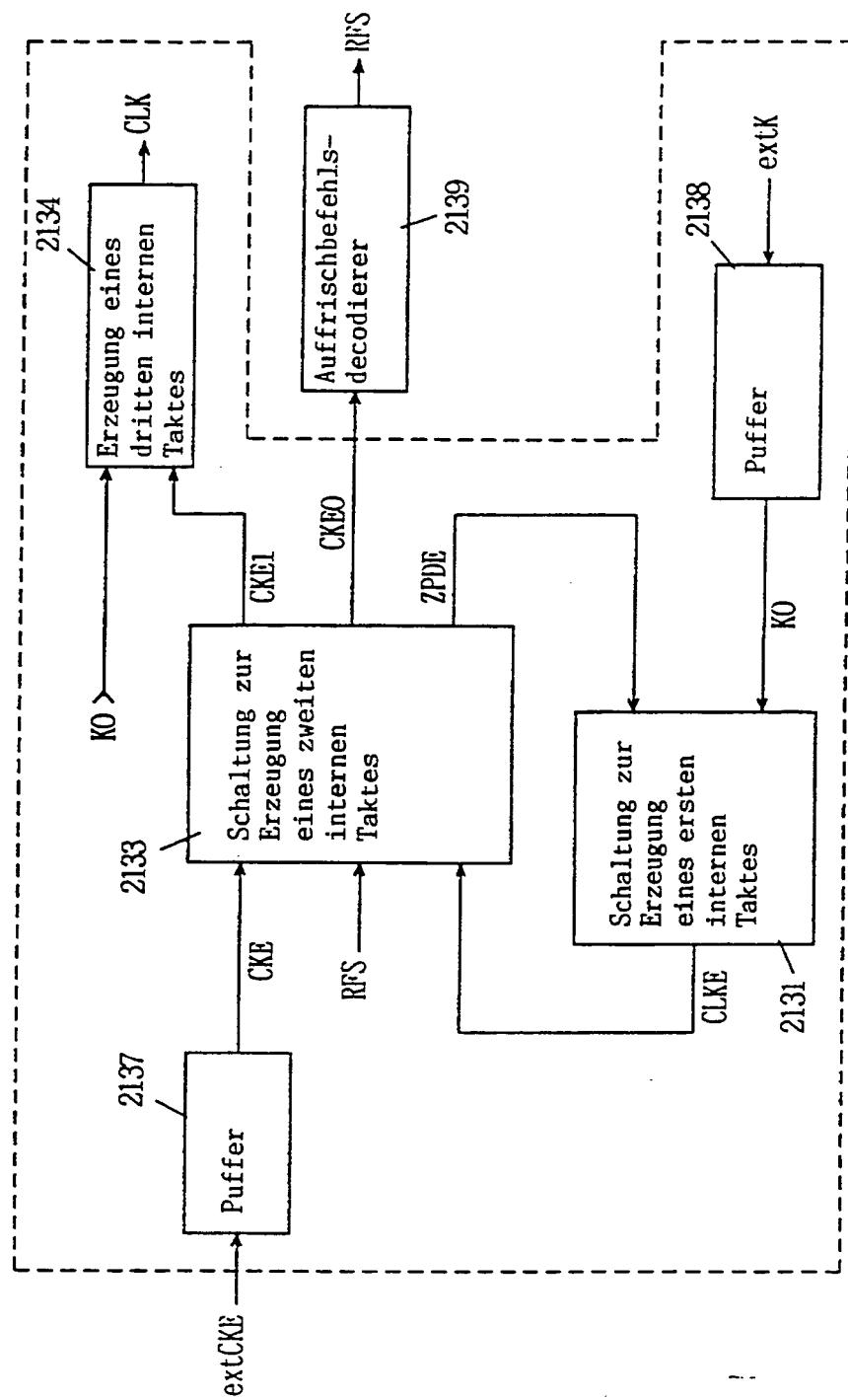


FIG. 50

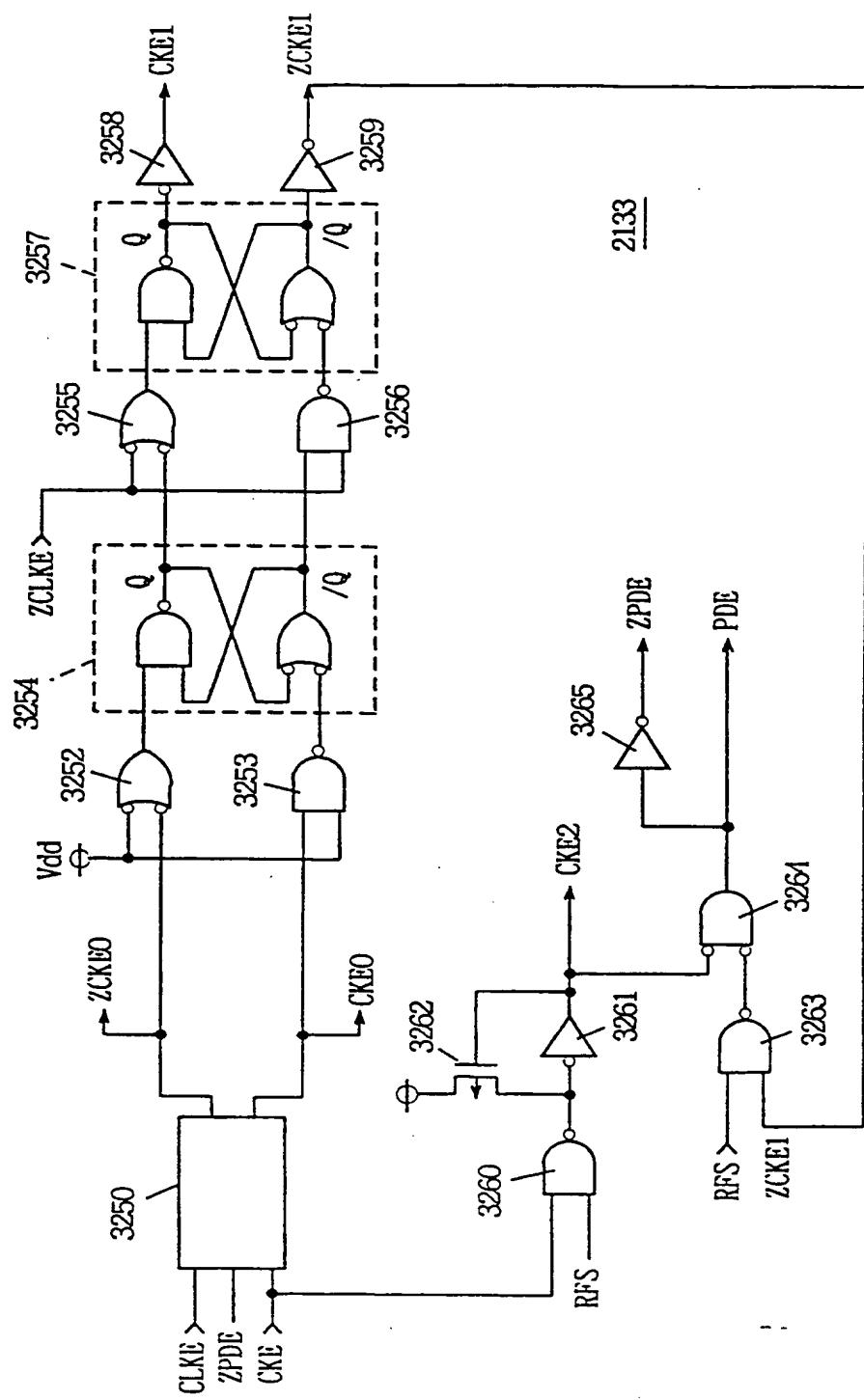
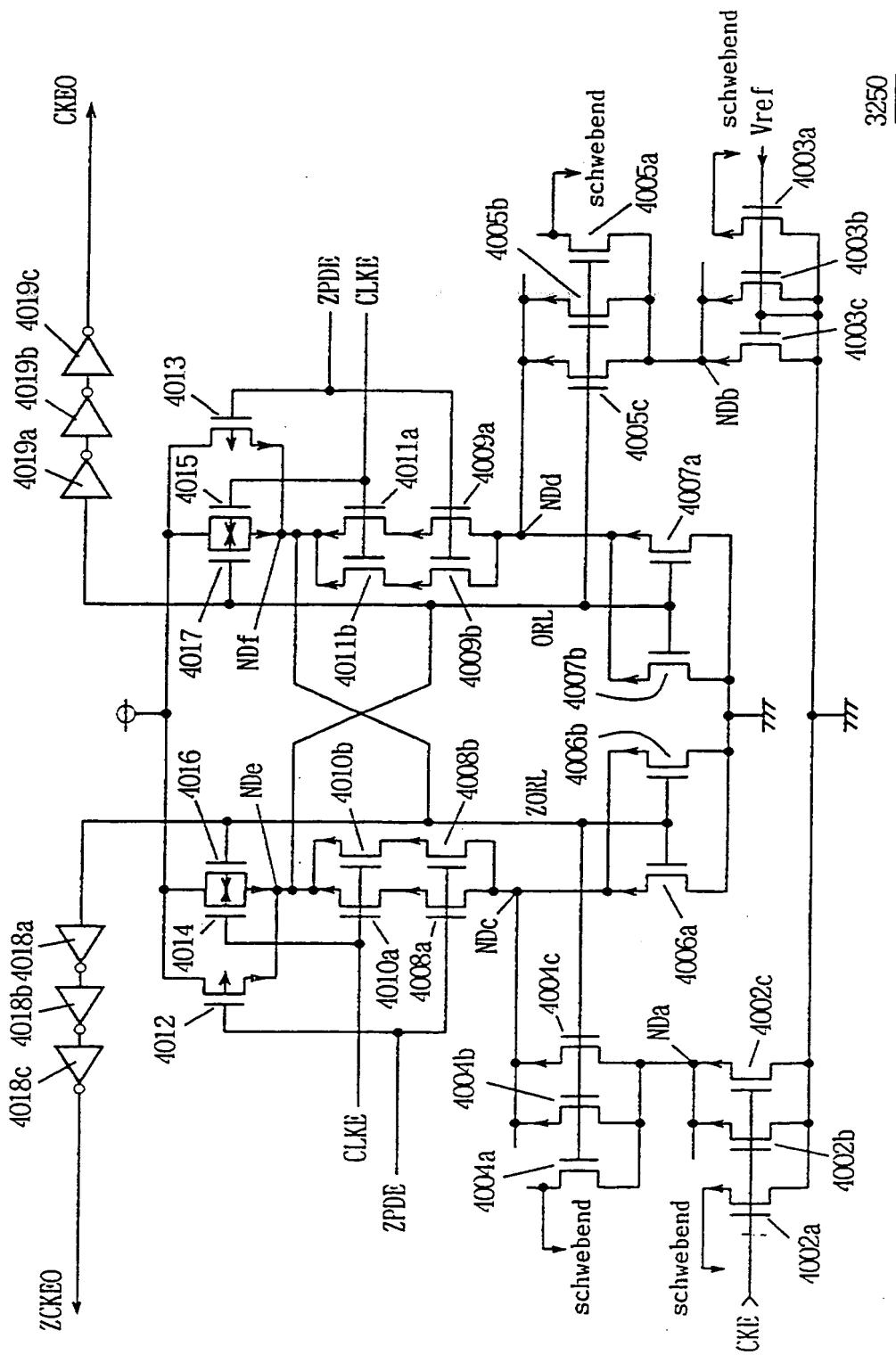
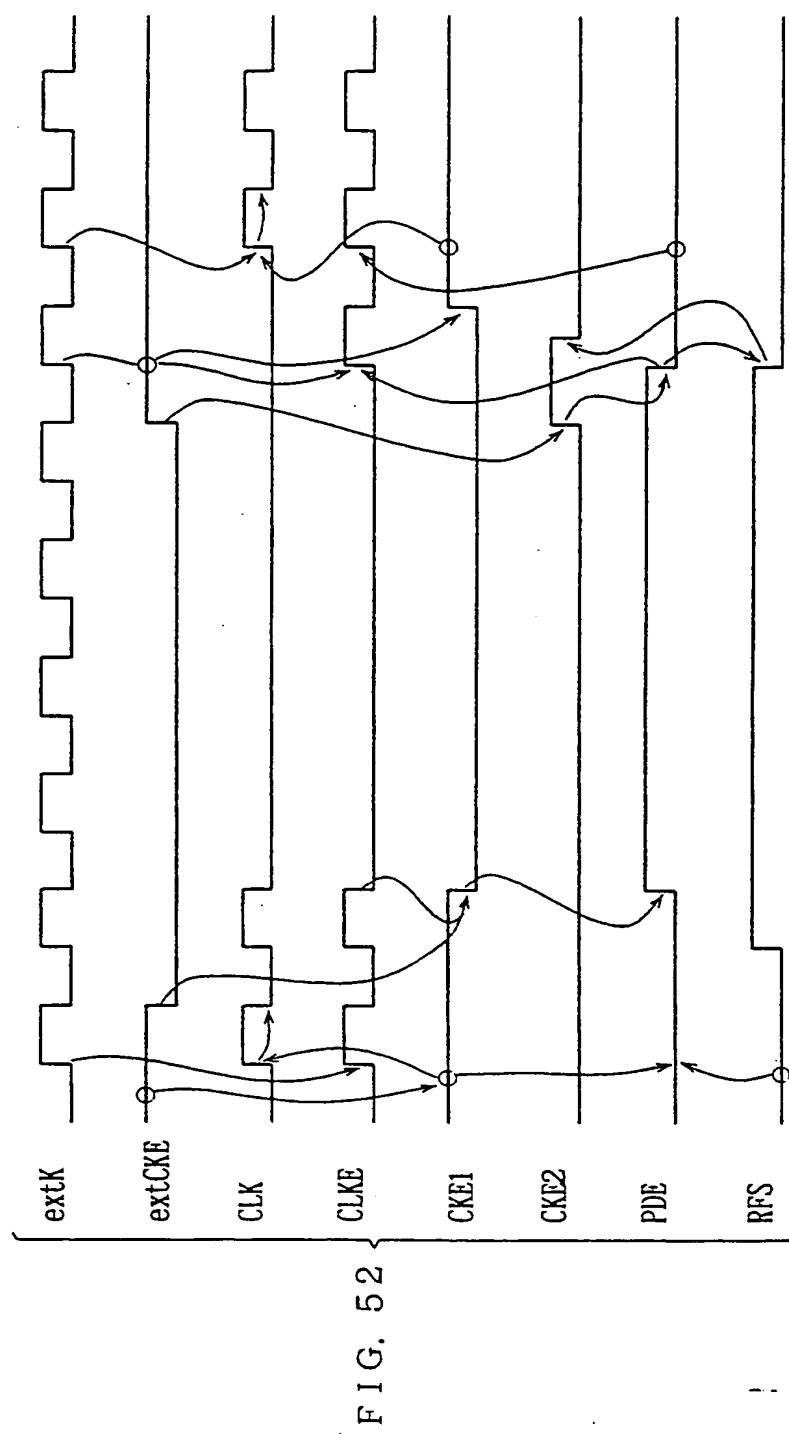


FIG. 51





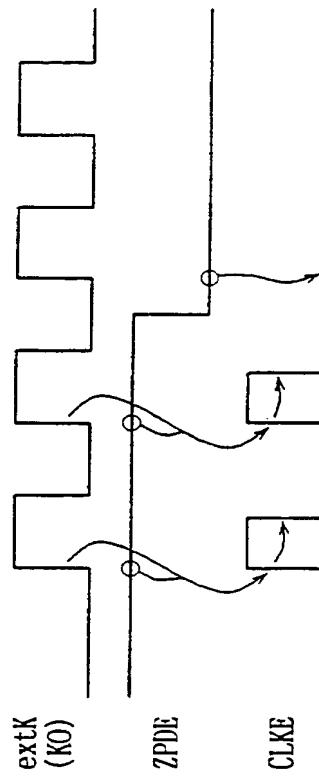
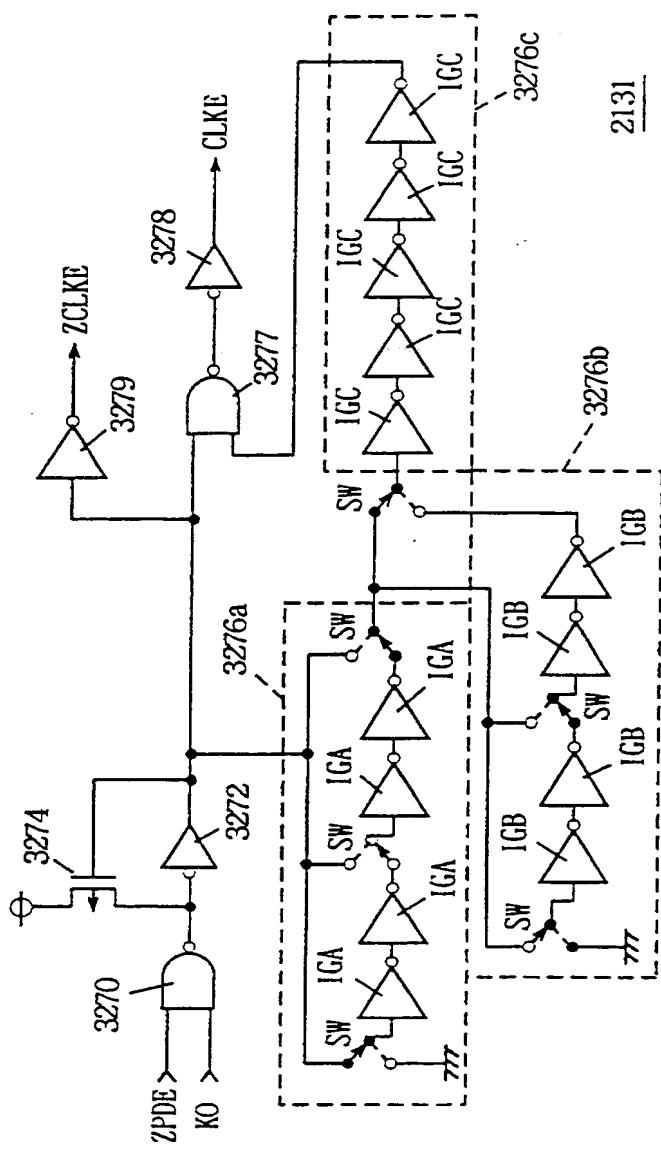


FIG. 54 A

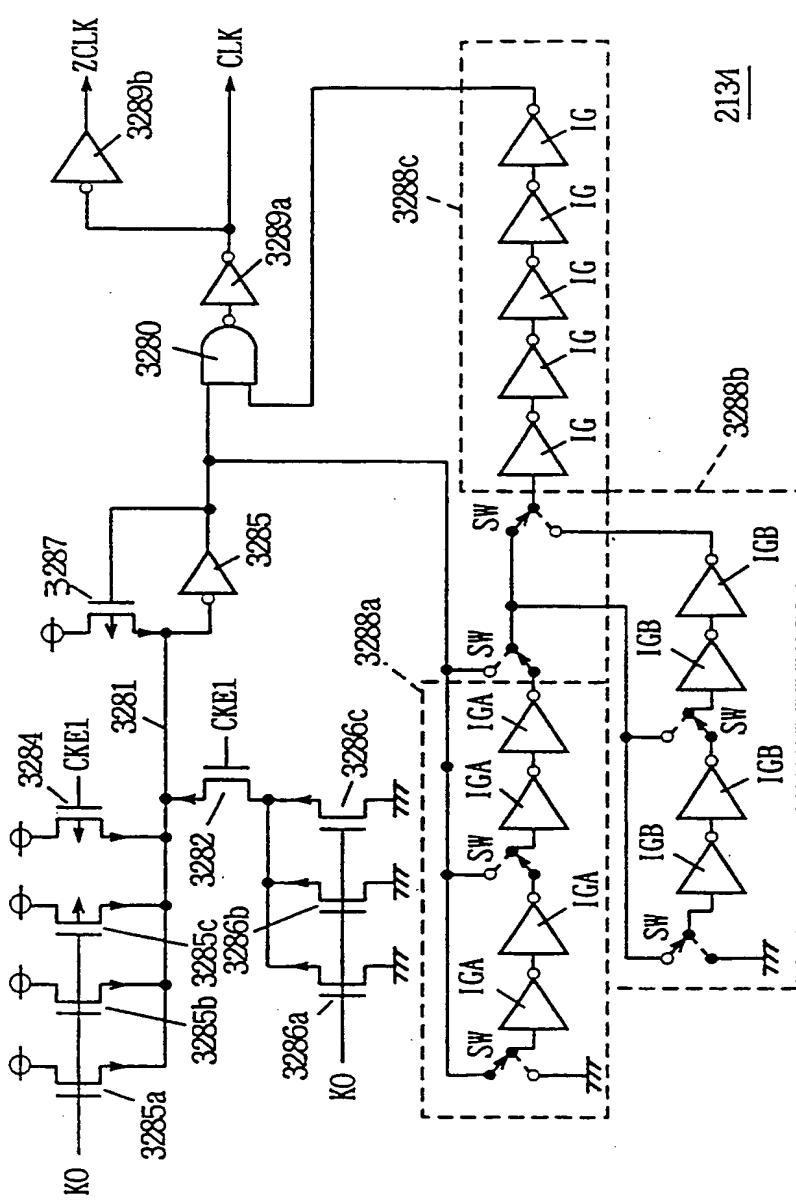


FIG. 54 B

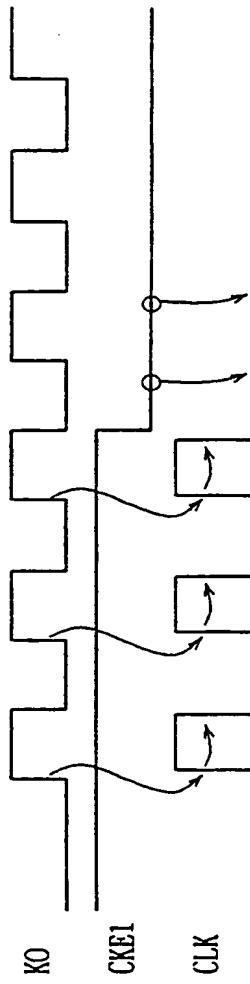


FIG. 55

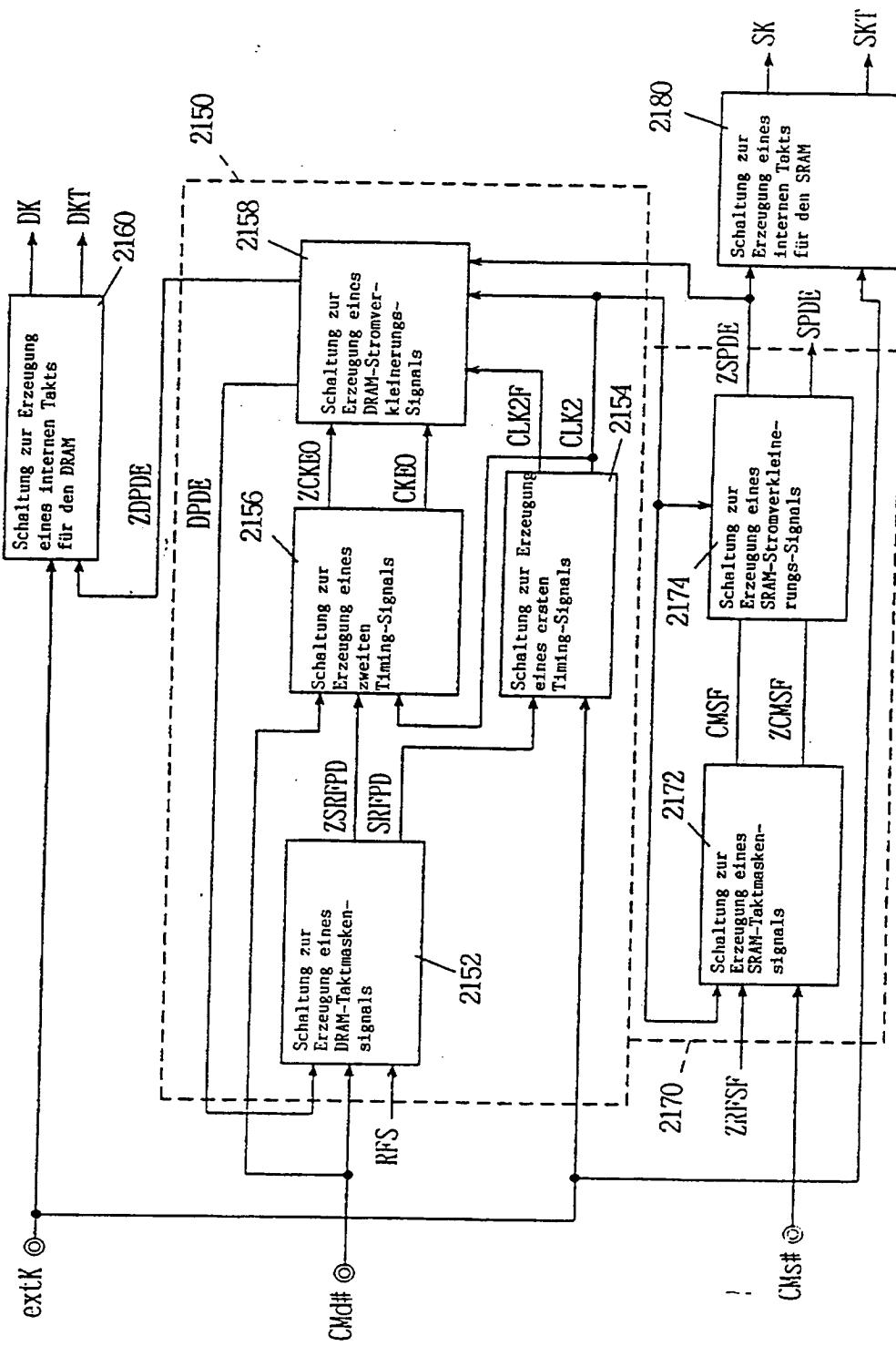


FIG. 56

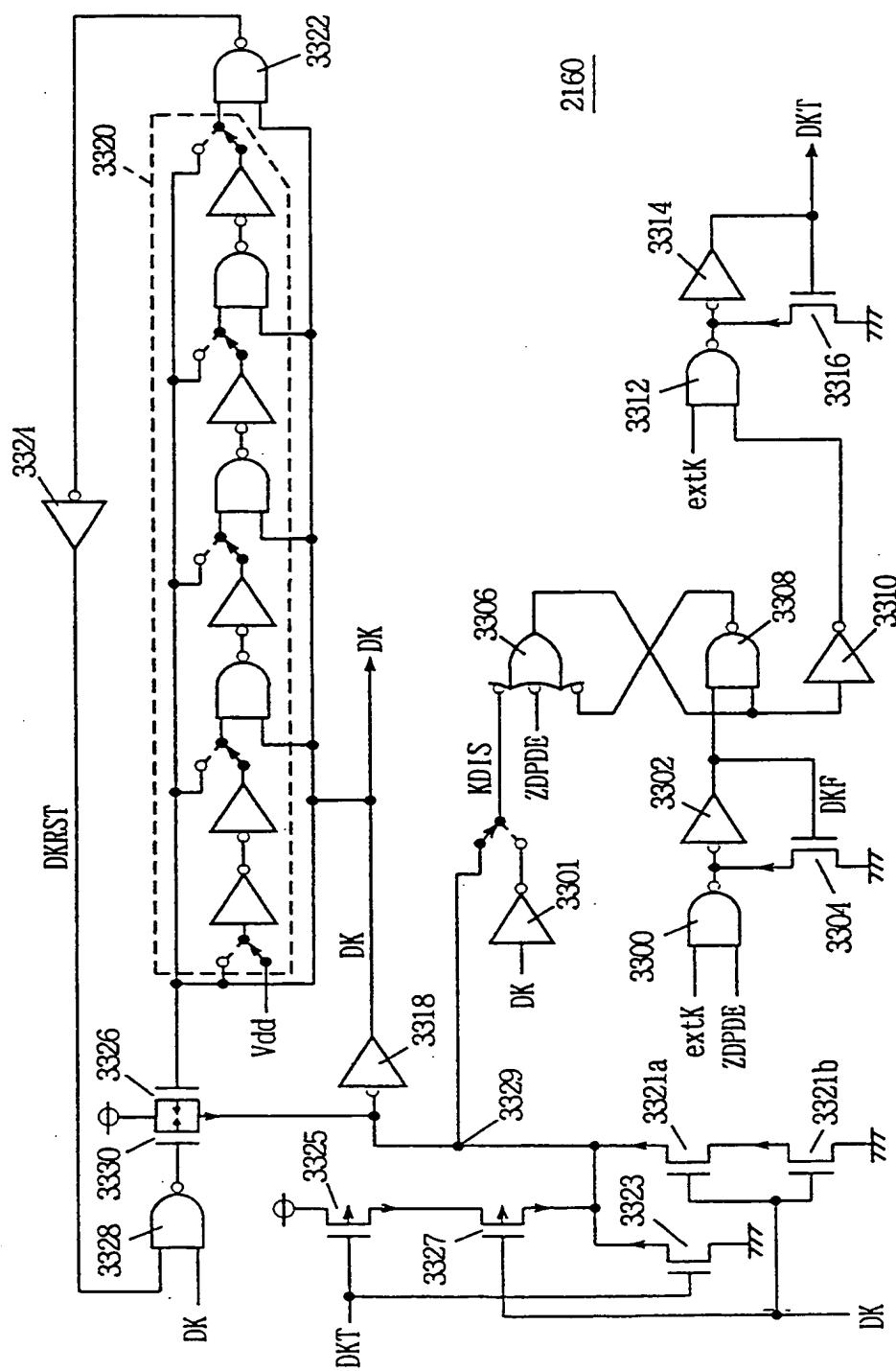


FIG. 57

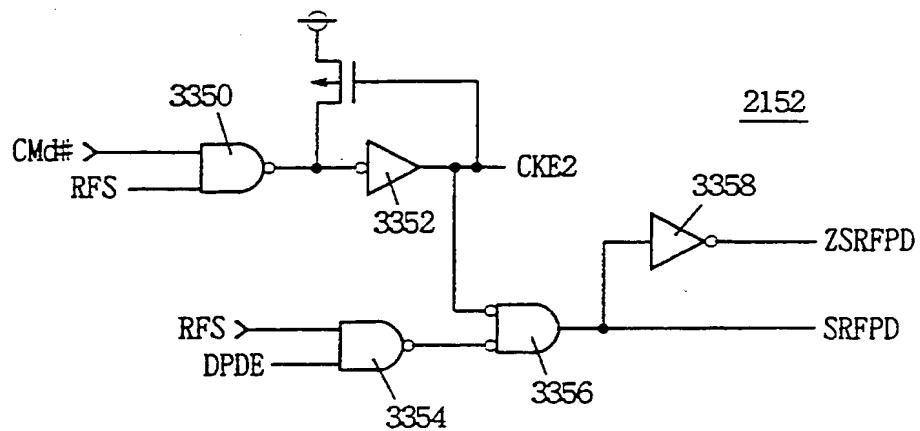


FIG. 58

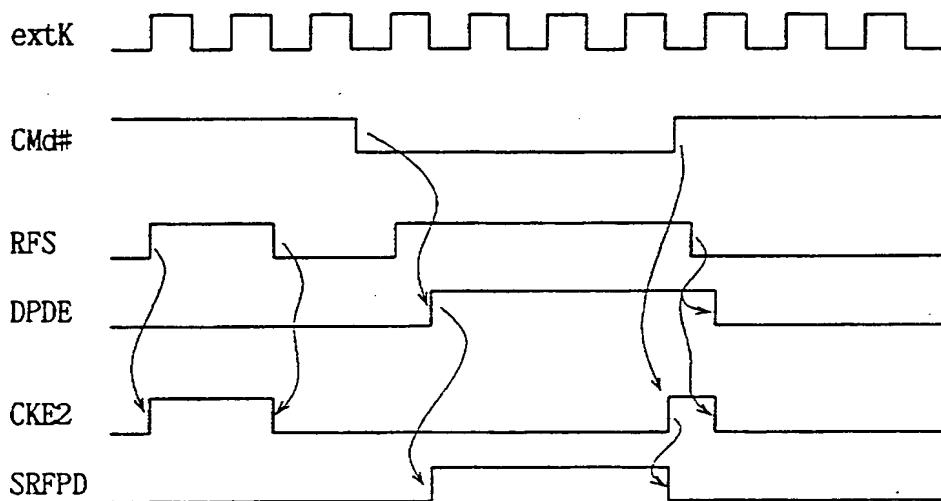


FIG. 59

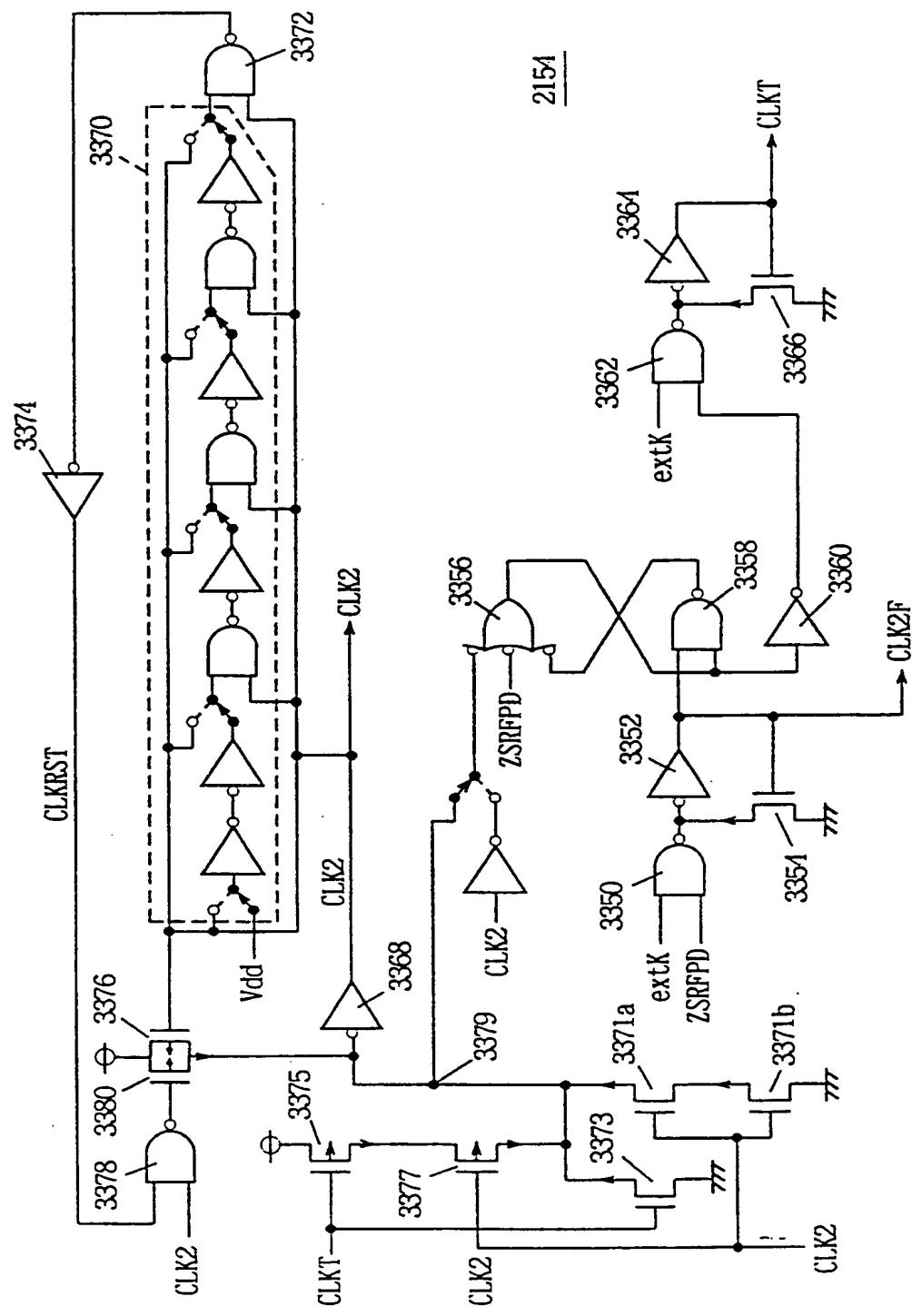


FIG. 60

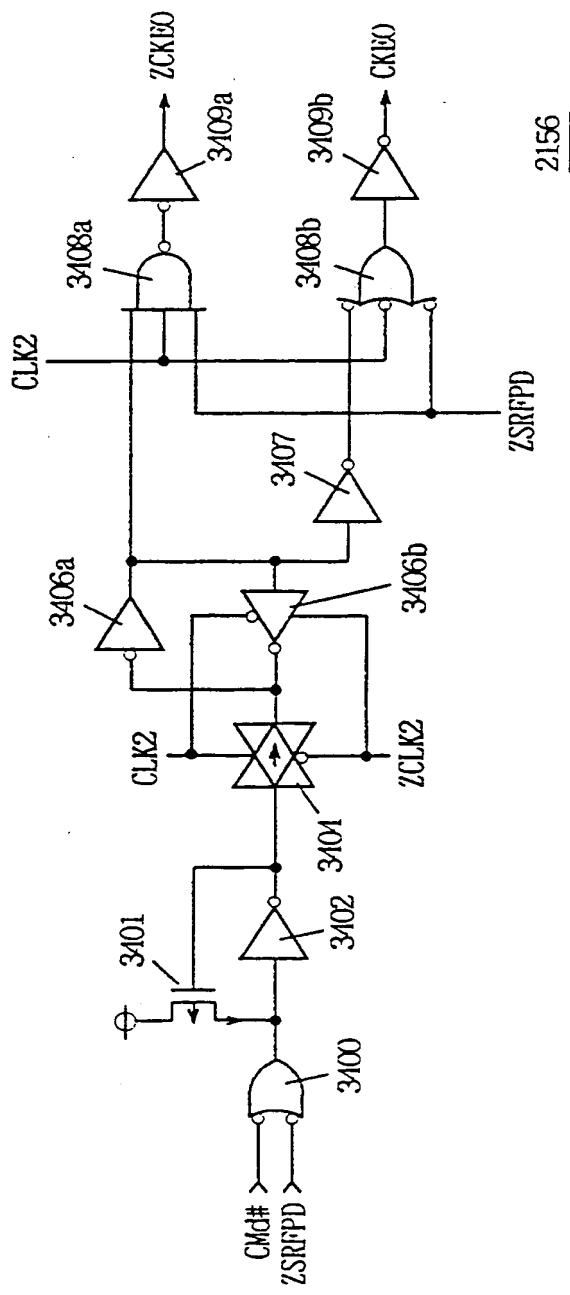


FIG. 61

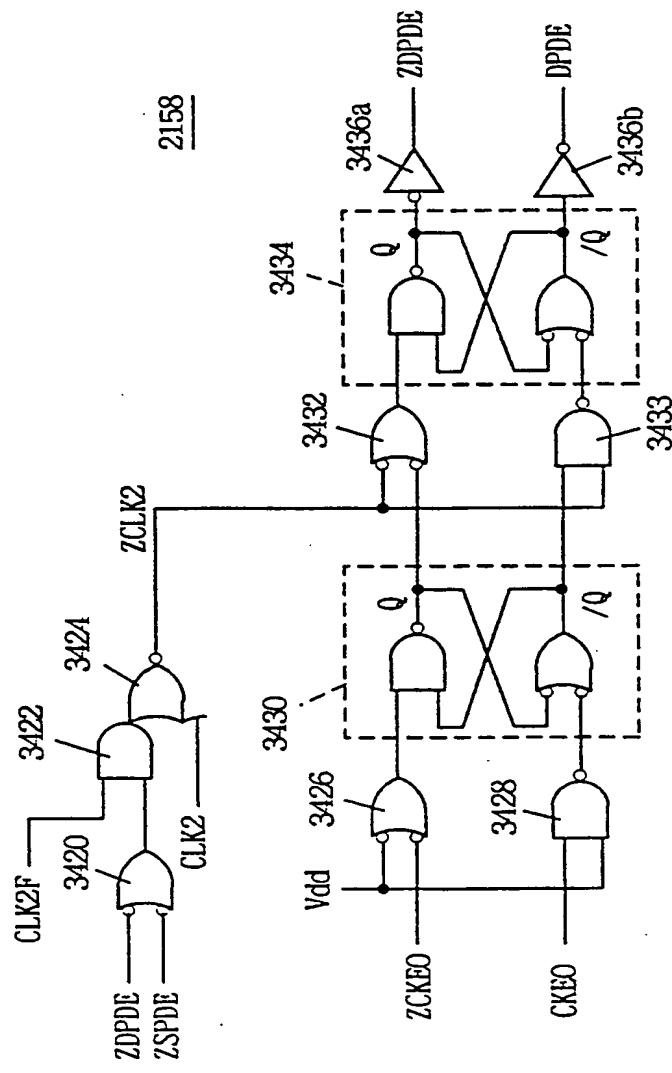


FIG. 62

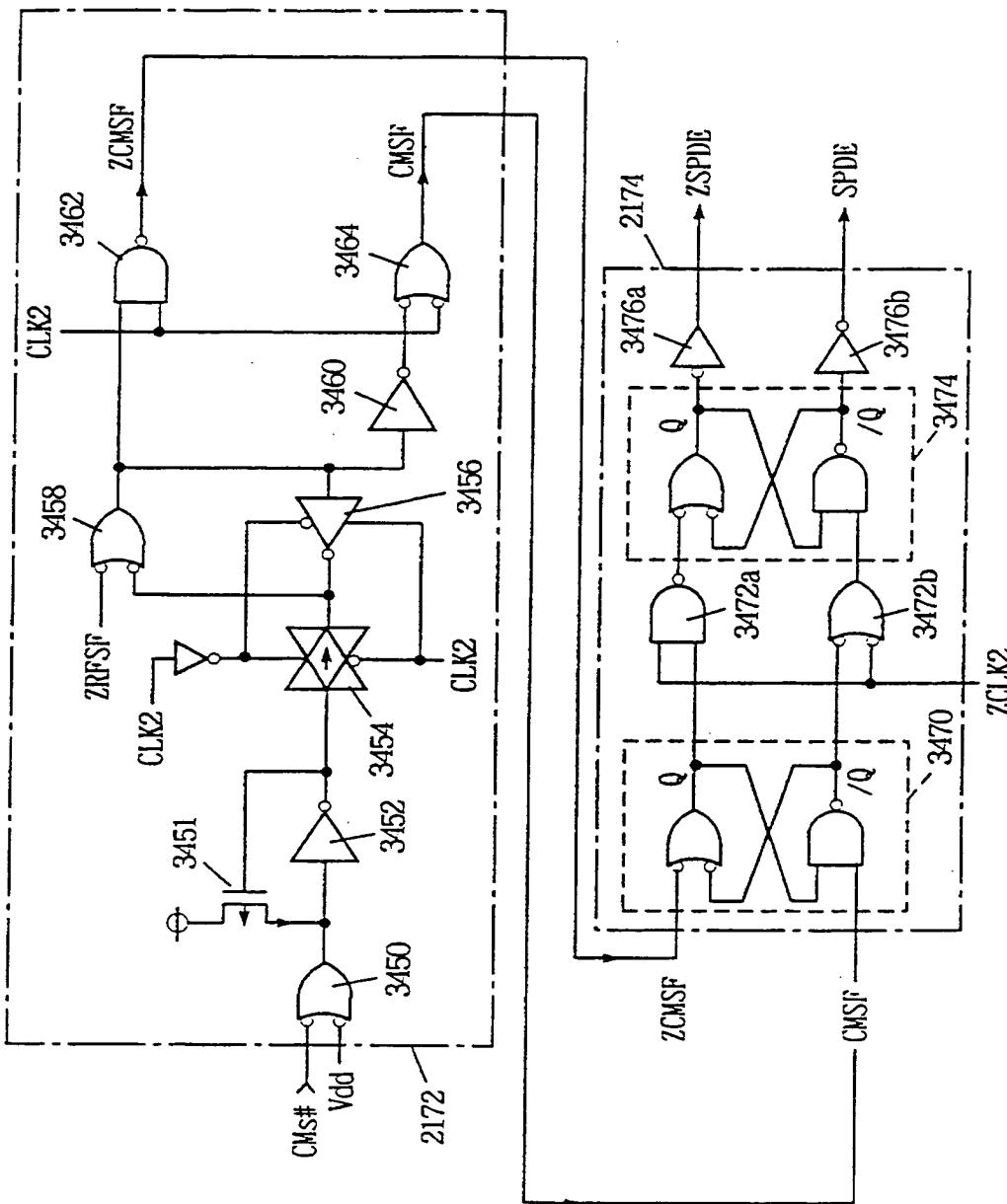


FIG. 63

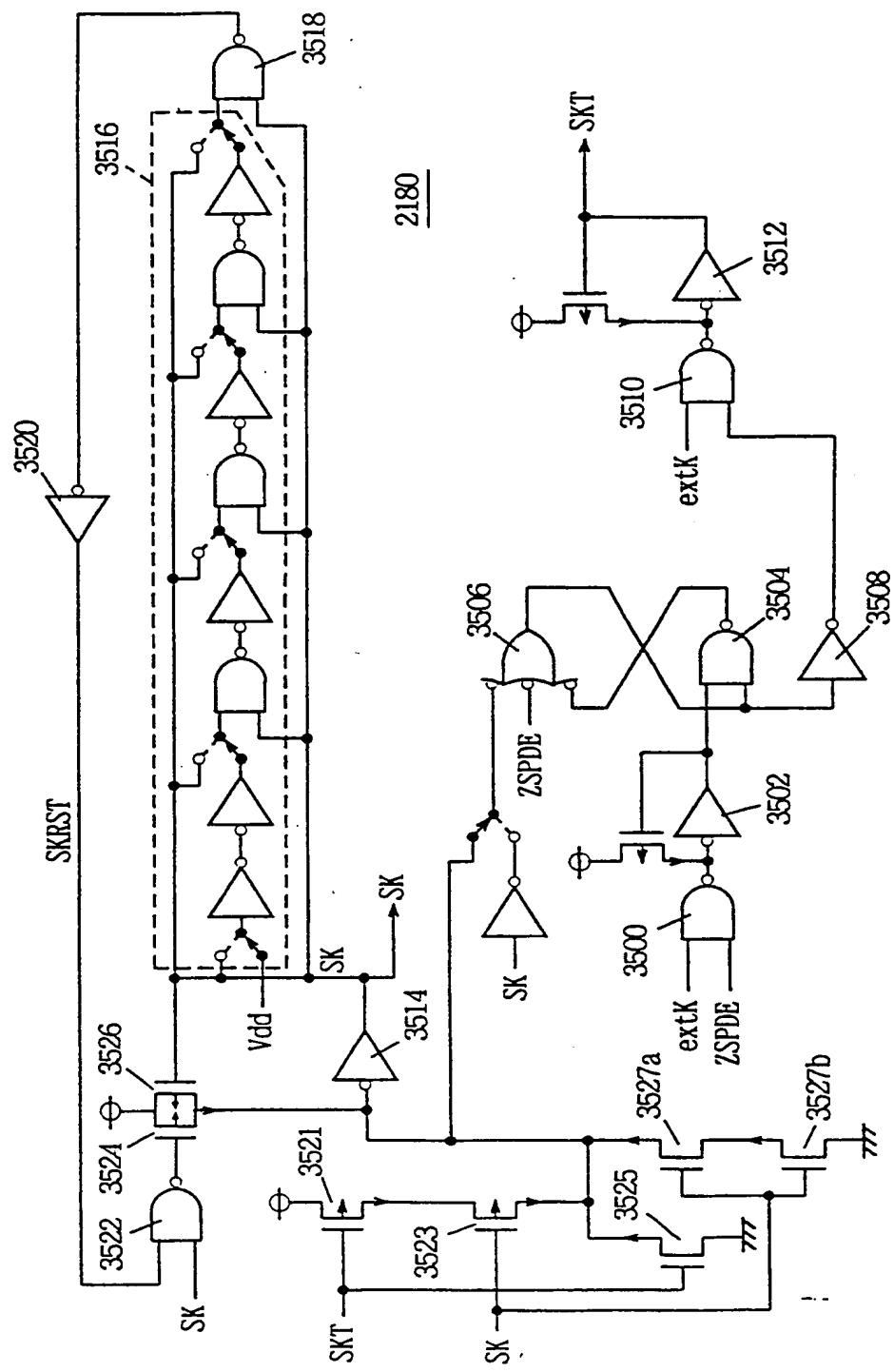


FIG. 64 A

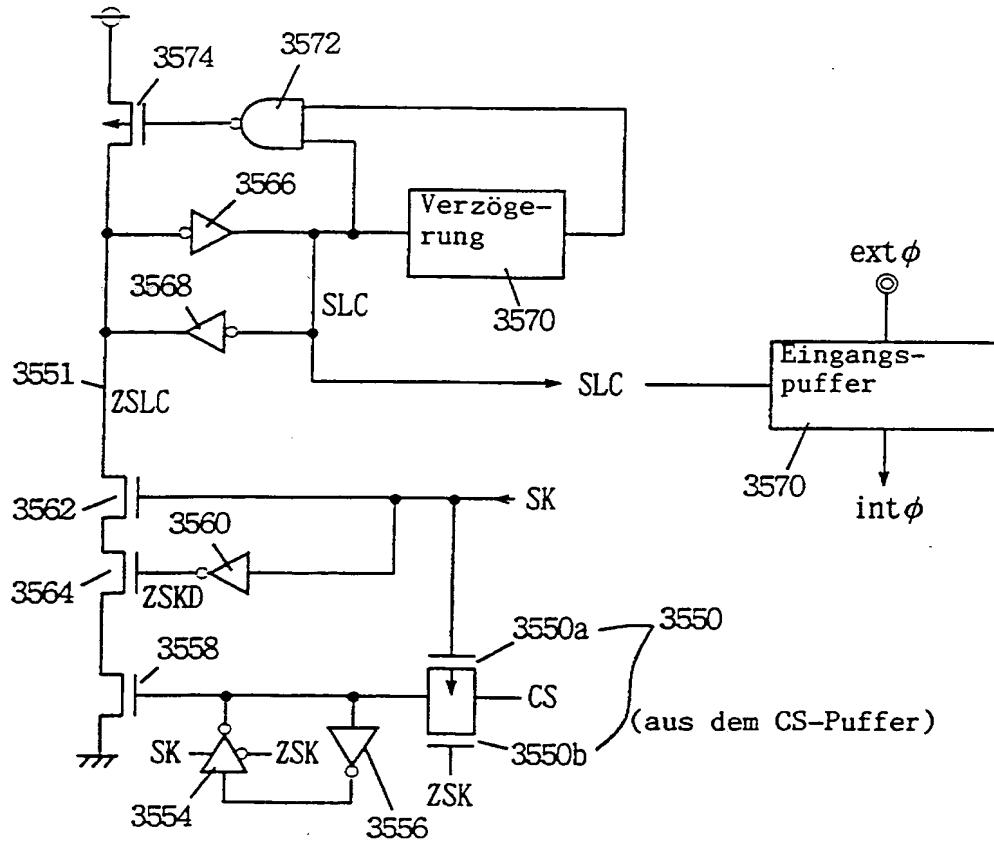


FIG. 64 B

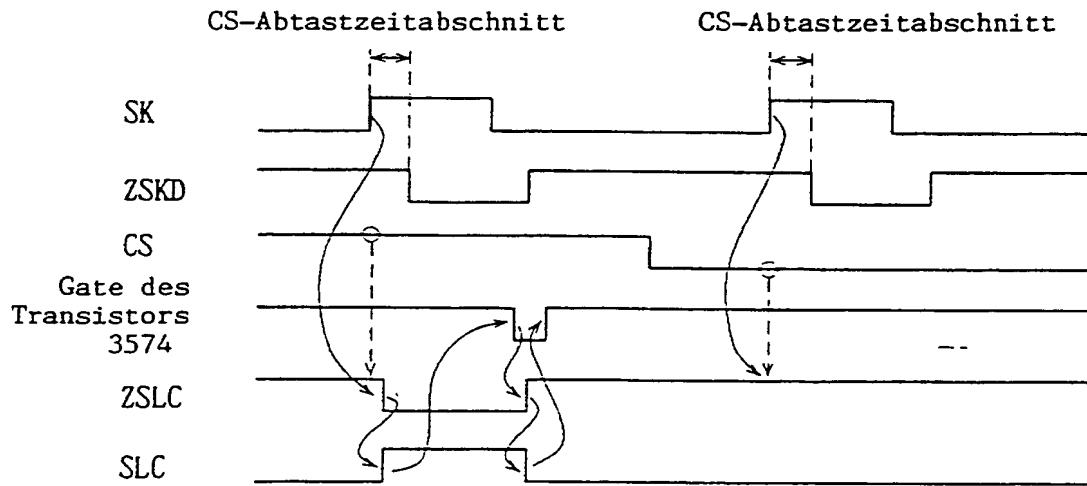


FIG. 65

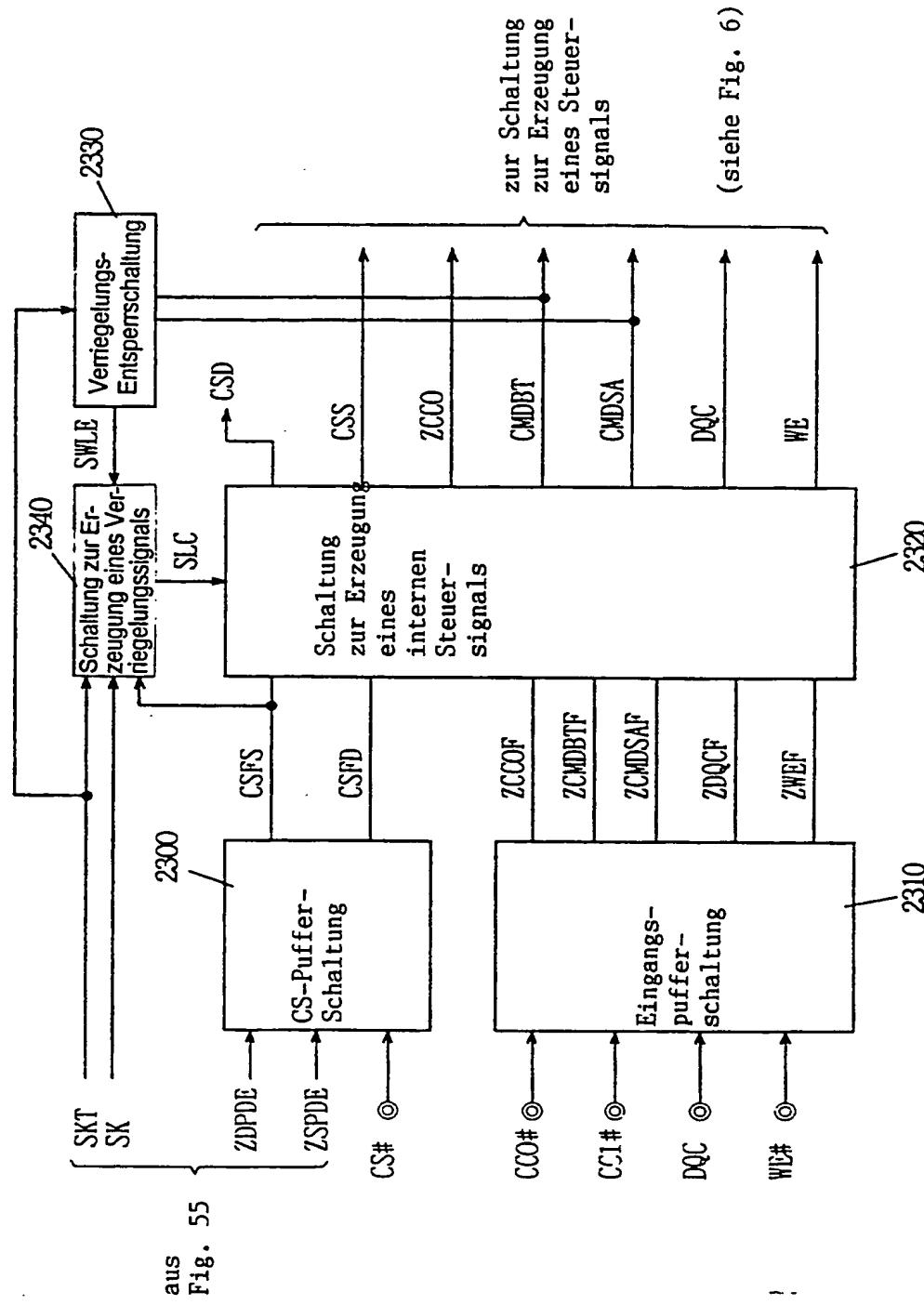


FIG. 66

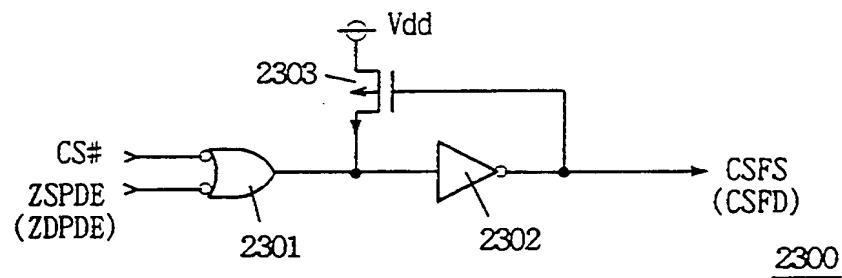


FIG. 67

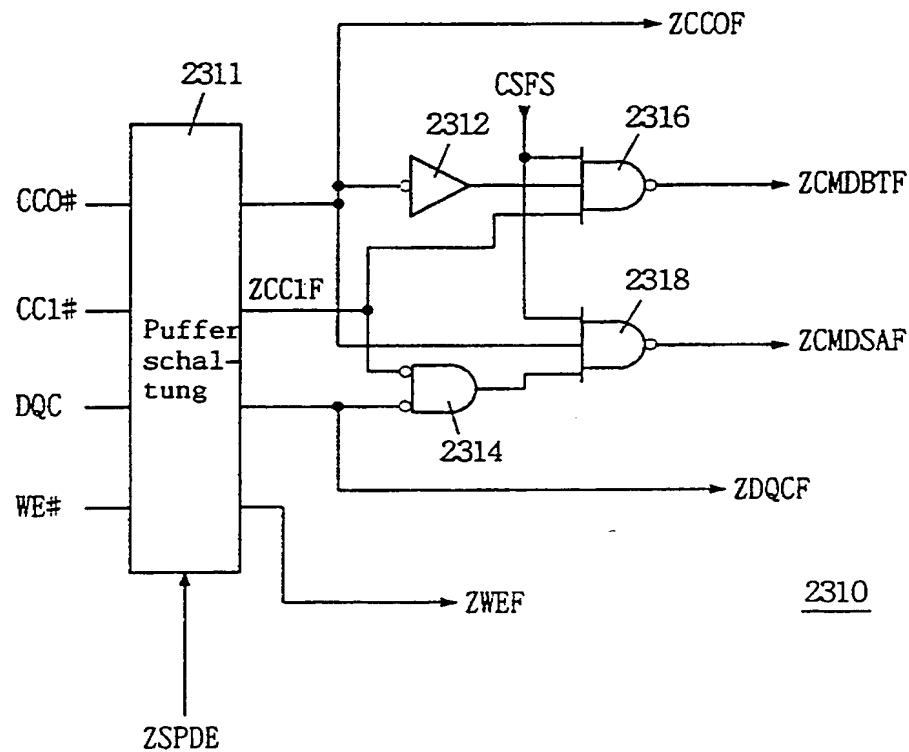


FIG. 68

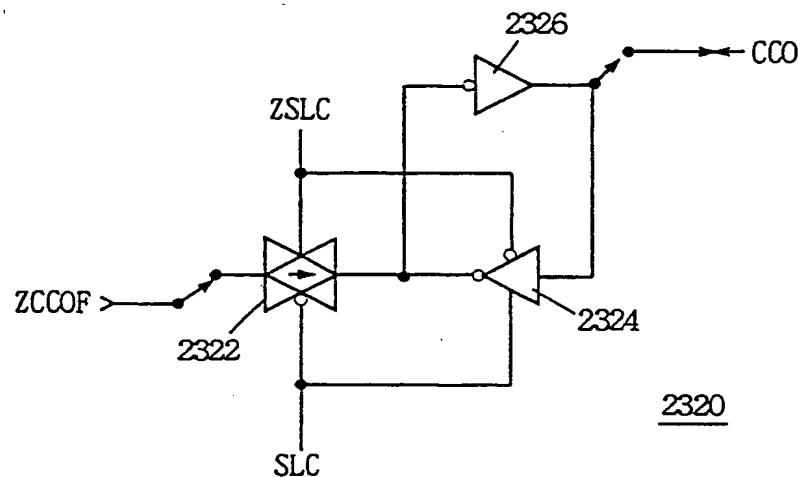


FIG. 69 A

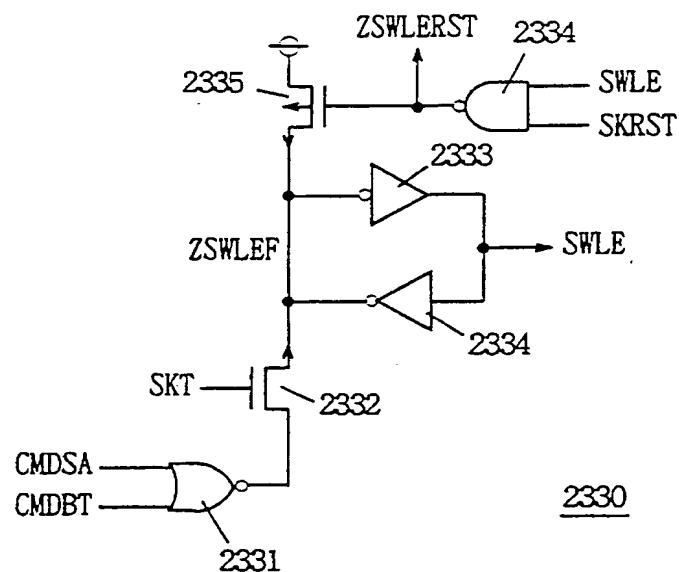


FIG. 69 B

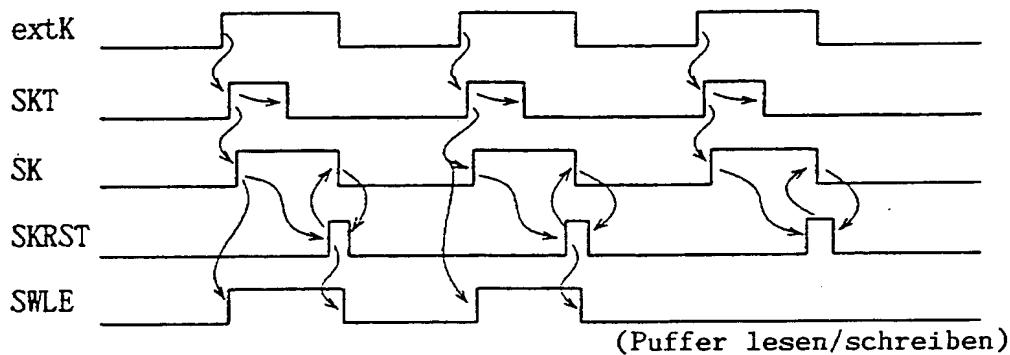
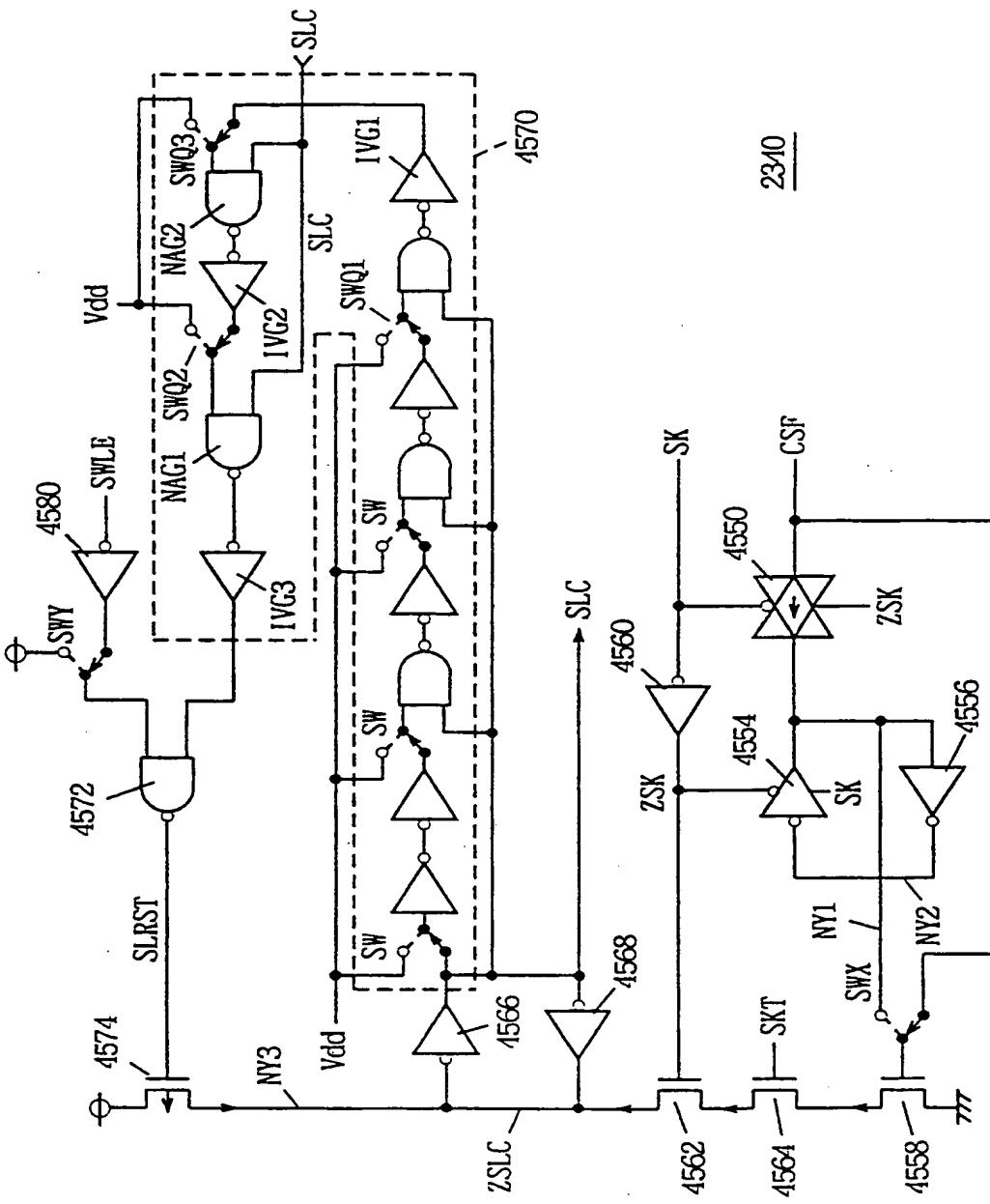


FIG. 70



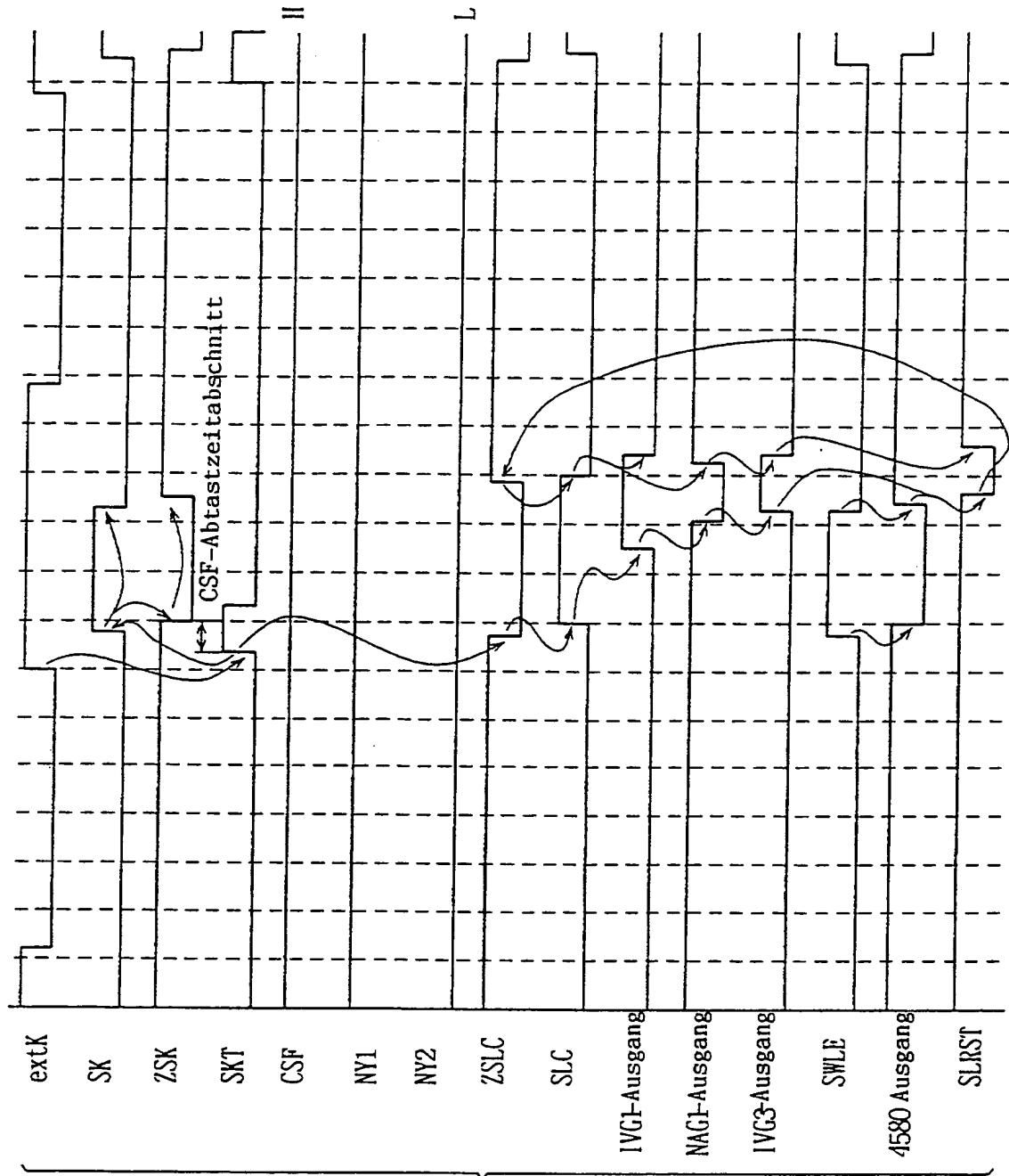


FIG. 71